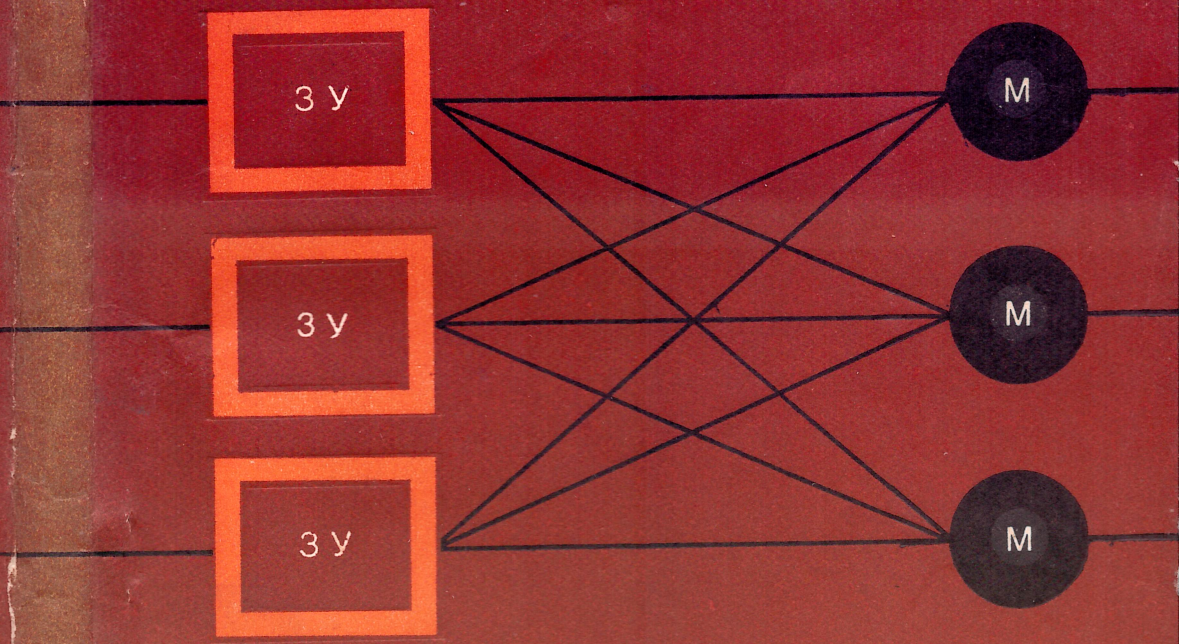
И. В. ОГНЕВ
К. Ф. САРЫЧЕВ

НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ



«РАДИО И СВЯЗЬ»

И. В. ОГНЕВ К. Ф. САРЫЧЕВ

И. В. ОГНЕВ
К. Ф. САРЫЧЕВ

НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

МОСКВА
«РАДИО И СВЯЗЬ»
1988

ББК 32.973.2
О-38
УДК 681.3.07.62—192

Огнев И. В., Сарычев К. Ф.

О-38 Надежность запоминающих устройств. — М.: Радио и связь, 1988. — 224 с.: ил.

ISBN 5-256-00157-4.

Рассмотрены показатели надежности запоминающих устройств (ЗУ) и их расчет, исследованы отказы ЗУ. Большое внимание уделено структурным и параметрическим методам повышения надежности ЗУ, оценке их эффективности и практической реализации. Рассмотрены методы и средства функционального контроля, диагностики и испытаний ЗУ.

Для инженерно-технических работников, связанных с созданием и эксплуатацией вычислительной техники, устройств автоматики, радиолокации, связи.

О $\frac{2405000000\text{-}079}{046(01)\text{-}88}$ 146-88 ББК 32.973.2

Рецензенты: докт. техн. наук проф. Б. Н. Файзулаев; кандидаты техн. наук А. Б. Акинфиев, Г. Д. Софийский, М. Х. Булатов, В. Д. Глушков; Г. С. Щучкин

Редакция литературы по вычислительной технике

Производственное издание

ОГНЕВ ИВАН ВАСИЛЬЕВИЧ
САРЫЧЕВ КОНСТАНТИН ФЕДОРОВИЧ

НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Заведующая редакцией *Г. И. Козырева.* Редактор *Т. М. Бердичевская.*
Художественный редактор *Н. С. Шеин.* Переплет художника *В. В. Третьякова.*
Технический редактор *Т. Н. Зыкина.* Корректор *Л. А. Буданцева*

ИБ № 1432

Сдано в набор 14.09.87 Подписано в печать 10.02.88
Т-05074 Формат 60×90$^1/_{16}$ Бумага кн.-журн. № 2 Гарнитура литературная Печать высокая
Усл. печ. л. 14,0 Усл. кр.-отт. 14,375 Уч.-изд. л. 15,86 Тираж 12 000 экз.
Изд. № 21692 Зак. № 156 Цена 80 к.
Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693

Московская типография № 5 ВГО «Союзучетиздат». 101000 Москва, ул. Кирова, д. 40

ISBN 5-256-00157-4

© Издательство «Радио и связь», 1988

ПРЕДИСЛОВИЕ

Вычислительная техника в настоящее время используется чрезвычайно широко: от космических аппаратов и автоматизированных производств до изделий бытовой техники. Большое распространение ЭВМ остро поставило вопрос обеспечения их высокой надежности.

Так как значительный объем аппаратных средств ЭВМ составляют запоминающие устройства (ЗУ), от надежности ЗУ в значительной степени зависит и надежность ЭВМ в целом. Современным ЭВМ требуются ЗУ очень большой емкости, состоящие из большого числа элементов, причем в основе работы элементов ЗУ зачастую лежат разные физические принципы. Поэтому для анализа и повышения надежности ЗУ используются различные методы современной теории надежности.

В предлагаемой вниманию читателя книге последовательно рассматриваются: причины и виды отказов современных типов ЗУ; методы расчета показателей надежности запоминающих устройств как нерезервированных, так и использующих информационное и структурное резервирование; методы обнаружения отказавших элементов и коррекции ошибок в ЗУ; структурные методы повышения безотказности и контролепригодности запоминающих устройств, а также расчетные и экспериментальные методы определения параметрической надежности ЗУ.

В книге подробно рассмотрен ряд сравнительно недавно введенных в практику проектирования ЗУ методов обеспечения их надежности: использование кодов, исправляющих одноразрядные и обнаруживающих двухразрядные и пакетные ошибки, кодов БЧХ, кодов Рида — Соломона и модификаций кодов Файра; структурные методы повышения надежности ЗУ; метод сигнатурного анализа для диагностирования ЗУ; методы параметрической надежности для определения «тяжелых» тестов ЗУ. Изложение материала иллюстрируется примерами использования рассматриваемых методов в конкретных типах ЗУ.

К книге обобщены результаты работ авторов, а также других отечественных и зарубежных публикаций в области надежности ЗУ.

ЧАСТЬ 1
МЕТОДЫ АНАЛИЗА НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

ГЛАВА 1. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА И ПРОБЛЕМЫ ОБЕСПЕЧЕНИЯ ИХ НАДЕЖНОСТИ

1.1. СОВРЕМЕННЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Запоминающее устройство — компонент ЭВМ, предназначенный для хранения данных. От таких параметров ЗУ, как информационная емкость, быстродействие, надежность, стоимость, массогабаритные характеристики, в значительной степени зависят и параметры ЭВМ. Разнообразие требований, предъявляемых к устройствам памяти, привело к созданию большого числа различных типов ЗУ, которые можно условно разбить на два больших класса: внутренние по отношению к процессору и внешние.

Внутренние ЗУ непосредственно взаимодействуют с процессором и обеспечивают запись и считывание (либо только считывание) информации в темпе его работы. Внешние ЗУ предназначены для длительности хранения (архивации) больших массивов информации. Обмен этой информацией с процессором происходит через внутреннюю память.

Быстродействие внутренних ЗУ составляет от нескольких наносекунд до микросекунд, а быстродействие внешних — от миллисекунд до секунд. В качестве внутренних ЗУ в настоящее время используются ЗУ на полупроводниковых интегральных микросхемах и ферритовых сердечниках (ФС), в качестве внешних ЗУ — накопители на гибких и жестких магнитных дисках (НМД), магнитных лентах (НМЛ), ЗУ на цилиндрических магнитных доменах (ЦМД), оптические ЗУ. Характеристики ЗУ приведены в табл. 1.1 [1, 2].

Запоминающие устройства на ФС, которые в течение почти трех десятилетий доминировали во внутренней памяти ЭВМ, в настоящее время практически не используются в новых разработках. Основная причина — невозможность их изготовления интегральными методами, что не обеспечивает требуемого в условиях конкуренции с полупроводниковыми интегральными ЗУ снижения массогабаритных характеристик устройств. Тем не менее вопросы обеспечения их надежности актуальны, поскольку значительное число ферритовых ЗУ находится в эксплуатации и производстве. Кроме того, для особо ответственных применений им отдается предпочтение по сравнению с полупроводниковыми интегральными ЗУ потому, что они обладают высокой радиационной стойкостью и не потребляют энергии в режиме хранения.

Таблица 1.1

Тип накопителя	Емкость, Мбайт	Время выборки, мс	Скорость передачи данных, Мбит/с	Плотность записи, бит/мм^2	Удельная стоимость, цент·10^{-3}/бит
Полупроводниковые ЗМ	0,001—72	0,00005—0,0004	12—32	100	40—160
Ферритовые сердечники	до 1	0,0008—0,002	—	1	100
ЦМД ЗМ	0,064—16	5—40	0,08—0,8	100	10—200
Гибкие магнитные диски	0,1—6,5	200—500	0,03—0,5	640	6—12
Диски типа «винчестер»	2—8300	18,8—160	0,6—50	5600—10625	0,4—2,8
Сменные магнитные диски	7—300	30—75	1	4320	—
Магнитные ленты	40—600000	8000—15000	—	1000	0,002
Оптические диски	700—5000	100—500	1—25	360—1500	0,0005—3

Примечание. ЗМ — запоминающая микросхема.

Полупроводниковые интегральные ЗУ последние два десятилетия развиваются очень высокими темпами. За это время емкость ЗМ достигла сотен килобит. Высокое быстродействие, интегральные методы изготовления, конструктивная и технологическая совместимость полупроводниковых ЗУ с другими центральными устройствами ЭВМ обеспечили их доминирующее положение во внутренней памяти вычислительных машин. В настоящее время производится много типов ЗМ, отличающихся как технологией и схемотехникой, так и характеристиками. Некоторые из них приведены в табл. 1.2 [3—6]. Там же приведены данные по ЦМД ЗМ.

Технология полупроводниковых ЗУ еще не достигла предельных возможностей, о чем свидетельствуют разработки ЗУ еще большей емкости (например, динамических ЗМ емкостью 4 Мбит). Этот факт, а также отсутствие сколько-нибудь серьезной конкуренции со стороны других типов ЗУ в совокупности таких харак-

Таблица 1.2

Тип ЗМ	Технология, схемотехника	Емкость, Кбит	Время выборки, нс	Потребляемая мощность хранения/обращения, мВт
Статические оперативные	ЭСЛ	16	15—25	—/750
	КМОП	64	100—150	0,005—5,5/100—200
Динамические оперативные	*n*-МОП	256	100—150	10—20/170—350
		1024	90	—/300
Постоянные	МОП	1024	150—250	2—50/165—225
Репрограммируемые	МОП ПЗ	1024	170—250	1—5/250
ЦМД		1024	Скорость передачи 0,1—0,2 Мбит/с	—/670—1900
		4096	Скорость передачи 0,8 Мбит/с	—

Примечание. ЭСЛ — эмиттерно-связанная логика; МОП — структуры металл — окисел — полупроводник; *n*-МОП — МОП — структуры с каналом *n*-типа; КМОП — комплементарные МОП-структуры; МОП ПЗ — МОП-структуры с плавающим затвором.

теристик, как быстродействие, информационная емкость, наличие произвольной выборки и возможность оперативной записи информации, позволяют предполагать, что главенствующее положение полупроводниковых ЗУ в области внутренней памяти ЭВМ будет обеспечиваться значительное время.

Основным компонентом внешней памяти ЭВМ были и остаются электромеханические ЗУ на магнитных носителях. Достоинствами таких ЗУ являются высокая информационная емкость, энергонезависимость, малая удельная стоимость. Недостатками — относительно сложная механика, высокие требования к технологии изготовления.

Низкая удельная стоимость хранения информации в ЗУ этого типа обеспечивается за счет большой полезной площади накопителя и высокой плотности записи. ЗУ на магнитных носителях широко используются как в больших ЭВМ, так и в мини- и микроЭВМ. В качестве внешней памяти последних применяются гибкие магнитные диски и кассетные магнитные ленты [7].

Областью использования ЦМД ЗУ является внешняя память ЭВМ, что определяется такими их особенностями, как произвольно-последовательная выборка информации, энергонезависимость, высокая информационная емкость. Запоминающие устройства на ЦМД являются потенциальными конкурентами электромеханических ЗУ на магнитных носителях, что обусловлено такими их особенностями, как интегральные методы изготовления, отсутствие движущихся механических частей (это определяет высокую их надежность), малое время выборки, радиационная стойкость, а также возможность увеличения информационной емкости. Однако высокая стоимость ЦМД ЗУ обусловила их применение в настоящее время лишь в особо ответственной аппаратуре.

Оптические дисковые ЗУ предназначены для использования в качестве внешних ЗУ очень большой емкости. Это новый вид ЗУ. Предпочтительными областями их применения являются архивные ЗУ, банки данных, многоабонементные системы программного обеспечения и т. д. [8].

1.2. ОСОБЕННОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С ТОЧКИ ЗРЕНИЯ ИХ НАДЕЖНОСТИ

Запоминающие устройства составляют значительную часть объема аппаратных средств ЭВМ и систем обработки данных, поэтому на них приходится существенная доля отказов ЭВМ.

ЗУ являются сложными изделиями вычислительной техники. Для их построения в значительной степени используются элементы той же технологии и аналогичного конструктивного исполнения, что и для других устройств ЭВМ, поэтому для них характерны те же причины и виды отказов, что и для других устройств ЭВМ. Однако специфика выполняемых функций, особенности запоминающей среды и организации ЗУ обусловливают специфические причины и виды отказов.

Под отказом будем понимать устойчивое нарушение работоспособности ЗУ или его элемента. Сбой — нарушение работоспособности, которое устраняется само или оператором без проведения ремонта. Ошибка — это искажение хранимого или считанного из ЗУ слова под воздействием отказа или сбоя.

Особенностью выполняемых ЗУ функций является то, что они предназначены для хранения информации, в то время как другие устройства ЭВМ информацию обрабатывают (преобразуют) и осуществляют ее ввод и вывод. Интервал времени между записью и воспроизведением информации, в течение которого к данной области ЗУ обращения отсутствуют, может быть значительным и при отказах или сбоях бывает невозможно восстановить исходные данные. Кроме этого, хранящиеся данные являются исходным материалом для обработки другими устройствами ЭВМ и их искажение вызывает неправильную работу ЭВМ в целом. Что касается устройств обработки и ввода-вывода данных, то выполняемые ими операции в большинстве случаев могут быть повторены, а ошибка обнаружена и, если она случайная, исправлена. Поэтому значимость отказов или сбоев ЗУ может быть более высокой, чем для других устройств ЭВМ.

Как уже было сказано, особенности отказов ЗУ по сравнению с отказами других устройств ЭВМ обусловлены спецификой запоминающей среды и организацией ЗУ. Характерные для ЗУ причины сбоев и их влияние на хранимую в ЗУ информацию показаны в табл. 1.3 [9—12].

Изменение (увеличение) времени выборки в биполярных ОЗУ и искажения вследствие взаимовлияния считанных сигналов в ЗУ на магнитных носителях могут быть устранены повторным считыванием данных. Остальные искажения устраняются перезаписью

Таблица 1.3

Тип ЗУ	Причины сбоев	Последствия сбоев
ОЗУ динамические	Воздействие альфа-частиц, стекание заряда	Ошибки в хранимых данных
ОЗУ статические биполярные	Влияние невыбранных ЗЭ на выбранные	Изменение времени выборки
ППЗУ с нихромовыми перемычками	Восстановление перемычек	Ошибки в хранимых данных
РПЗУ на МНОП и МОП ПЗ	Стекание заряда	То же
ЗУ на ФС	Влияние невыбранных ЗЭ на выбранные	Ошибки в хранимых данных *
ЦМД ЗУ	Взаимовлияние доменов	То же
Электромеханические ЗУ на магнитных носителях	Взаимовлияние считанных сигналов	Ошибки в считанных данных

* Данные искажаются за счет перезаписи неверно считанной информации. ОЗУ — оперативные ЗУ; ППЗУ — перепрограммируемые ЗУ; РПЗУ — репрограммируемые ЗУ; МНОП — структуры металл-нитрид-окисел-полупроводник; ЗЭ — запоминающий элемент.

исправленной информации. Зависимость положения границ области устойчивой работы (ОУР) запоминающего устройства от характера хранимой информации и адресной последовательности при обращении к ЗУ является причиной сбоев при «тяжелых» последовательностях адресов и данных.

Рассмотрим влияние организации ЗУ на ошибки в считанной информации.

Все ЗУ в зависимости от организации можно условно разбить на две большие группы: ЗУ с произвольной выборкой и ЗУ с последовательной и произвольно-последовательной выборкой. В ЗУ с произвольной выборкой схемы дешифрации обеспечивают выбор любого слова данных. К таким ЗУ относятся полупроводниковые интегральные ЗУ и ЗУ на ФС. В них возможны как однобитовые ошибки из-за отказов ЭЭ, так и пакетные ошибки, когда из-за отказов схем выборки и управления искажается информация в группе соседних разрядов считанного слова.

В зависимости от типа и емкости ЗУ, используемой схемотехники и конструкции изменяется разрядность пакетных ошибок, количество искаженных адресов и соотношения между интенсивностями ошибок различных видов. Значительную долю составляют однобитовые ошибки, вызванные отказами ЭЭ, на которые приходится большая часть оборудования и интенсивности отказов ЗУ.

В ЗУ с последовательной и произвольно-последовательной выборкой (ЗУ на магнитных носителях, ЦМД ЗУ) для хранения данных используются участки магнитной поверхности. Вследствие высокой плотности размещения хранимых данных дефекты запоми-

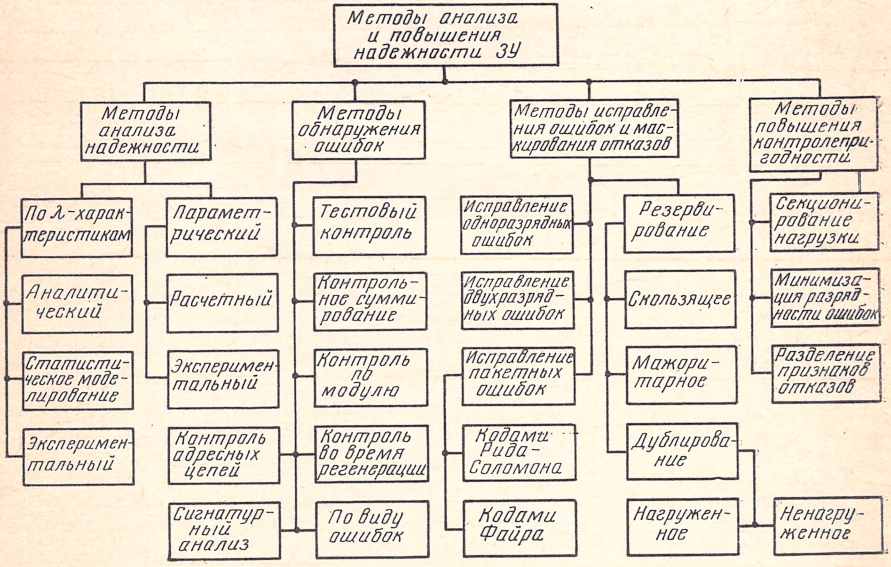


Рис. 1.1. Классификация методов анализа и повышения надежности ЗУ

нающей среды или взаимовлияние элементов приводят к ошибкам нескольких соседних бит, т. е. к пакетным ошибкам [13]. Для таких ЗУ характерны пакетные ошибки в считанных данных.

Указанные особенности обусловливают специфику используемых методов повышения надежности ЗУ. На рис. 1.1 классифицированы методы анализа и повышения надежности ЗУ. Приведенные методы используются как отдельно, так и совместно для одного ЗУ.

ГЛАВА 2. ВИДЫ И ПРИЧИНЫ ОТКАЗОВ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

2.1. КЛАССИФИКАЦИЯ ОТКАЗОВ

Виды отказов ЗУ и причины их появления определяются используемой элементной базой, принятыми схемотехническими и конструктивными решениями, режимом работы ЗУ. Классификация отказов ЗУ приведена в табл. 2.1.

Таблица 2.1

Признак классификации	Содержание признака классификации	Вид отказа
Характер изменения параметров ЗУ до возникновения отказа	Скачкообразное изменение параметров	Внезапный
	Постепенное изменение параметров	Постепенный
Взаимосвязь отказов	Отказ элемента не обусловлен отказами других элементов ЗУ	Независимый
	Отказ элемента обусловлен отказами других элементов ЗУ	Зависимый
Причина возникновения отказа	Нарушение правил или норм конструирования, несовершенство принятых решений	Конструкционный
	Нарушение процессов изготовления или ремонта ЗУ	Производственный
	Нарушение правил или условий эксплуатации ЗУ	Эксплуатационный
Устойчивость неработоспособного состояния	Неработоспособность сохраняется устойчиво	Устойчивый
	Неработоспособность кратковременна, самоустраняется или устраняется оператором без проведения ремонта	Самоустраняющийся
	Неработоспособность возникает и самоустраняется многократно	Перемежающийся

Анализ отказов ЗУ и причин их возникновения проведем в такой последовательности: отказы запоминающих элементов (ЗЭ), отказы запоминающих микросхем (ЗМ), отказы модулей памяти (МП), отказы ЗУ.

2.2. ОТКАЗЫ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Отказы запоминающих элементов. Разнообразие требований к устройствам памяти обусловило применение в ЗУ различных запоминающих элементов (рис. 2.1, 2.2) [14, 15]. В табл. 2.2 приведены характеристики отказов ЗЭ различных ЗУ.

Таблица 2.2

Тип полупроводникового ЗУ	Причина отказа	Проявление отказа
ОЗУ динамические	Воздействие альфа-частиц Повышенный ток утечки Обрывы, короткие замыкания	Потери данных * Уменьшение времени хранения данных Невозможность записи и считывания данных
ОЗУ статические	Обрывы, короткие замыкания	Невозможность записи и считывания данных
ПЗУ	Обрывы, короткие замыкания	Искажение данных
ППЗУ с нихромовыми перемычками	Восстановление запрограммированных перемычек Обрывы, короткие замыкания	Искажение данных * Искажение данных, невозможность программирования
ППЗУ с поликремниевыми перемычками	Обрывы, короткие замыкания	Искажение данных, невозможность программирования
РПЗУ на МНОП и МОП ПЗ	Обрывы, короткие замыкания Воздействие радиационного излучения, повышенная утечка заряда	Искажение данных, невозможность программирования Потеря данных *

* Ошибка данных устраняется при перезаписи исправленных данных или повторном программировании. ПЗУ — постоянные ЗУ.

Наиболее характерным видом отказов ЗЭ всех типов являются отказы из-за обрывов и коротких замыканий, вызванных дефектами кристалла. Интенсивность этих отказов находится на уровне интенсивности отказов других элементов больших интегральных микросхем. Однако для ЗЭ характерны специфические виды от-

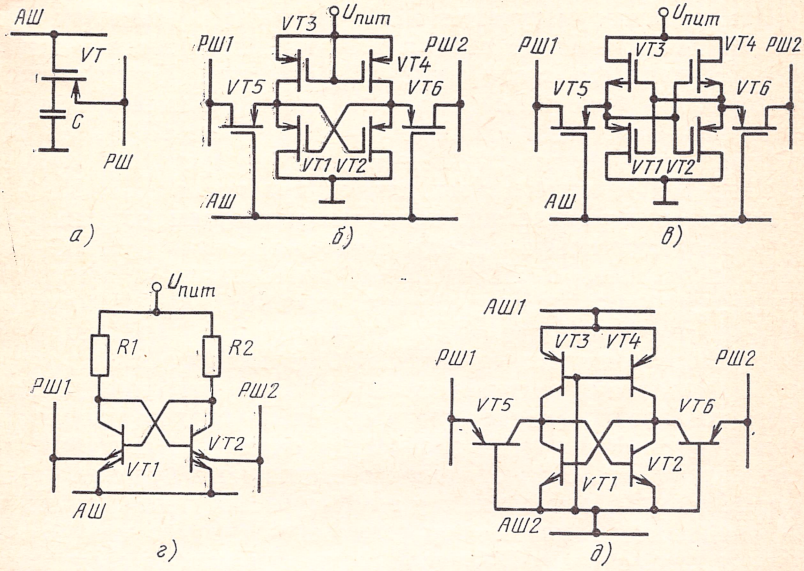


Рис. 2.1. Запоминающие элементы оперативных ЗУ:

а) динамический однотранзисторный ЗЭ; *б*) статический *n*-МОП ЗЭ; *в*) статический КМОП ЗЭ; *г*) статический ЗЭ на многоэмиттерных биполярных транзисторах; *д*) статический ЗЭ на инжекционных структурах; АШ — адресная шина, РШ — разрядная шина

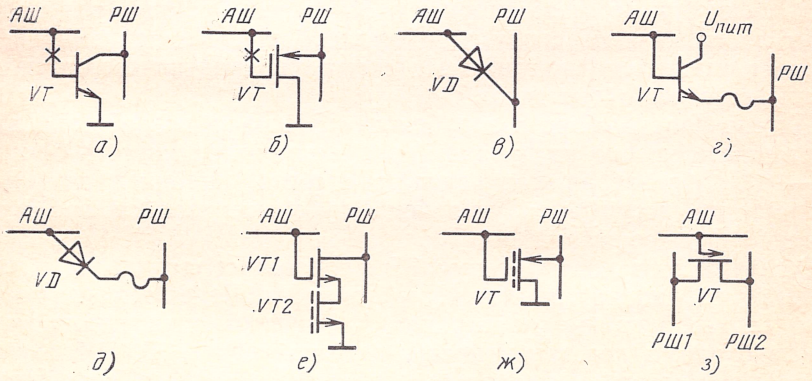


Рис. 2.2. Запоминающие элементы полупроводниковых постоянных (ПЗУ), программируемых (ППЗУ) и репрограммируемых (РПЗУ) запоминающих устройств:

а), *б*), *в*) ПЗУ, программируемые маскированием; *г*), *д*) ППЗУ, программируемые выжиганием плавких перемычек; *е*), *ж*), *з*) РПЗУ, * — программируемая маскированием перемычка, ~ — плавкая перемычка

казов, обусловленных потерей информации в динамических ЗЭ при воздействии альфа-частиц, уменьшением времени хранения информации в этих элементах при увеличении токов утечки, восстановлением запрограммированных плавких нихромовых перемычек в ЗЭ ППЗУ, потерей заряда в МОП-транзисторах с плавающим затвором или в МНОП-транзисторах РПЗУ в результате воздействия радиационного излучения или повышенных токов утечки.

Одной из важнейших причин возникновения сбоев в динамических ЗЭ является воздействие альфа-частиц. Конденсатор динамических ЗЭ (рис 2.1,*а*) образован поликремниевой областью, находящейся под фиксированным напряжением. Под этой областью создается потенциальная яма, которая пуста при хранении в ЗЭ кода 1 и заполнена электронами при хранении кода 0. Содержащиеся в керамических корпусах микросхем остатки урана и тория излучают альфа-частицы с энергией около 8 мэВ. Альфа-частицы с энергией 5 мэВ и более, попадающие в поверхность кремниевого кристалла, тормозятся, генерируя до 2,5 миллионов электронно-дырочных пар. Если альфа-частица попадает в кристалл кремния недалеко от ЗЭ, то образующиеся дырки устремляются к подложке, имеющей отрицательный потенциал, а электроны заполняют потенциальную яму. Число образовавшихся при торможении альфа-частицы электронов оказывается достаточным для переключения ЗЭ из единичного состояния в нулевое.

Кроме этого, образовавшиеся электроны могут оседать на разрядные шины и вызывать сбои усилителей считывания [16]. Поскольку в динамических ЗМ после цикла считывания следует цикл восстановления информации, то сбои усилителей считывания приводят к перезаписи в ЗЭ неверной информации.

Попадания альфа-частиц в ЗЭ и разрядную шину выбираемого ЗЭ вызывают переход логической 1 в 0. Попадания альфа-частиц в фиктивные (или опорные) ЗЭ и невыбранные разрядные шины приводят к переходу логического 0 в 1. Попадания альфа-частиц в усилители считывания и схемы управления являются источниками сбоев обоих типов.

Интенсивность сбоев в зарубежных ЗМ из-за воздействия альфа-частиц примерно на порядок превышает интенсивность отказов [17—19]. Образовавшиеся вследствие сбоев ошибки в хранимой информации могут быть устранены путем перезаписи в ЗЭ неискаженной информации.

Особенностью динамических ЗЭ является ограниченное время хранения заряда на запоминающей емкости. Через интервал времени, равный периоду регенерации $t_{рег}$, информацию, хранимую в ЗЭ, необходимо восстанавливать, регенерировать. Для большинства современных ЗМ период регенерации составляет 2 мс. Наличие дефекта вызовет ток утечки, который может разрядить запоминающую емкость за время, меньшее $t_{рег}$, что приведет к потере информации. Параметр $t_{рег}$ особенно критичен к повышению температуры. Значение $t_{рег}$ при $T=25°$ С может в 30 раз превышать $t_{рег}$ при $T=70°$ С [20].

Надежность ЗЭ микросхем ППЗУ во многом определяется типом выжигаемых перемычек. При программировании ППЗУ с поликремниевыми перемычками происходит процесс окисления кремния, который является необратимым. Поэтому поликремниевые перемычки не оказывают существенного влияния на надежность ППЗУ.

В ППЗУ с нихромовыми перемычками возможно постепенное восстановление пережженных перемычек [21]. Этот процесс может ускоряться при увеличении температуры окружающей среды и напряжения питания ЗМ. Термоэлектротренировка запрограммированных микросхем ППЗУ позволяет отбраковать потенциально ненадежные микросхемы. Согласно [9] на этапе тренировки ЗМ и наладки ЗУ восстанавливаются перемычки в 6—8% запрограммированных микросхем. В процессе эксплуатации оказываются неисправными 1—3% микросхем ППЗУ. Повторное программирование отказавших микросхем с последующей термоэлектротренировкой позволяет увеличить срок их службы.

Надежность ЗЭ РПЗУ определяется стабильностью заряда, накопленного в МНОП и МОП ПЗ транзисторах, который с течением времени рассасывается. Процесс потери заряда ускоряется при увеличении температуры и при частом считывании информации [22]. Дефекты, вызывающие утечку заряда, уменьшают время хранения информации в ЗЭ РПЗУ и могут вызвать потерю хранимой информации.

Репрограммируемые ПЗУ на МОП ПЗ транзисторах с ультрафиолетовым стиранием информации чувствительны к воздействию светового, рентгеновского и гамма-излучения, под действием которых происходит потеря записанной в них информации. Исследования показали, что в ЗМ Intel 2708 и 2716 потеря информации начинается при накопленной дозе гамма-излучения от 1500 до 5000 рад., а в ЗМ Intel 2732В — при дозе более 3500 рад. [23].

Отказы, вызванные восстановлением нихромовых перемычек в ЗЭ ППЗУ и стеканием заряда в ЗЭ РПЗУ на МНОП и МОП ПЗ транзисторах, являются наиболее характерными для данных типов ПЗУ. Ошибки в считанной информации, вызываемые этими отказами, являются однобитовыми и асимметричными. Для них характерен однонаправленный переход искаженных битов. В зависимости от того, какому состоянию на выходе микросхемы (1 или 0) соответствует запрограммированное состояние ЗЭ, будут наблюдаться переходы либо 1→0, либо 0→1.

Отказы запоминающих микросхем. Оперативные запоминающие микросхемы содержат $N_{ЗМ}$ запоминающих элементов, объединяемых в матрицу (рис. 2.3). Число ЗЭ в строке матрицы равно $N_{стр}$, число ЗЭ в столбце матрицы $N_{ст}$. Запоминающие элементы строки имеют общую адресную шину, сигнал выборки которой формируется дешифратором строк ($ДШ_{стр}$) и формирователем строк ($Ф_{стр}$). Запоминающие элементы столбца объединены общей разрядной шиной. Запись и считывание информации производится усилителями записи-считывания (УЗС), каждый из которых под-

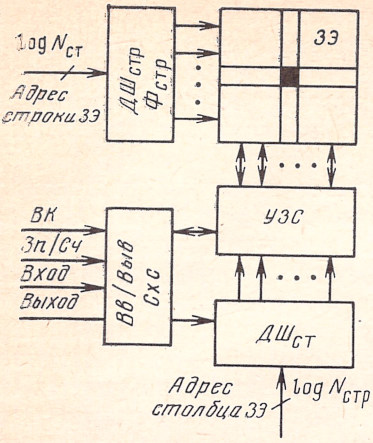


Рис. 2.3. Структурная схема запоминающей микросхемы

ключен к соответствующему столбцу матрицы. Дешифраторы столбцов ($ДШ_{ст}$) осуществляют подключение выбранного УЗС к схемам ввода-вывода информации (Вв/Выв). Схемы ввода-вывода предназначены для ввода записываемой и вывода считываемой информации, схемы синхронизации (СхС) для синхронизации работы узлов ЗМ. Некоторые типы ЗМ содержат буферы адреса строк и столбцов, предназначенные для хранения адреса ЗЭ в цикле обращения.

Организация ЗМ постоянных, программируемых и репрограммируемых ЗУ имеет много общего с организацией ЗМ оперативных ЗУ. Отличие заключается в отсутствии схем записи информации в ЗМ ПЗУ. Функции схем записи в ЗМ ППЗУ и РПЗУ выполняют схемы программирования.

Для ЗМ характерны все те причины и виды отказов, что и для ЗЭ. Однако для них характерны и новые виды отказов, обусловленные высокой плотностью размещения ЗЭ на кристалле и наличием схем выборки ЗЭ. Ошибки в считанной из ЗМ информации вызываются как искажением данных в ЗЭ или ошибочной выборкой последних, так и изменением динамических параметров: времени выборки $t_в$ и времени восстановления после записи $t_{вз}$.

Отказы ЗМ возникают вследствие наличия дефектов кристалла и взаимовлияния ЗЭ. Виды дефектов ЗМ, выполненных по различной технологии, и процентные соотношения между ними, полученные в результате ускоренных испытаний ЗМ, представлены в табл. 2.3.[1]

В матрице ЗЭ указанные дефекты приводят к следующим отказам:

отсутствию записи 0 или 1;

ложной записи — искажению информации в ЗЭ при записи в соседние ЗЭ вследствие замыканий или паразитных омических или емкостных связей между ЗЭ;

ложному считыванию — появлению отказов при считывании вследствие больших токов утечки ЗЭ, подсоединенных к одной разрядной шине.

Выбор ЗЭ в матрице осуществляется с помощью дешифраторов адреса строк и столбцов. Дешифратор адреса может иметь следующие виды функциональных отказов: отсутствие выборки ЗЭ; выборка одного и того же ЗЭ по различным адресам (много-

[1] **Маджарова Т. Б.** Надежность больших интегральных схем//Зарубежная радиоэлектроника. — 1978. — № 1. — С. 143—147.

адресная выборка); одновременная выборка нескольких ЗЭ по одному адресу (неоднозначная выборка) [20].

Характерной особенностью некоторых типов ЗМ оперативных ЗУ является изменение времени выборки информации вследствие взаимовлияния составляющих их элементов. Могут быть выделены два типа влияющих факторов — влияние невыбранных ЗЭ столбца и воздействие переходных процессов от предыдущего цикла обращения. Влияние невыбранных ЗЭ столбца на надежность считывания информации с выбранного ЗЭ характерно для биполярных ЗЭ на многоэмиттерных транзисторах и инжекционных структурах и возникает вследствие наличия токов утечки в невыбранных ЗЭ.[1]

Таблица 2.3

Дефект	Соотношение числа дефектов, %	
	Биполярные ЗМ	МОП ЗМ
Поверхностный	22,2	33,4
Окисла	13,3	23,6
Диффузии	16,3	14
Металлизации	17	10,5
Сварного узла	3,7	7,6
Межсоединений	23,7	3,4
Механические повреждения кристалла	1,5	1,2
Деградация параметров	2,3	6,3

Рассмотрим процесс изменения времени выборки информации на примере ЗЭ на многоэмиттерных транзисторах (рис. 2.1,*г*). Наибольший разностный ток на входе УЗС соответствует выборке ЗЭ, хранящего информацию, противоположную по сравнению с информацией в остальных запоминающих элементах столбца (в рассмотренном случае логическую 1) (рис. 2.4):

$$I_{\text{УЗС max}} = I_{\text{эв}} + (N_{\text{ст}} - 1)\, I_{\text{эн}}, \qquad (2.1)$$

где $I_{\text{эв}}$ — ток открытого транзистора выбранного ЗЭ; $I_{\text{эн}}$ — ток открытого транзистора невыбранного ЗЭ.

При выборке ЗЭ, хранящего логический 0, ток минимален:

$$I_{\text{УЗС min}} = I_{\text{эв}} - (N_{\text{ст}} - 2)\, I_{\text{эн}}. \qquad (2.2)$$

Так как разрядные шины ЗМ представляют собой емкостную нагрузку, то напряжение на входе УЗС изменяется по экспоненте. В зависимости от хранимой информации изменяется ток заряда разрядных шин и, как следствие, время выборки.

В ЗМ на МОП-транзисторах влияние считанной в предыдущих циклах обращения информации на время выборки возможно вследствие изменения напряжения на разрядных шинах. В таких ЗМ за счет малого разрядного тока постоянная времени заряда разрядных шин может быть значительно больше периода обращения. Поэтому при многократном считывании одноименной инфор-

[1] **Тесты** для функционального контроля интегральных субсистем памяти/ Н. В. Георгиев, А. А. Крупский, В. А. Седлов и др.//Вопросы радиоэлектроники. Сер. ЭВТ. — 1974. — Вып. 7. — С. 65—76.

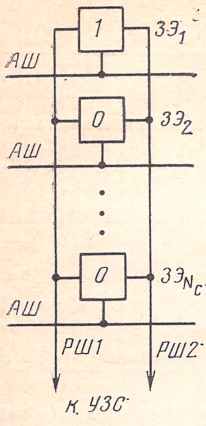


Рис. 2.4. Тяжелое распределение информации в столбце ЭЭ биполярной ЗМ

мации паразитные емкости разрядных шин заряжаются до максимальных значений. При последующем чтении инверсной информации время выборки увеличивается до максимального значения. Кроме того, время выборки информации изменяется за счет различного времени задержки сигнала на выходах дешифратора при его переключении из одного состояния в другое.

Время восстановления после записи $t_{вз}$ — это время, по истечении которого потенциал на разрядных шинах после цикла записи уменьшается до уровня, когда возможно бессбойное считывание информации с выбранного ЭЭ. Величина $t_{вз}$ зависит от адресной последовательности и записанной информации. Если последовательные циклы обращения производятся к ЭЭ одного столбца матрицы, то $t_{вз}$ больше, чем при выборе различных столбцов запоминающих элементов, так как ЭЭ одного столбца имеют общие разрядные шины. При записи и считывании инверсной информации время восстановления после записи будет максимальным.

Изменение времени восстановления после записи влечет за собой изменение времени выборки. Это характерно для ЗМ с общими разрядными шинами записи и считывания и обусловлено тем, что потенциал разрядных шин в режиме записи превышает их потенциал в режиме считывания.

Изменение динамических параметров может привести к тому, что время выборки превысит допустимое значение и приведет к сбою в считанной информации.

Вследствие матричной организации ЗМ указанные причины приводят к следующим видам отказов: отказу одного бита; отказу строки ЭЭ; отказу столбца ЭЭ; отказу половины матрицы ЭЭ; полному отказу ЗМ.[1]

Отказ одного бита возникает при нарушении записи, считывания или хранения информации в одном ЭЭ. Отказ строки ЭЭ возникает при нарушении работоспособности формирователя или дешифратора строк. Нарушение работоспособности УЗС и дешифратора столбцов проявляется как отказ столбца ЭЭ.

Неисправность одного разряда буфера адреса строк или столбцов вызывает отказ половины матрицы. Это следует из принципа работы двоичного дешифратора адреса, используемого в ЗМ, в котором при определенном значении сигнала на любом из входов разрешается возбуждение половины выходов. В зависимости от номера отказавшего разряда буфера адреса будет нарушаться выборка различных строк или столбцов матрицы.

[1] **Krause D.** Zuverlässigkeitsanalyse bei Halbleiterspeichern//Wissenschaftliche Berichte AEG — Telefunken. — 1975. — B. 48, N 5. — S. 197—212.

Таблица 2.4

Тип ЗМ, емкость, бит	Соотношения различных отказов, %			
	однобитовых	строки и столбца	полных	невыявленных
Оперативные, 4К	92	0	0	8
Оперативные, 4К	35,3	29,4	11,8	23,5
Репрограммируемые, 4К	53,9	15,3	17,9	12,9
Репрограммируемые, 8К	100	0	0	0
Оперативные, 16К	89,6	9,2	1,2	0
Оперативные, 16К	33	34	33	0
Оперативные, 16К	25	25	44	6
Репрограммируемые, 16К	100	0	0	0

Полный отказ ЗМ возникает при неисправности схем ввода-вывода, а также схем управления, общих для всех ЗЭ.

Соотношения количества отказов различных видов зависят от схемотехники и топологии ЗМ, технологии их изготовления и отличаются даже для однотипных ЗМ различных изготовителей. Данные по отказам ЗМ различных типов, полученные в результате ускоренных испытаний, приведены в табл. 2.4 [24].

Отказы модулей памяти. Модули памяти (МП) представляют собой функционально законченные узлы, наращиванием числа которых создают ЗУ требуемой емкости и разрядности. На рис. 2.5 приведена схема МП, который организован по типу 2Д, наиболее широко используемому в полупроводниковых ЗУ[1]. На рисунке $n_{МП}$, $N_{МП}$ — разрядность и число хранимых в МП слов. Запоминающие микросхемы образуют матрицу. Столбцы ЗМ в матрице выбираются по входу «Выбор кристалла» (ВК) дешифратором (ДШ). Формирователи выбора кристалла (ФВК), разрядный (РФ), режима (ФР), адресные (АФ) служат для согласования выходов адресных, разрядных и управляющих схем с входами ЗМ по нагрузочной способности, а в ряде случаев — по уровням сигналов. Усилители считывания (УС) согласуют выходы ЗМ с входами регистра числа ЗУ. Каждый выход ДШ и ФВК подключен к одному столбцу ЗМ, в то время как каждый РФ и УС соединен с одной из строк матрицы. Адресные формирователи и формирователь режима в зависимости от их нагрузочной способности и числа ЗМ в матрице могут работать либо на все ЗМ модуля памяти, либо на их часть. В последнем случае производится секционирование нагрузки и подключение нескольких АФ и ФР, каждого к своей секции. ФР и АФ каждой секции могут быть соединены с ЗМ одного или нескольких столбцов (строк) матрицы.

Так как ЗМ являются составной частью МП, то все причины и виды отказов ЗМ характерны и для МП. Формирователи и де-

[1] **Сарычев К. Ф.** Исследование структур модулей памяти полупроводниковых оперативных запоминающих устройств повышенной надежности//Специализированные и комбинированные вычислительные устройства: Межвуз. сб. науч. трудов. — Рязань, РРТИ, 1978. — Вып. 6. — С. 111—114.

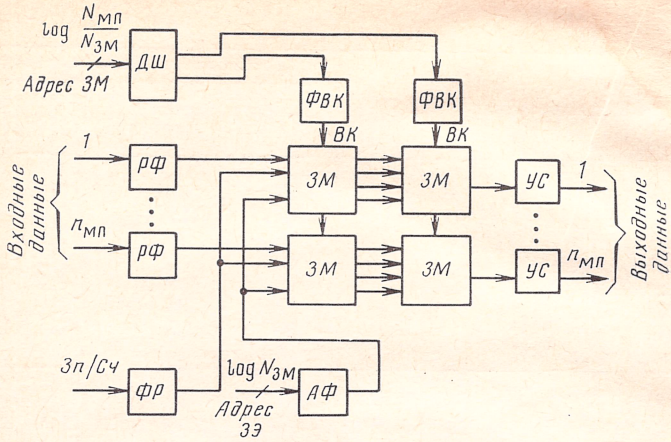


Рис. 2.5. Структурная схема модуля памяти типа 2Д

шифраторы, входящие в состав модулей памяти и выполненные на микросхемах малой и средней степени интеграции (МИС и СИС), не вносят новых механизмов отказов. Это вызвано тем, что многие причины отказов, характерные для МИС и СИС, присущи и большим интегральным схемам, к которым относятся ЗМ [1].

Отказы элементов ЗМ приводят к ошибкам в словах, хранимых в области памяти емкостью $N_{ЗМ}$ адресов. Отказы ДШ и ФВК приводят к отсутствию выборки либо к выборке двух столбцов ЗМ. При отказах РФ и УС нарушаются запись и считывание информации из строки ЗМ соответствующего разряда.

Вид ошибок при отказах ФР и АФ зависит от их нагрузочной способности и числа ЗМ в МП. В зависимости от числа ЗМ, подключенных к ФР и АФ, и способа их подключения возможен как полный отказ всего МП, так и отказ нескольких строк или столбцов ЗМ.

Количество и, следовательно, интенсивность отказов микросхем обрамления зависят от организации и емкости МП (рис. 2.6).

На рис. 2.6 $Q_{уд} \cdot 10^{-6}$ корпус/бит — удельное количество микросхем обрамления, выраженное в числе корпусов на 1 бит хранимой информации; $Q_{удЗМ}$ — удельное количество ЗМ; $M_{ст}$, $M_{ЗМ}$ — число столбцов ЗМ и общее число ЗМ в МП. Данные рис. 2.6 получены для емкости ЗМ, равной 16К, адресные входы ЗМ мультиплексированы, нагрузочная способность формирователей равна 16. Для МП большой емкости, в которых наиболее полно использованы нагрузочные способности формирователей, доля микросхем обрамления составляет около 25% количества ЗМ. Интенсивность отказов ТТЛ микросхем малой степени интеграции, которые используются в качестве формирователей в МП большинства ЗУ,

[1] **Шебанин В. В., Тюхин А. А., Томов В. И.** Интегральные функциональные узлы для запоминающих устройств. — М.: Сов. радио, 1976. — 56 с.

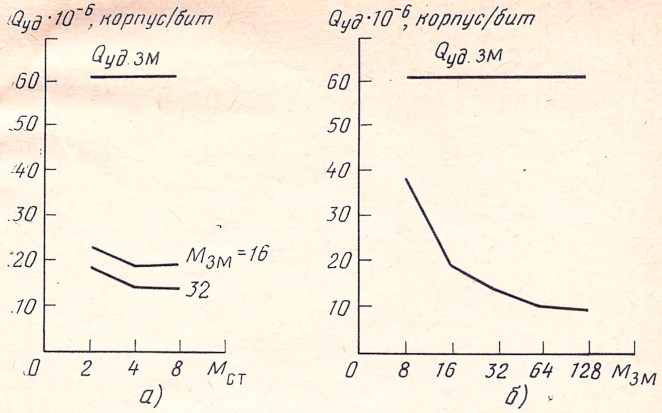


Рис. 2.6. Зависимость удельного количества элементов электроники обрамления от:

а) числа столбцов ЗМ в МП; *б*) числа ЗМ в МП

примерно на порядок ниже интенсивности отказов ЗМ. Поэтому доля отказов микросхем обрамления в МП составляет единицы процентов от общего числа отказов модуля памяти.

Из-за значительного сходства в организации ЗМ ОЗУ и ПЗУ организация МП ПЗУ имеет много общего с организацией МП ОЗУ. В МП ПЗУ по сравнению с МП ОЗУ отсутствуют лишь цепи, предназначенные для записи информации, так как занесение информации в ЗМ ПЗУ осуществляется на заводах-изготовителях микросхем.

Вследствие однотипности элементов электроники обрамления и организации модулей памяти ПЗУ и ОЗУ виды отказов МП также одинаковы. Различия заключаются в меньшей доле для МП ПЗУ отказов строк и полных отказов МП из-за отсутствия РФ и ФР, используемых в ОЗУ для записи информации. В силу указанных причин зависимость удельного количества микросхем обрамления для МП ПЗУ та же, что и для МП ОЗУ (рис. 2.6). Доля отказов микросхем обрамления МП ПЗУ, как и МП ОЗУ, составляет единицы процентов от общего числа отказов.

Отказы модульных запоминающих устройств. Модульное ЗУ состоит из однотипных МП и устройства управления (УУ) (рис. 2.7). На рисунке ОБР — сигнал обращения к ЗУ. Устройство управления ЗУ не вносит новых механизмов отказов, так как реализуется на интегральных микросхемах малой и средней степени интеграции, по технологии и конструктивному исполнению аналогичных микросхемам обрамления МП. Поэтому отказы МП характерны и для модульных ЗУ. Отказы МП приводят к ошибкам в считанных данных в пределах адресного и разрядного полей модуля памяти. На отказы МП приходится большая часть интенсивности отказов всего ЗУ. Неисправности элементов УУ ЗУ приводят к следующим видам отказов. Неисправность блока синхрони-

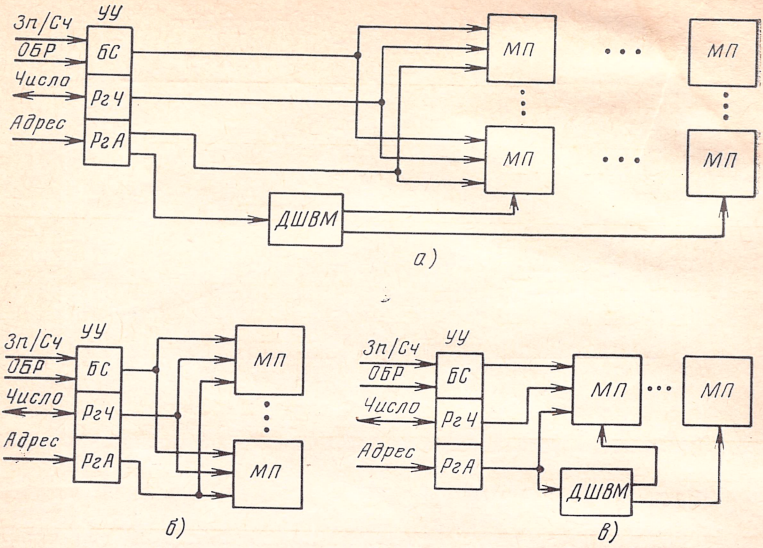
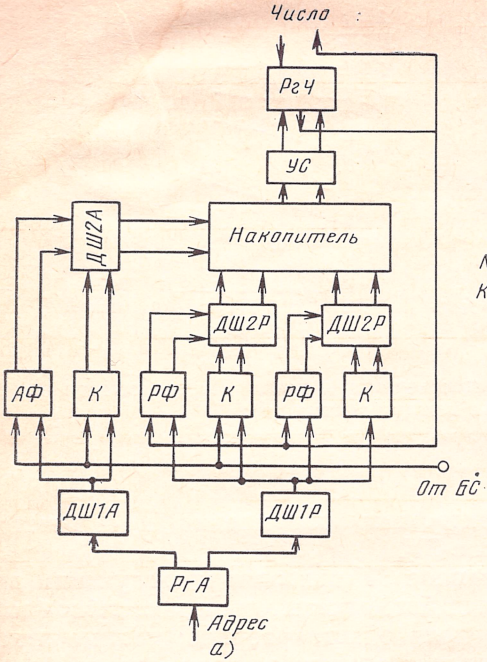


Рис. 2.7. Организация модульных ЗУ

зации (БС) является причиной отсутствия обращений по всем адресам ЗУ или ложных записи и считывания. Отказы регистра числа (РгЧ) ведут к невозможности записи или считывания данных МП, подключенных к неисправным выходам РгЧ. Отказы регистра адреса (РгА) делают невозможным обращение к соответствующим адресам хранимых в ЗУ слов. При неисправности дешифратора выбора модуля (ДШВМ) либо невозможно обратиться к требуемой группе МП, либо часть МП постоянного выбрана. Особенностью отказов УУ является то, что во многих случаях эти отказы общие для групп МП. Это приводит к невозможности записи и считывания данных в группе соответствующих МП.

2.3. ОТКАЗЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА ФЕРРИТОВЫХ СЕРДЕЧНИКАХ

Организация запоминающих устройств на ферритовых сердечниках. Широкое применение при построении ЗУ на ферритовых сердечниках (ФС) большой информационной емкости получила система 2,5Д $2w$ и 2,5Д $3w$ (рис. 2.8), где $K_д$ — коэффициент деления адресных шин. Накопитель ЗУ на ферритовых сердечниках состоит из одной или нескольких матриц ФС. Выбор адресной и адресно-разрядной шины осуществляется с помощью дешифраторов второй ступени ДШ2А и ДШ2Р. Адресные и разрядные формирователи и ключи служат для формирования токов записи-считывания. Адресный (ДШ1А) и адресно-разрядный (ДШ1Р) дешифраторы первой ступени выбирают формирователи и ключи в зависимости от кода в регистре адреса. Считанный с ферритового



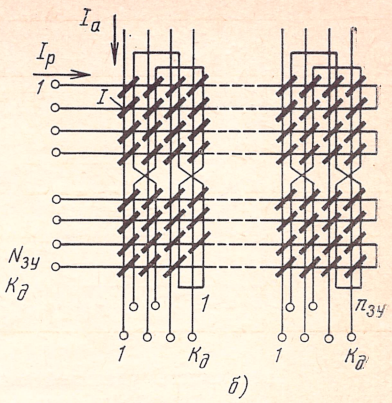


Рис. 2.8. Структурная схема ЗУ типа 2,5 Д 3ω (*а*) и организация накопителя (*б*)

сердечника сигнал усиливается и формируется усилителем считывания (УС). Регистр числа служит для временного хранения считанного и записываемого числа. Сигналы от блока синхронизации (БС) управляют работой узлов ЗУ.

Основными факторами, влияющими на надежность ЗУ на ФС, являются отказы вследствие производственных дефектов и нарушений условий эксплуатации, а также помехи в накопителе. Существенным фактором снижения надежности ЗУ на ФС является влияние рабочей температуры.

Отказы из-за производственных дефектов. В результате производственных дефектов и нарушений условий эксплуатации образуются трещины и сколы в ФС, нарушается электрический контакт в местах паек проводов, возникают отказы элементов электроники обрамления.

Интенсивность отказов различных узлов ЗУ зависит от его емкости и организации. На рис. 2.9,*а* приведена зависимость удельной интенсивности отказов от емкости ЗУ для накопителя на матрицах емкостью 74 Кбит, на рис. 2.9,*б* — распределение удельной интенсивности отказов между блоками ЗУ.[1] При увеличении емкости накопителя полнее используются нагрузочные способности формирователей, вследствие чего уменьшается удельный объем

[1] **Смелова С. М.** Автоматизация выбора матрицы покрытия для накопителя ЗУ большой емкости с учетом фактора надежности//Тр. МЭИ. — 1977. — Вып. 343. — С. 50—54.

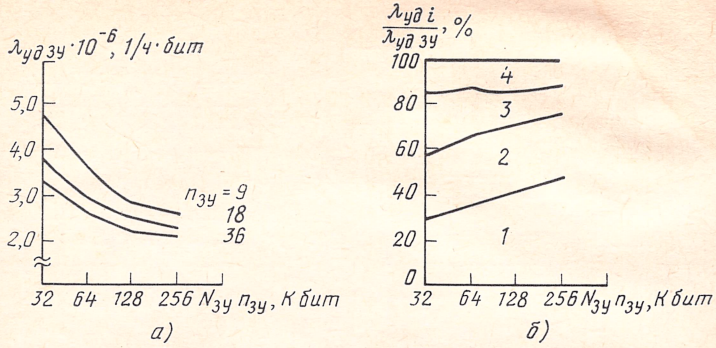


Рис. 2.9. Зависимость удельной интенсивности отказов ЗУ от емкости (*а*) и распределение интенсивности отказов между блоками (*б*):

1 — накопитель; *2* — разрядные схемы воспроизведения; *3* — разрядные схемы выборки; *4* — адресные схемы выборки

оборудования элементов электроники обрамления и снижается удельная интенсивность отказов ЗУ.

Неисправности отдельных узлов ЗУ приводят к следующим видам отказов: отказы одиночных бит, отказы строк и столбцов матрицы ЗЭ; отказы адресного поля одного разряда; полные отказы ЗУ. Анализ рис. 2.9,*б* позволяет сделать выводы, что наиболее вероятными являются отказы отдельных бит, строк, столбцов и разрядов, вызываемые неисправностями ФС, разрядных схем выборки и воспроизведения. Для уменьшения объема оборудования электроники обрамления конфигурации накопителя выбирается квадратной. Поэтому вероятность отказов для строки и столбца накопителя примерно одинакова. При интенсивности отказов ФС, составляющей 5% интенсивности отказов паек, доля отказов строк или столбцов в ЗУ емкостью 128—256 Кбит составляет около 25%. Доля однобитовых отказов зависит от интенсивности отказов ФС, которую можно уменьшить тщательной отбраковкой сердечников.

Значительная доля отказов в ЗУ на ФС приводит к однонаправленным ошибкам с переходами типа 1→0 или 0→1 в разрядах считанных слов. Причинами их возникновения является уменьшение амплитуды считанного с ферритового сердечника сигнала, колебания амплитуд токов выборки в шинах накопителя. Неисправности адресных и адресно-разрядных формирователей, ключей и дешифраторов также приводят к однонаправленным ошибкам. Неисправности формирователей, ключей и дешифраторов, а также отказы УС, РгЧ, РгА могут вызвать искажение записываемого числа, либо запись или считывание по ошибочному адресу.

Влияние помех на считанный с ферритового сердечника сигнал. Вследствие непрямоугольности петли гистерезиса и неидентичности параметров ФС (рис. 2.10) считанный с выбранного сердечника полезный сигнал сопровождается помехами от полувыбранных сердечников, дешифраторов, емкостных и индуктивных

связей между шинами накопителя. Помехи возникают как в цикле записи, так и цикле считывания информации. Суммарная амплитуда помехи может в несколько раз превысить амплитуду полезного сигнала, которая составляет 15—20 мВ [2].

Амплитуда помехи зависит от числа полувыбранных сердечников на обмотке считывания, степени неидентичности параметров сердечников, их предыстории, а также хранимой в ЗУ информации. Сдвигом во времени начала действия адресно-разрядного и адресного токов, использованием временно́й и амплитудной селекции считанного сигнала, секционированием обмотки считывания обеспечивается улучшение отношения сигнал/шум.

Особенностью ЗУ на ФС является то, что помеха от полувыбранных сердечников, хранящих код 1, имеет бо́льшую амплитуду, чем помеха от полувыбранных сердечников, хранящих код 0. Поэтому максимальная помеха соответствует такому распределению информации в накопителе, при котором сердечники, создающие в обмотке считывания положительный сигнал, хранят код 1, а сердечники, сигнал от которых имеет отрицательную полярность, хранят код 0. Данное распределение 1 и 0 в накопителе является «тяжелым», или «шахматным», распределением информации. Для матрицы на рис. 2.8,*б* «тяжелое» распределение информации приведено на рис. 2.11,*а*. Распределение информации, полученное из «тяжелого» путем инвертирования информации в сердечнике 1, отличается от исходного тем, что суммарная помеха вычитается из считанного с сердечника 1 сигнала единицы и складывается с сигналом нуля остальных сердечников (рис. 2.11,*б*). Такое распределение информации получило название «утяжеленного» [11]. Появление неблагоприятного распределения информации в накопителе и воздействие опасной внешней помехи наиболее вероятно для одного разряда накопителя, поэтому более вероятными являются одноразрядные сбои в считанной информации. Возможно как увеличение сигнала 0 выше порога дискриминации усилителя считывания, так и уменьшение сигнала 1 ниже порога УС. Поэтому при считывании возникают сбои как 1, так и 0.

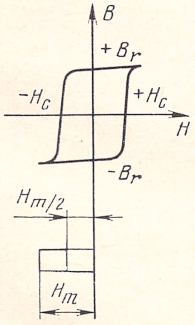


Рис. 2.10. Петля гистерезиса ферритового сердечника

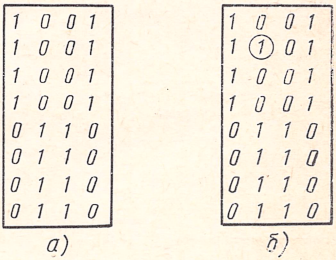


Рис. 2.11. Шахматное (*а*) и утяжеленное шахматное (*б*) распределения информации

Вследствие разрушения хранимой в сердечнике информации при ее считывании после каждого цикла считывания организуется регенерация информация в ЗУ. Поэтому сбой при считывании влечет за собой ошибку в хранимой информации [25].

Влияние рабочей температуры на надежность запоминающих устройств на ферритовых сердечниках. Повышение рабочей температуры ЗУ на ФС приводит к уменьшению средней наработки на отказ элементов электроники обрамления и снижению помехоустойчивости устройства. Особенностью ФС является уменьшение коэрцитивной силы при увеличении рабочей температуры. Разогрев ФС при их работе происходит как в результате увеличения температуры окружающей среды, так и в результате выделения мощности при их перемагничивании. Процесс саморазогрева сердечников опасен тем, что имеет малую инерционность и носит локальный характер, что приводит к резкому повышению температуры отдельных сердечников. Температурный коэффициент коэрцитивной силы у термостабильных ферритовых сердечников 5ВТ, 7ВТ и других порядка 0,1%/°С [26]. Изменение коэрцитивной силы ФС при изменении рабочей температуры ведет к уменьшению допусков на полутоки выборки, вследствие чего снижается помехоустойчивость устройства.

2.4. ОТКАЗЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА ЦИЛИНДРИЧЕСКИХ МАГНИТНЫХ ДОМЕНАХ

Запоминающие устройства на цилиндрических магнитных доменах (ЦМД ЗУ) содержат следующие основные узлы (рис. 2.12). Генератор импульсов тока (ГИ) вырабатывает токовые импульсы, необходимые для формирования и уничтожения магнитных доменов. Формирователь тока катушек (ФТ) и усилители мощности (УМ) создают вращающееся магнитное поле для перемещения доменов. Усилитель считывания (УС) служит для регистрации сигналов ЦМД при их считывании. При выполнении схем управ-

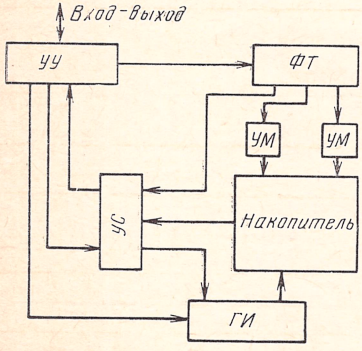


Рис. 2.12. Структурная схема ЦМД ЗУ

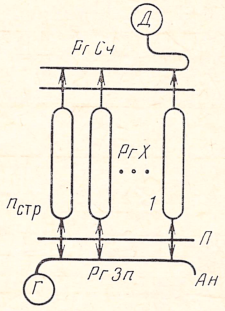


Рис. 2.13. Параллельно-последовательная структура ЦМД ЗМ с раздельными регистрами ввода и вывода

ления и сопряжения ЦМД ЗМ со стандартным интерфейсом в виде набора интерфейсных интегральных микросхем микросхема, выполняющая функции усилителя считывания, может осуществлять также коррекцию ошибок и обход дефектных регистров [27]. Устройство управления (УУ) обеспечивает связь между ЗУ и процессором, управляя передачей данных, а также генерацией синхроимпульсов.

В состав накопителя входят одна или несколько ЦМД ЗМ. Наибольшее распространение получила последовательно-параллельная организация ЦМД ЗМ с раздельными регистрами ввода и вывода, представленная на рис. 2.13 [5]. Для данной организации ЗМ содержит большое число регистров хранения, информация из которых выбирается одновременно. При считывании выбранная страница копируется (или реплицируется) в регистр считывания (РгСч) и передается в датчик считывания (Д). Считывание следующей страницы данных можно начинать сразу же после выхода последнего бита предыдущей страницы из регистра считывания.

Для записи новой страницы ее разряды вводятся в регистр записи (РгЗп) из генератора (Г) и, после того, как все биты страницы располагаются в соответствующих переключателях, в шину П переключателя подается импульс тока управления обменом. При этом старая страница данных из регистров хранения (РгХ) переходит в регистр записи, а на ее место помещается новая. ЦМД старой страницы затем вводятся в аннигилятор (Ан) и уничтожаются.

Отказы ЦМД ЗМ носят, как правило, характер сбоев. Исключение составляют внезапные отказы, возникающие при коротких замыканиях выводов микросхемы. Сбои в ЦМД ЗМ условно делят на постоянные и случайные. Постоянные сбои возникают в результате инверсии битов данных при их записи или хранении. Исправление ошибок из-за таких сбоев возможно путем перезаписи исходной информации. Под случайными понимают сбои, возникающие в регистре считывания или датчике. При возникновении таких сбоев информация в регистрах хранения не искажается. Для исправления ошибок, возникающих из-за случайных сбоев, достаточно выполнить повторное считывание.

В табл. 2.5 приведены причины сбоев и условия, способствующие их возникновению, для ЦМД ЗМ с последовательно-параллельной организацией и раздельными регистрами ввода и вывода [28]. К причинам случайных сбоев относятся коллапс или растяжение ЦМД в регистре считывания и ошибки при детектировании, причины постоянных сбоев — все остальные.

При операции продвижения ЦМД возможны зарождение (ложная генерация) ЦМД и смещение (отставание) ЦМД по ходу движения, которые приводят к постоянным сбоям, если они возникают в регистрах хранения или каналах ввода (при записи), и к случайным сбоям, если возникают в каналах вывода (при считывании).

Таблица 2.5

Функция	Большие поля смещения		Малые поля смещения	
	Причина сбоя	Условия, способствующие сбою	Причина сбоя	Условия, способствующие сбою
Продвижение ЦМД в регистрах хранения	Коллапс ЦМД	Плотная упаковка ЦМД, малое управляющее поле, низкая температура	Растяжение ЦМД	Редкая упаковка ЦМД, большое управляющее поле, высокая температура
Генерация или репликация ЦМД	Отсутствие процесса деления исходного ЦМД, коллапс реплицированного ЦМД	Малые токи генерации и репликации ЦМД, малое управляющее поле, низкая температура	Растяжение ЦМД	Большие токи генерации и репликации, большое управляющее поле, высокая температура
Обмен ЦМД между РгЗп и РгХ	Коллапс входящих и выходящих ЦМД	Обмен ЦМД с ЦМД, малый ток обмена, малое управляющее поле, низкая температура	Растяжение ЦМД	Обмен ЦМД и инверсией ЦМД, большой ток обмена, большое управляющее поле, высокая температура *
Детектирование	Малый сигнал от ЦМД	Изолированные ЦМД, малое управляющее поле, малый ток в детекторе, высокая температура	Большой сигнал от инверсии ЦМД	В последовательности ЦМД находятся инверсии ЦМД, большое управляющее поле, большой ток в детекторе, низкая температура

* Под инверсией ЦМД понимается отсутствие ЦМД (логический ноль).

Значения вероятностей появления сбоев различных типов для ЦМД ЗМ приведены в табл. 2.6 [28]. Как видно из таблицы, наиболее частыми в ЦМД ЗМ являются одиночные случайные сбои. С интенсивностью на 1—2 порядка ниже следуют одиночные постоянные сбои. Кроме того, наблюдается группирование ошибок в пакеты небольшой длины, разрядность которых находится в пределах 2—5 бит.

Вероятности появления наиболее частых типов сбоев, возникающих в ЦМД ЗМ 7110 емкостью 1 Мбит фирмы Intel Magnetics, приведены в табл. 2.7 [27].

Таблица 2.6

Тип сбоя	Вероятность появления сбоя в 256-битовой странице данных	
	ЦМД ЗМ фирмы Texas Instruments	ЦМД ЗМ фирмы Intel Magnetics
Одиночный случайный сбой	$3 \cdot 10^{-4}$	10^{-6}
Одиночный постоянный сбой	$3 \cdot 10^{-6}$	10^{-7}
Два независимых случайных сбоя	$3 \cdot 10^{-8}$	10^{-12}
Пакет из двух случайных сбоев	$3 \cdot 10^{-9}$	—
Пакет из двух постоянных сбоев	$3 \cdot 10^{-11}$	—
Пакет из трех-пяти случайных сбоев	$2 \cdot 10^{-11}$	10^{-9}
Два независимых постоянных сбоя	$3 \cdot 10^{-12}$	10^{-14}
Три независимых случайных сбоя	$3 \cdot 10^{-12}$	11^{-17}
Одиночный случайный сбой и пакет из двух случайных сбоев	$8 \cdot 10^{-13}$	—

Таблица 2.7

Тип сбоя	Вероятность появления сбоев	
	$T=25°$ С $U_{пит}=U_{пит\ ном}$	$T=0°$ С, $50°$ С $U_{пит}=U_{пит\ гр}$
Одиночный случайный сбой	10^{-9}	10^{-7}—10^{-6}
Одиночный постоянный сбой (80% — коллапс ЦМД, 15% — смещение ЦМД, 5% — зарождение ЦМД)	10^{-11}	10^{-9}
Многократные сбои (растяжение ЦМД)	10^{-14}	—

Таблица 2.8

Функциональный блок ЗУ и тип микросхемы	Интенсивность отказов при 70° С, 1/ч
Устройство управления, 7220	$2\cdot10^{-7}$
Усилитель считывания, 7242	$1\cdot10^{-6}$
Генератор импульсов, 7230	$5\cdot10^{-8}$
Формирователь тока катушек, 7250	$1\cdot10^{-6}$
Усилитель мощности, 7254	$6\cdot10^{-7}$
ЦМД ЗМ, 7110	$3\cdot10^{-6}$

Значительный вклад в общую интенсивность отказов ЦМД ЗУ вносят также отказы интерфейсных микросхем. Данные по интенсивности отказов функциональных блоков ЦМД ЗУ фирмы Intel Magnetics (рис. 2.12) приведены в табл. 2.8 [28].

2.5. ОТКАЗЫ ЭЛЕКТРОМЕХАНИЧЕСКИХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА МАГНИТНЫХ НОСИТЕЛЯХ

Кодирование информации. В настоящее время для хранения больших объемов информации в ЭВМ используются в основном электромеханические ЗУ на магнитных носителях — накопители на магнитных дисках (НМД), на магнитных лентах (НМЛ). Информация хранится в виде намагниченных участков магнитной поверхности, перемещающейся при записи и считывании относительно магнитных головок. Данные ЗУ имеют общие принципы записи, хранения и считывания информации и вследствие этого сходные причины и проявления отказов.

Во внешних ЗУ применяются следующие способы кодирования информации: запись без возврата к нулю; фазовая модуляция; частотная модуляция. При записи без возврата к нулю с переключением магнитного потока при кодировании единицы (ББН1) участок магнитного носителя, соответствующей биту хранимой информации, находится в одном из двух состояний намагниченности. Изменение направления намагниченности производится при записи единицы (рис. 2.14,*а*).[1]

[1] **Рыжков В. А., Сергеев Н. П., Раков Б. М.** Внешние ЗУ на магнитном носителе. — М.: Энергия,1978. — 224 с.

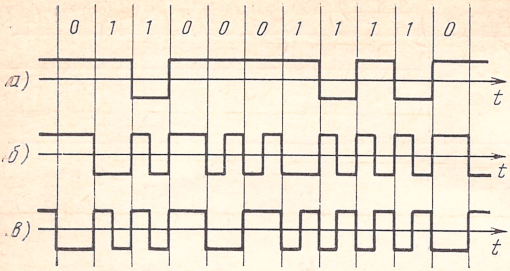


Рис. 2.14. Примеры намагниченности носителя для способов записи информации БВН1 (*а*), ФМ (*б*), ЧМ (*в*)

При фазовой модуляции магнитный поток переключается с положительного направления на отрицательное при записи нуля и с отрицательного на положительное — при записи единицы (рис. 2.14,*б*). Для обеспечения такого кодирования при последовательной записи одноименной информации используется дополнительный перепад магнитного потока.

При записи способом частотной модуляции магнитный поток всегда переключается на границе информационной позиции (рис. 2.14,*в*). Единичным значениям данных соответствует изменение намагниченности носителя в середине информационной позиции, т. е. при записи единицы частота изменения магнитного потока увеличивается вдвое.

Особенностью фазового и частотного способов является изменение направления намагниченности носителя в каждой информационной позиции. Вследствие этого при считывании каждого бита информации в считывающей головке появляется сигнал, что делает возможным самосинхронизацию считанной информации.

Причины отказов запоминающих устройств на магнитных носителях. В процессе работы ЗУ на магнитных носителях возможны как случайные ошибки, которые устраняются повторным считыванием тех же данных, так и постоянные, систематические ошибки [13]. Случайные ошибки вызываются следующими основными причинами: кратковременным увеличением зазора между магнитным носителем и головкой; изменением скорости движения носителя информации; перекосом магнитных головок относительно носителя; отклонением параметров электронных схем записи-воспроизведения и управления; шумами магнитных головок и усилителей считывания; наводками [13]. Влияние каждого из этих факторов на сигнал может быть незначительным, и можно предположить, что их воздействие подчиняется нормальному закону распределения.[1] Постоянные ошибки возникают, в основном, из-за повреждения магнитного носителя, а также из-за отказов в схемах записи, считывания и управления.

Взаимовлияние информационных сигналов в канале воспроизведения. При прохождении магнитной головки над местом изме-

[1] **Вашкевич Н. П., Голованов Г. М.** Надежность сохранения информации в запоминающих устройствах на магнитной ленте. — М.: Машиностроение, 1974. — 80 с.

нения направления намагниченности магнитного носителя в ней наводится считанный сигнал колоколообразной формы (рис. 2.15).[1] При близком расположении перепадов намагниченности на носителе, когда расстояние между пиками импульсов меньше ширины импульса, наблюдается искажение считанного сигнала. Предполагая, что процесс считывания линейный, для построения результирующего импульса используют принцип суперпозиции. Значение результирующего сигнала в каждый момент времени равно алгебраической сумме значений каждого из взаимовлияющих сигналов.

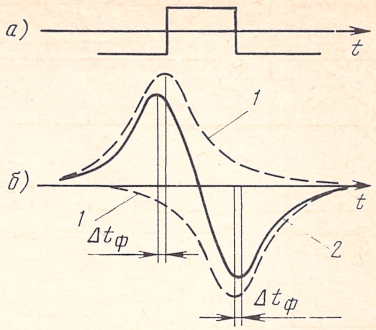


Рис. 2.15. Намагниченность носителя (*а*) и сигналы воспроизведения (*б*)

Если шлейфы взаимовлияющих сигналов совпадают с пиками импульсов, то амплитуда результирующего импульса уменьшается (рис. 2.15). Наблюдаются также сдвиги пиков импульсов, т. е. возникают как амплитудные, так и фазовые искажения. Степень взаимовлияния сигналов оценивается фазовыми и амплитудными искажениями.

Наиболее «тяжелой» с точки зрения фазовых искажений является последовательность из двух сигналов, перепады намагниченности которых расположены на минимальном расстоянии друг от друга. В правильности этого утверждения можно убедиться, дополнив последовательность сигналов, изображенных на рис. 2.15, третьим импульсом справа. Так как его полярность противоположна полярности второго импульса, то значение сигнала в правой от пика части второго импульса уменьшается на бóльшую величину, чем в левой, вследствие чего произойдет сдвиг пика второго импульса влево, т. е. фазовый сдвиг второго импульса уменьшается. Аналогично можно показать, что при добавлении третьего импульса слева уменьшается фазовый сдвиг первого импульса. При очень близком расположении перепадов намагниченности носителя, когда шлейф третьего сигнала совпадает с пиками двух сигналов, происходит уменьшение фазовых сдвигов для обоих импульсов.

Амплитудные искажения оценивают минимальной разницей амплитуд смежных импульсов кодовой последовательности[2]:

$$k_{ап} = \left(1 - \frac{\min|E_{i+1} - E_i|}{2E_{max}}\right) 100\%. \qquad (2.3)$$

---

[1] **Хогленд А.** Цифровая магнитная запись: Пер. с англ. — М.: Сов. радио, 1967. — 280 с.

[2] **Михайлов В. И., Таланцев А. Д.** Методика оценки разрешающей способности канала воспроизведения при высокой плотности записи//Тр. МИРЭА. — 1972. — Вып. 65. — С. 21—25.

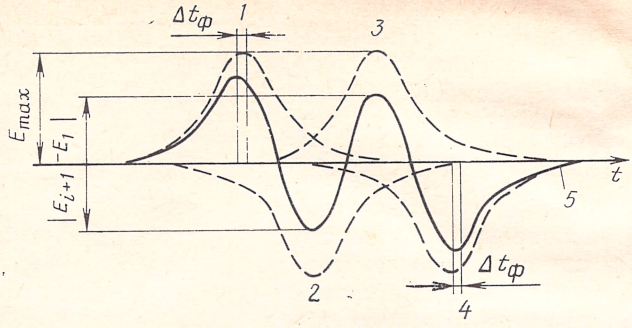


Рис. 2.16. Сигналы воспроизведения от четырех перепадов намагниченности носителя:
1—4 — исходные сигналы, *5* — результирующий сигнал

Наиболее «тяжелой» по данному показателю является последовательность из четырех следующих друг за другом на минимально-допустимом расстоянии сигналов (рис. 2.16). Для этой последовательности средние сигналы *2* и *3* подавляются крайними сигналами *1* и *4*, вследствие чего величина $|E_{i+1}—E_i|$ принимает минимальное значение. Если дополнить последовательность пятым импульсом справа, который должен быть положительным, то амплитуда третьего импульса увеличивается на бо́льшую величину, чем уменьшается амплитуда второго импульса. Минимальная разница амплитуд $|E_{i+1}—E_i|$ при этом увеличивается. Аналогично можно показать, что при добавлении к последовательности из четырех импульсов отрицательного импульса слева величины $|E_{i+1}—E_i|$ также увеличивается.

«Наихудшие» по величине фазовых и амплитудных искажений информационные последовательности получаются из последовательностей, приведенных на рис. 2.15, 2.16, с учетом ограничений на число последовательных сигналов, накладываемых используемым способом кодирования.

Для способа записи БВН1 число смежных импульсов не ограничено, поэтому для него наихудшей по величине фазовых сдвигов является последовательность ...0110..., а наиболее тяжелой по величине амплитудных искажений — информационная последовательность ...011110... (рис. 2.14).

Для способа записи с фазовой или частотной модуляцией число смежных перепадов намагниченности может быть только нечетным (рис. 2.14). При анализе рис. 2.16 можно заметить, что добавление к последовательности из четырех смежных импульсов пятого импульса приведет к увеличению значения $|E_{i+1}—E_i|$ для сигналов *2* и *3* в меньшей степени, чем исключение из последовательности четвертого импульса. Это вызвано более близким расположением четвертого импульса, чем пятого, и, соответственно, более сильным его влиянием на импульсы *2* и *3*. Поэтому для способов записи ФМ и ЧМ наиболее тяжелой по величине ампли-

Таблица 2.9

Критерий	Наихудшая последовательность для различных способов кодирования		
	БВН1	ФМ	ЧМ
Фазовый сдвиг	...0110...	Смена информации	Смена информации
Минимальная разница амплитуд смежных импульсов	...011110...	...01110...10001...	...0110...

тудных искажений является последовательность из пяти смежных сигналов. Такой последовательности сигналов для способа записи с фазовой модуляцией соответствуют информационные последовательности ...01110... и ...10001..., а для способа записи с частотной модуляцией — последовательность ...0110... (рис. 2.14).

Наибольшему фазовому сдвигу для способов записи с использованием фазовой и частотной модуляции соответствует момент смены информации, при котором изменяется частота следования считанных сигналов. В этом случае сдвигается пик крайнего в последовательности большей частоты импульса, на который максимальное действие оказывает соседний ближайший импульс (рис. 2.16). В табл. 2.9 приведены сводные данные по наихудшим информационным последовательностям для различных способов кодирования.

Виды ошибок в считанных данных. В настоящее время накоплен значительный статистический материал по надежности внешних ЗУ. При средней наработке на отказ около 1000 ч вероятность ошибочного приема символа в зависимости от вида ЗУ составляет от 10^{-6} до 10^{-9} 1/бит (НМЛ — 10^{-6}—10^{-8}, НМД — 10^{-9}).[1]

Около 50—60% общего количества составляют случайные ошибки, устраняемые при повторном считывании. Для НМЛ, НМД ошибки группируются в пакеты вдоль магнитной дорожки. Основной процент ошибок составляют одиночные и двухразрядные пакетные ошибки. При этом около 70% всех ошибок приходится на долю одиночных. Вероятность трехразрядных и четырехразрядных пакетов ошибок составляет единицы процентов [13]. Экспериментальные данные свидетельствуют об асимметрии ошибок (табл. 2.10). Доля ошибок синхронизации достигает половины всех ошибок.[2]

---

[1] **Попова С. А.** Статистические характеристики ошибок, возникающих в каналах записи и чтения внешних накопителей ЭВМ//Кодирование в сложных системах. — М.: Наука, 1974. — С. 23—31.

Попова С.А. Исследование статистики ошибок, возникающих в магнитных барабанах//Приборы и системы управления. — 1969. — № 6. — С. 25—27.

[2] **Помехоустойчивое** кодирование информации в накопителях на магнитных дисках/И. В. Огнев, О. М. Рякин, Д. А. Столяренко//Вопросы кибернетики. — 1978. — Вып. 42. — С. 81—85.

Таблица 2.10

Тип ЗУ	Соотношение числа переходов в считанных данных, %	
	1→0	0→1
НМЛ	60—70	30—40
НМД	20	80

Сбои синхроимпульсов вызывают выпадение информационных битов и сдвиг последующей информации.

Фазовые сдвиги вызывают искажение всех последующих бит до конца записи. Данный вид ошибок характерен для НМД ЕС-5056 с устройством управления ЕС-5551, в котором используются способ записи с частотной модуляцией и выделение информационного сигнала по величине интервала между импульсами. Тестовая последовательность для анализа характера ошибок НМД показана на рис. 2.17. На рисунке обозначены: И — информационный сигнал, СС—синхросигнал. Расстояние между импульсами при считывании нуля равно T, а при считывании единицы — $T/2$. После приема синхроимпульса схема выделения данных и синхроимпульсов ожидает в течение времени $3T/4$. Если за это время поступает импульс, то передается сигнал единицы, если сигнал отсутствует, то передается ноль. Затем в течение времени $3T/4$ производится ожидание синхроимпульса. При отсутствии синхроимпульса он восстанавливается схемой выделения данных и синхроимпульсов.

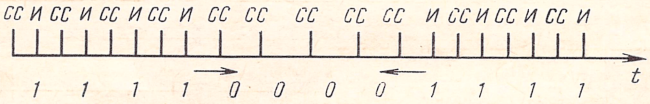


Рис. 2.17. Тестовая последовательность для оценки влияния фазовых сдвигов

Вследствие взаимовлияния сигналов наибольший фазовый сдвиг испытывают первые синхроимпульсы группы нулей и единиц. Если вследствие фазового сдвига и других влияющих причин, например изменения скорости движения носителя, частоты задающего генератора и т. д., расстояние между последним импульсом единицы и первым синхроимпульсом нуля, а также между первыми двумя синхроимпульсами нулей станет меньше $3T/4$, то второй синхроимпульс нулей будет воспринят как импульс данных. Все последующие синхросигналы будут восприниматься как импульсы данных, и будет считываться последовательность из одних единиц.

ГЛАВА 3. АНАЛИТИЧЕСКИЕ МЕТОДЫ РАСЧЕТА ПОКАЗАТЕЛЕЙ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

3.1. ОСНОВНЫЕ ПОКАЗАТЕЛИ НАДЕЖНОСТИ

Теория надежности изучает закономерности влияния отказов на эффективность функционирования аппаратуры. Возникновение отказов связано с совокупным действием большого количества разнообразных факторов — физических процессов в элементах аппаратуры, условий окружающей среды, изменения питающих напряжений и др. Поэтому отказы носят случайный характер, и для расчета показателей надежности используется аппарат теории вероятностей.

При исследовании надежности ЗУ используются следующие показатели надежности:

вероятность безотказной работы — вероятность того, что в пределах заданной наработки отказ не возникнет;

средняя наработка до отказа — математическое ожидание наработки объекта до первого отказа;

средняя наработка на отказ (наработка на отказ) — отношение наработки восстанавливаемого объекта к математическому ожиданию числа его отказов в течение этой же наработки;

интенсивность отказов — условная плотность вероятности возникновения отказа невосстанавливаемого объекта, определяемая для рассматриваемого момента времени при условии, что до этого момента отказ не возникает;

параметр потока отказов — отношение среднего числа отказов восстанавливаемого объекта за произвольно малую его наработку к значению этой наработки.

Полной характеристикой случайной величины является ее функция распределения— вероятность события, состоящего в том, что случайная величина примет значение, меньшее аргумента функции распределения. Функция распределения наработки τ объекта до отказа

$$F(t) = P(\tau < t), \tag{3.1}$$

где $F(t)$ имеет физический смысл вероятности отказа за время, меньшее t.

Производная от $F(t)$ является плотностью распределения вероятностей $\varphi(t)$ случайной величины τ:

$$\varphi(t) = \frac{dF(t)}{dt} = -\frac{dP(t)}{dt}. \tag{3.2}$$

Вероятность безотказной работы вычисляется по формуле

$$P(t) = P(\tau > t) = 1 - F(t) = \int_t^\infty \varphi(\tau)\, d\tau, \tag{3.3}$$

а средняя наработка до отказа — по формуле

$$t_{0\,ср} = M(t_0) = \int_0^\infty t\varphi(t)\, dt = \int_0^\infty P(t)\, dt, \tag{3.}$$

где $M(t_0)$ — математическое ожидание наработки объекта до отказа. Из (3.4) следует, что величина $t_{0\,ср}$ может быть определена как площадь под кривой $P(t)$.

В качестве показателя безотказности невосстанавливаемых объектов используется интенсивность отказов

$$\lambda(t) = \frac{\varphi(t)}{1-F(t)} = \frac{1}{1-F(t)}\,\frac{dF(t)}{dt} = -\frac{1}{P(t)}\,\frac{dP(t)}{dt}. \qquad (3.5)$$

Величина $\lambda(t)$ определяется по результатам эксплуатации и испытаний и рассчитывается по формуле

$$\lambda(t) = \frac{n_и(t,\ \Delta t)}{N_и(t)\,\Delta t}, \qquad (3.6)$$

где $N_и(t)$ — число объектов, исправных к моменту t; $n_и(t,\ \Delta t)$ — число объектов, отказавших в интервале времени $(t,\ t+\Delta t)$ [29]. Величина Δt должна быть малой.

Для восстанавливаемых объектов в качестве показателя безотказности используется параметр потока отказов

$$\omega(t) = \frac{d\Omega(t)}{dt}, \qquad (3.7)$$

где $\Omega(t)$ — функция потока отказов, равная математическому ожиданию числа отказов за время t. Статистически значение параметра потока отказов определяется выражением

$$\omega(t) = n_и(\Delta t)/N_и\,\Delta t, \qquad (3.8)$$

где $N_и$ — общее число изделий, поставленных на испытания; $n_и(\Delta t)$ — число объектов, отказавших в интервале времени Δt.

Различные показатели, характеризующие надежность, приведены в табл. 3.1.

Таблица 3.1

Определяемый показатель	Заданный показатель			
	$F(t)$	$P(t)$	$\lambda(t)$	$\varphi(t)$
$F(t)$	—	$1-P(t)$	$1-e^{-\int_0^t \lambda(\tau)d\tau}$	$\int_0^t \varphi(\tau)\,d\tau$
$P(t)$	$1-F(t)$	—	$e^{-\int_0^t \lambda(\tau)d\tau}$	$\int_t^\infty \varphi(\tau)\,d\tau$
$\lambda(t)$	$\frac{dF(t)/dt}{1-F(t)}$	$-\frac{dP(t)/dt}{P(t)}$	—	$\frac{\varphi(t)}{\int_0^\infty \varphi(\tau)\,d\tau}$
$\varphi(t)$	$\frac{dF(t)}{dt}$	$-\frac{dP(t)}{dt}$	$\lambda(t)\,e^{-\int_0^t \lambda(\tau)\,d\tau}$	—
$t_{0\,ср}$	$\int_0^\infty [1-F(t)]\,dt$	$\int_0^\infty P(t)\,dt$	—	$\int_0^\infty t\,\varphi(t)\,dt$

3.2. РАСЧЕТ ПОКАЗАТЕЛЕЙ НАДЕЖНОСТИ НЕРЕЗЕРВИРОВАННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Экспериментальные данные, накопленные за длительный период эксплуатации и испытаний электронных элементов и систем, показывают, что зависимость интенсивности их отказов от времени имеет U-образную форму (рис. 3.1). Период нормальной эксплуатации объекта (после приработки) соответствует области II кривой $\lambda(t)$, в которой интенсивность отказов имеет минимальное значение и не зависит от времени.

Интегрируя выражение (3.5) и решая его относительно $P(t)$, получаем

$$P(t) = e^{-\lambda(t)t}. \tag{3.9}$$

Для горизонтальной части кривой имеем $\lambda(t) = \lambda = \text{const}$, а величина $P(t)$ в этом случае определяется выражением

$$P(t) = e^{-\lambda t}. \tag{3.10}$$

Плотность распределения вероятностей, получаемая при подстановке значения $P(t)$ из (3.10) в (3.2), определяется по формуле

$$\varphi(t) = \lambda e^{-\lambda t}. \tag{3.11}$$

Таким образом, область II кривой $\lambda(t)$ соответствует экспоненциальному закону распределения наработки объекта до отказа.

Зависимости интенсивности отказов, плотности распределения и функции распределения от времени для экспоненциального закона распределения приведены на рис. 3.2. В течение периода нормальной эксплуатации параметр потока отказов восстанавливаемого объекта численно равен интенсивности отказов. Для иллюстрации этого положения сопоставим выражения (3.6) и (3.8).

Пусть к моменту времени t было $N_и$ исправных объектов, из них $N_{и1}$ работали безотказно с начала испытаний, а остальные $N_{и2}$ были восстановлены. В течение интервала времени $(t, t+\Delta t)$ произошло $n_и$ отказов, из них $n_{и1}$ — в объектах, работавших безотказно с момента испытаний, а остальные $n_{и2}$ — в восстановленных объектах. Предполагается, что при ремонте свойства объектов восстанавливаются полностью. Поэтому интенсивности отказов в обеих группах объектов одинаковы:

$$\frac{n_{и1}}{N_{и1}\Delta t} = \frac{n_{и2}}{N_{и2}\Delta t} = \lambda. \tag{3.12}$$

Параметр потока отказов

$$\omega(t) = \frac{n_{и1} + n_{и2}}{(N_{и1} + N_{и2})\Delta t}. \tag{3.13}$$

Подставляя в выражение (3.13) значения $n_{и1}$ и $n_{и2}$ из (3.12), получаем

$$\omega(t) = \omega = \lambda. \tag{3.14}$$

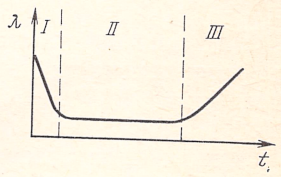


Рис. 3.1. Зависимость интенсивности отказов электронных схем от времени:

I — период приработки, II — период нормального функционирования, III — период износа

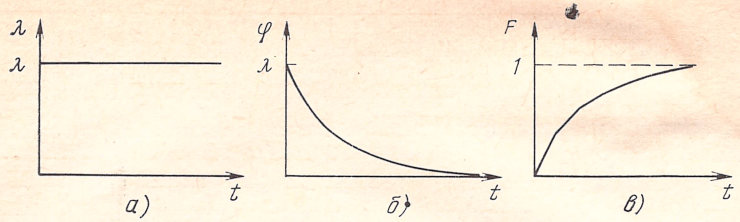


Рис. 3.2. Зависимости интенсивности отказов (*а*), плотности распределения (*б*) и функции распределения (*в*) от времени для экспоненциального закона распределения наработки объекта до отказа

Средняя наработка до отказа, равная средней наработке на отказ, вычисляется по формуле

$$t_{\text{о ср}} = \int_0^\infty P(t)\,dt = \frac{1}{\lambda}. \tag{3.15}$$

Запоминающее устройство состоит из большого числа элементов, узлов, блоков. Отказ каждого элемента нерезервированного ЗУ приводит к отказу всего запоминающего устройства. Отказы элементов предполагаются независимыми. Тогда вероятность безотказной работы ЗУ $P_{\text{ЗУ}}(t)$ может быть вычислена по формуле

$$P_{\text{ЗУ}}(t) = \prod_{i=1}^{n_y} P_i^{n_z}(t), \tag{3.16}$$

где n_y — число типов элементов в ЗУ; n_z — число элементов одного типа.

Средняя наработка до отказа невосстанавливаемого ЗУ или средняя наработка между отказами восстанавливаемого ЗУ определяется выражением

$$t_{\text{о ср}} = \left[\sum_{i=1}^{n_y} \frac{n_z}{t_{\text{о ср}\,i}}\right]^{-1} = \frac{1}{\lambda_{\text{ЗУ}}}, \tag{3.17}$$

а интенсивность отказов ЗУ — по формуле

$$\lambda_{\text{ЗУ}} = \sum_{i=1}^{n_y n_z} \lambda_i, \tag{3.18}$$

где λ_i — интенсивность отказов i-го элемента.

3.3. РАСЧЕТ ПОКАЗАТЕЛЕЙ НАДЕЖНОСТИ РЕЗЕРВИРОВАННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Для повышения надежности ЗУ используются различные методы резервирования. Резервирование позволяет обеспечить работоспособность ЗУ при появлении ошибок в слове или массивах слов. Расчет вероятности безотказной работы ЗУ рассмотрим для основных методов резервирования — информационного (т. е. исполь-

зования корректирующих кодов) и структурного. Объектом рассмотрения является полупроводниковое ЗУ, модель для расчета показателей надежности которого приведена на рис. 3.3. Для данных ЗУ наиболее вероятны четыре вида отказов: ЗЭ, строки ЗЭ, столбца ЗЭ, полные отказы ЗМ (см. § 2.2). Вероятность безотказной работы ЗУ с коррекцией ошибок

$$P_{\text{ЗУ}}(t) = P_{\text{обр}}(t)\, P_{\text{н}}(t), \qquad (3.19)$$

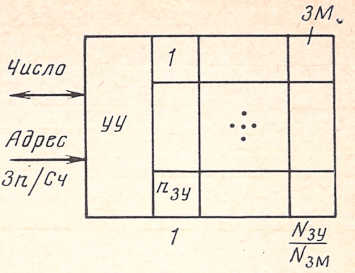


Рис. 3.3. Модель для расчета показателей надежности полупроводникового ЗУ

где $P_{\text{обр}}(t)$ — вероятность безотказной работы элементов электроники обрамления; $P_{\text{н}}(t)$ — вероятность безотказной работы накопителя. Вероятность безотказной работы накопителя равна

$$P_{\text{н}}(t) \approx \sum_{j=1}^{n_\omega} P_{\text{н}j}(t)\, \omega_j, \qquad (3.20)$$

где $P_{\text{н}j}(t)$ — вероятность безотказной работы накопителя по отношению к отказам вида j; ω_j — доля отказов j-го вида в общем числе отказов; n_ω — число видов отказов.

Запоминающее устройство с коррекцией ошибок исправно по отношению к отказам j-го вида, если число ошибочных разрядов в слове не превышает разрядности исправляемых кодом ошибок. Для кода, исправляющего $l_{\text{к}}$ независимых ошибок, ЗУ исправно, если число отказов по выбранному адресу равно 0, 1, ..., $l_{\text{к}}$. Тогда вероятность безотказной работы накопителя по отношению к отказам j-го вида

$$P_{\text{н}j}(t) = \left\{ \sum_{i=0}^{l_{\text{к}}} C^i_{n_{\text{ЗУ}}} [1 - P_{\text{ЗМ}\,j}(t)]^i P^{n_{\text{ЗУ}}-i}_{\text{ЗМ}\,j}(t) \right\}^{N_{\text{ЗУ}}/N_j}, \qquad (3.21)$$

где $n_{\text{ЗУ}}$, $N_{\text{ЗУ}}$ — соответственно разрядность и число хранимых в ЗУ слов; $C^i_{n\,\text{ЗУ}}$ — число сочетаний из $n_{\text{ЗУ}}$ по i; N_j — число искаженных адресов при отказе j-го вида; $P_{\text{ЗМ}\,j}(t)$ — вероятность безотказной работы ЗМ по отношению к отказам j-го вида:

$$P_{\text{ЗМ}\,j}(t) = e^{-\lambda_{\text{ЗМ}\,j} t}, \qquad (3.22)$$

где $\lambda_{\text{ЗМ}\,j}$ — интенсивность j-го вида отказов в ЗМ:

$$\lambda_{\text{ЗМ}\,j} = \frac{\lambda_{\text{ЗМ}}\, \omega_j}{N_{\text{ЗМ}}} N_j, \qquad (3.23)$$

$\lambda_{\text{ЗМ}}$ — суммарная интенсивность всех видов отказов ЗМ.

Для четырех рассмотренных видов отказов ЗМ вероятность безотказной работы накопителя

$$P_{\text{н}}(t) \approx \sum_{j=1}^{4} P_{\text{н}j}(t)\, \omega_j. \qquad (3.24)$$

Изложенная методика расчета обеспечивает завышенное значение показателя $P_{ЗУ}(t)$, потому что не учитывает совместное появление различных видов отказов по одному адресу. Однако по сравнению с методами расчета на наихудший случай, когда все отказы ЗМ считаются полными, или с методом, когда все отказы принимаются однобитовыми, точность полученных результатов выше из-за учета числа адресов, искажаемых при различных видах отказов.

В табл. 3.2 приведена формула для расчета вероятности безотказной работы ЗУ с коррекцией ошибок. Подставляя в нее число видов отказов n_ω, число искаженных адресов для каждого вида отказов N_j, разрядность исправляемых кодом ошибок $l_к$, можно получить выражения для расчета вероятности безотказной работы ЗУ при различных видах отказов с коррекцией ошибок различной краткости.

При использовании методов структурного резервирования ЗУ состоит из нескольких однотипных модулей памяти (основного и резервных), каждый из которых включает в себя накопитель и схемы управления. В резервированном ЗУ обеспечивается маски-

Таблица 3.2

Метод повышения надежности	Вероятность безотказной работы полупроводникового ЗУ, $P_{ЗУ}(t)$
Использование корректирующих кодов	$P_{обр}(t)\sum\limits_{j=1}^{n_\omega}\omega_j\left\{\sum\limits_{i=0}^{l_к}C^i_{n_{ЗУ}}P^{n_{ЗУ}-i}_{ЗМ\,j}(t)\,[1-P_{ЗМ\,j}(t)]^i\right\}^{N_{ЗУ}/N_j}$
Дублирование: нагруженное	$\sum\limits_{l=0}^{1}C^l_2P^{2-l}_{обр}(t)\,[1-P_{обр}(t)]^l\sum\limits_{j=1}^{n_\omega}\omega_j\times$ $\times\left\{\sum\limits_{i=0}^{1-l}C^i_2P^{n_{ЗУ}(2-i)}_{ЗМ\,j}(t)\,[1-P^{n_{ЗУ}}_{ЗМ\,j}(t)]^i\right\}^{N_{ЗУ}/N_j}$
ненагруженное	$\sum\limits_{l=0}^{1}\frac{(\lambda_{обр}t)^l}{l!}e^{-\lambda_{обр}t}\sum\limits_{j=1}^{n_\omega}\omega_j\left\{\sum\limits_{i=0}^{1-l}\frac{(\lambda_{ЗМ\,j}n_{ЗУ}t)^i}{i!}e^{-\lambda_{ЗМj}n_{ЗУ}t}\right\}^{N_{ЗУ}/N_j}$
Резервирование: мажоритарное	$\sum\limits_{l=0}^{1}C^l_3P^{3-l}_{обр}(t)\,[1-P_{обр}(t)]^l\sum\limits_{j=1}^{n_\omega}\omega_j\times$ $\times\left\{\sum\limits_{i=0}^{1-l}C^i_3P^{3-i}_{ЗМ\,j}(t)\,[1-P_{ЗМ\,j}(t)]^i\right\}^{N_{ЗУ}n_{ЗУ}/N_j}$
скользящее	$\sum\limits_{i=0}^{l_р}\frac{(\lambda_{МП}k_0t)^i}{i!}e^{-\lambda_{МП}k_0t}$

рование дефектов как в накопителе, так и в схемах управления. На практике, как правило, используются методы резервирования, обеспечивающие маскирование одного дефекта по одному адресу. В этом случае резервированное ЗУ будет работоспособно, если выполняется одно из следующих условий:

схемы управления всех МП исправны, а в накопителях основного и резервного МП имеется не более одного отказа по каждому из совпадающих адресов;

схема управления одного МП неисправна, вследствие чего отсутствует доступ к ЗМ этого МП, а в остальных МП отказы отсутствуют.

Формулы для расчета вероятности безотказной работы ЗУ с нагруженным резервом получаются аналогично выражениям для ЗУ с коррекцией ошибок. Обобщенные выражения приведены в табл. 3.2.

Ненагруженное резервирование отличается от нагруженного тем, что резервные МП отключены. При этом считается, что выключенные МП не отказывают. При отказе основного МП обращение производится к подключенному резервному МП. В процессе функционирования группы из (k_o+l_p) МП (k_o — число основных, l_p — число резервных МП) в рабочем состоянии находится группа из k_o основных МП, интенсивность отказов каждого из которых равна $\lambda_{МП}$. Вероятность безотказной работы группы резервируемых МП в предположении, что коммутирующие схемы не отказывают, определяется по формуле

$$P_{гр}(t)=\sum_{i=0}^{l_p}\frac{(\lambda_{МП}\,k_o\,t)^i}{i!}\,e^{-\lambda_{МП}\,k_o t}. \qquad (3.25)$$

Формулы для расчета вероятности безотказной работы ЗУ с ненагруженным резервированием приведены в табл. 3.2, где $\lambda_{обр}$, $\lambda_{МП}$, $\lambda_{ЗУ\,j}$ — интенсивности отказов элементов электроники обрамления, МП и ЗМ j-го вида соответственно.

При проведении профилактических работ в восстанавливаемом ЗУ производится контроль его работоспособности, поиск и замена (или ремонт) неисправных элементов. В этом случае максимальное значение интервала времени, для которого рассчитывается вероятность безотказной работы ЗУ, равно интервалу времени между профилактическими работами. Минимальное значение вероятности безотказной работы ЗУ равно вероятности безотказной работы между соседними профилактиками.

Средняя наработка до отказа $t_{o\,ср}$ вычисляется как площадь под кривой $P(t)$ (рис. 3.4) по формуле

$$t_{o\,ср}\approx\sum_{i=0}^{i_{max}}P\left(\frac{\Delta t}{2}+i\,\Delta t\right)\Delta t. \qquad (3.26)$$

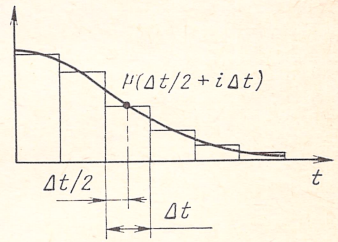


Рис. 3.4. Иллюстрация приближенного вычисления средней наработки объекта до отказа

3.4. РАСЧЕТ ПОКАЗАТЕЛЕЙ НАДЕЖНОСТИ ВОССТАНАВЛИВАЕМЫХ РЕЗЕРВИРОВАННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

В восстанавливаемых резервированных ЗУ отказавший МП ремонтируется и вновь включается в состав устройства. Интенсивность восстановления работоспособного состояния МП определяется по формуле

$$\mu_{\text{МП}} = 1/\theta_{\text{МП}}, \tag{3.27}$$

где $\theta_{\text{МП}}$ — среднее время восстановления.

Сравним надежность дублированного ЗУ с надежностью ЗУ, содержащего k_0 основных и один или два резервных МП (резервирование нагруженное). Отказ дублированного ЗУ или ЗУ с одним резервным МП наступит тогда, когда во время восстановления отказавшего МП откажет второй МП. Запоминающее устройство с двумя резервными МП откажет в том случае, когда во время восстановления двух отказавших МП откажет третий. Приближенные формулы для расчета вероятностей безотказной работы восстанавливаемого резервированного ЗУ приведены в табл. 3.3. Погрешность формул имеет порядок 10^{-4}. Величина $\gamma_{\text{и}}$ в табл. 3.3 определяется выражением

$$\gamma_{\text{и}} = \lambda_{\text{МП}}/\mu_{\text{МП}}. \tag{3.28}$$

Таблица 3.3

Число резервных МП	Вероятность безотказной работы $P_{\text{ЗУ}}(t)$ резервированного ЗУ с восстановлением отказавшего МП
k_0 (дублирование)	$\exp\left\{-\dfrac{2\gamma_{\text{и}}}{1+3\gamma_{\text{и}}}\lambda_{\text{МП}} k_0 t\right.$
1	$\exp\left\{-\dfrac{(k_0+1)\gamma_{\text{и}}}{1+2(k_0+1)\gamma_{\text{и}}}\lambda_{\text{МП}} k_0 t\right\}$
2	$\exp\left\{-(k_0+2)\lambda_{\text{МП}} t \Big/ \sum_{l=0}^{2} \dfrac{\sum_{i=0}^{l} C^i_{k_0+2}\gamma_{\text{и}}^i}{C^l_{k_0+1}\gamma_{\text{и}}^l}\right\}$

ГЛАВА 4. МЕТОД СТАТИСТИЧЕСКОГО МОДЕЛИРОВАНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

4.1. ОБЩИЕ СВЕДЕНИЯ

Большая информационная емкость современных ЗУ, разнообразие видов их отказов, большое число допустимых отказов в резервированных ЗУ приводят к тому, что аналитические методы расчета надежности ЗУ обеспечивают лишь приближенную оценку. Метод статистического моделирования надежности ЗУ позволяет при достаточной длительности моделирования получить более точную, по сравнению с аналитическими методами, оценку показателей надежности с помощью более точных моделей отказов элементов ЗУ.

Метод основан на машинном моделировании процесса деградации резервированного ЗУ вплоть до его отказа. Многократное повторение данного процесса обеспечивает получение статистических значений показателей надежности ЗУ, закона распределения наработки ЗУ до отказа, показателей надежности элементов ЗУ, оценки эффективности используемого метода повышения надежности ЗУ. Данный метод эффективно применяется для исследования влияния стратегии ремонта ЗУ на показатели его надежности.

4.2. МОДЕЛИ ОТКАЗОВ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Резервированное ЗУ может сохранять работоспособность при наличии в нем нескольких отказавших элементов. Отказ ЗУ в этом случае наступает тогда, когда число отказов элементов ЗУ по одному адресу превысит корректирующие возможности используемого метода коррекции ошибок. Поэтому при статистическом моделировании надежности ЗУ необходимо хранить в памяти моделирующей ЭВМ такую информацию о накопленных отказах элементов, которая позволила бы определять количество и номера искаженных при отказах адресов и разрядов слов, хранимых в моделируемом ЗУ. Эта информация содержится в модели отказов ЗУ.

Под моделью отказов ЗУ будем понимать представление в памяти моделирующей ЭВМ информации о накопленных в моделируемом ЗУ отказах элементов, позволяющей определить искаженные адреса и разряды хранимых в ЗУ слов.

Требуемая для модели отказов ЗУ емкость памяти моделирующей ЭВМ определяется емкостью моделируемого ЗУ, точностью задания моделей отказов элементов ЗУ, числом накопленных отказов и, в значительной степени, предопределяет выбор моделирующей ЭВМ. Поэтому все виды моделей отказов ЗУ будем оценивать по требуемой емкости памяти моделирующей ЭВМ.

Модели отказов ЗУ с последовательной и произвольно-последовательной выборкой достаточно просты. Они представляют собой пакет ошибочных разрядов в последовательности считанных данных.

В оперативных ЗУ с произвольной выборкой зависимость количества неисправных адресов от вида отказа усложняет модели отказов. Известны три вида моделей отказов ЗУ: модели с запоминанием координат отказавших элементов; модели с запоминанием информационных последствий отказов; комбинированные модели, сочетающие свойства двух первых моделей.

Модели отказов ЗУ с запоминанием координат отказавших элементов. Запоминающие устройства состоят из ЗЭ, предназначенных для хранения информации, и узлов, обеспечивающих выбор ЗЭ и запись или считывание. Эти узлы позволяют по заданному адресу однозначно определить выбранный ЗЭ. Если включить в модель отказов ЗУ номера всех элементов, обеспечивающих выборку числа по заданному адресу и определяющих номер его разряда, то последовательное перечисление отказавших элементов в этой модели обеспечивает однозначное определение адресов и разрядов слов с ошибками. Назовем номера элементов, определяющих место отказа, его координатами.

На рис. 2.3, 2.5 и 2.7 приведены структурные схемы ЗМ, МП и модульного ЗУ соответственно. Последовательность координат, включающая в себя номер МП, номер столбца и строки ЗМ в МП, номер столбца и строки ЗЭ в ЗМ позволяет указать с точностью до бита место отказа. Данная последовательность координат является моделью отказов ЗУ с запоминанием координат отказавших элементов. Если возник полный отказ элемента ЗУ более высокого уровня, чем ЗЭ (например, МП), то координаты входящих в него элементов не указываются. Пример заполнения модели отказов ЗУ этого типа для различных отказавших элементов приведен в табл. 4.1.

Если в ЗУ возникло несколько отказов, то модель отказов ЗУ содержит несколько строк, число которых равно числу отказов. В каждую строку модели занесены координаты одного отказа.

Таблица 4.1

Отказавший элемент	Координаты отказавшего элемента				
	МП	Столбец ЗМ в МП	Строка ЗМ в МП	Столбец ЗЭ в ЗМ	Строка ЗЭ в ЗМ
МП	1	—	—	—	—
Столбец ЗМ в МП	1	2	—	—	—
Строка ЗМ в МП	1	—	4	—	—
ЗМ	1	2	4	—	—
Столбец ЗЭ в ЗМ	1	2	4	28	—
Строка ЗЭ в ЗМ	1	2	4	—	42
ЗЭ	1	2	4	28	42

Таблица 4.2

Отказавший элемент	Координаты отказавшего элемента				
	МП	Столбец ЗМ в МП	Строка ЗМ в МП	Столбец ЗЭ в ЗМ	Строка ЗЭ в ЗМ
ЗЭ	1	2	4	28	42
Строка ЗМ в МП	1	—	6	—	—

Пример модели отказов ЗУ с двумя отказами элементов (ЗЭ и строки ЗМ в МП) приведен в табл. 4.2. В этом примере по одному из адресов ЗУ имеется двухразрядная ошибка. Адрес ошибки определяется адресом отказавшего ЗЭ. Номера неисправных разрядов (строк ЗМ в МП) соответственно равны 4 и 6. Для хранения модели отказов ЗУ с запоминанием координат отказавших элементов требуемая емкость памяти ЭВМ определяется по формуле

$$N'_{ЗУ} = K_{отк}\, m_{отк}, \tag{4.1}$$

где $K_{отк}$ — число координат отказа, в рассматриваемом примере $K_{отк}=5$; $m_{отк}$ — допустимое число отказов.

Из (4.1) следует, что емкость памяти моделирующей ЭВМ в значительной степени зависит от допустимого числа отказов элементов, которое может быть накоплено в моделируемом ЗУ до наступления его отказа. Оценим максимально возможное число накопленных отказов элементов для полупроводникового ЗУ с исправлением одноразрядных ошибок. Максимальное число бит, равное $N_{ЗМ}$, искажается при полном отказе ЗМ. Так как число ЗМ в адресном направлении ЗУ равно $N_{ЗУ}/N_{ЗМ}$, то количество полных отказов ЗМ, при котором в ЗУ обязательно возникнет двухразрядная ошибка, равно $(N_{ЗУ}/N_{ЗМ})+1$. Если доля полных отказов ЗМ составляет ω_4, то максимально возможное число накопленных отказов элементов до наступления отказа ЗУ равно

$$m_{отк\,max} = \frac{1}{\omega_4}\left(\frac{N_{ЗУ}}{N_{ЗМ}} + 1\right). \tag{4.2}$$

В формуле (4.2) для простоты выкладок учитываются лишь отказы ЗМ, которые являются полными, и не учтены отказы ЗЭ, строк и столбцов ЗЭ. Вследствие этого максимальное значение числа накопленных отказов элементов моделируемого ЗУ, определяемое формулой (4.2), является завышенным. Тем не менее эта формула позволяет получить пригодную для практики оценку требуемой для хранения модели отказов ЗУ емкости памяти ЭВМ. Если доля полных отказов ЗМ составляет 33% (табл. 2.4), то для значений числа ЗМ в направлении наращивания адреса ЗУ $N_{ЗУ}/N_{ЗМ}=16$ получим $m_{отк\,max}=52$.

Если вместо полных отказов ЗМ для получения оценки $m_{отк\,max}$ рассматривать отказы ЗЭ, не учитывая отказы строк, столбцов

ЗЭ и полные отказы ЗМ, то получим чрезмерно завышенное значение $m_{\text{отк max}}$, примерно равное $N_{\text{ЗУ}}$, что неприемлемо для практических расчетов.

Особенностью модели отказов ЗУ с запоминанием координат отказавших элементов является отсутствие зависимости требуемой емкости памяти ЭВМ от емкости моделируемого ЗУ. При увеличении емкости последнего возрастают значения одной или нескольких координат отказа при неизменном их количестве. Двухбайтного числа достаточно, чтобы закодировать максимальное значение любой координаты как созданных, так и перспективных ЗУ.

Достоинствами моделей отказов ЗУ этого типа являются возможность представления сложных видов отказов, характерных, например, для полупроводниковых ЗУ, и относительно небольшая емкость требуемой для хранения модели памяти ЭВМ.

Модели отказов ЗУ с запоминанием информационных последствий отказов. В моделях отказов ЗУ данного типа фиксируются информационные последствия отказов элементов ЗУ, а сами модели представляют собой распределения ошибок в ЗУ при отказах составляющих его элементов. Под распределением ошибок в ЗУ будем понимать матрицу, каждый элемент которой соответствует области памяти одного элемента ЗУ, с точностью до которого определяется место отказа. Для распределения ошибок в матрице ЗМ элемент матрицы соответствует одному ЗЭ, для МП — одной ЗМ, для ЗУ — одному МП. Число элементов матрицы равно числу элементов в рассматриваемом узле ЗУ.

Элемент матрицы равен определенному символу (например, · или ×), если в соответствующем элементе ЗУ обнаружен отказ, т. е. в считанных из этой области памяти данных имеются ошибки.[1]

Распределение ошибок для ЗМ представляет собой матрицу, содержащую $N_{\text{ст}}$ строк и $N_{\text{стр}}$ столбцов. Каждый элемент матрицы соответствует одному ЗЭ. Распределения ошибок различных элементов одноразрядных ЗМ приведены на рис. 4.1.

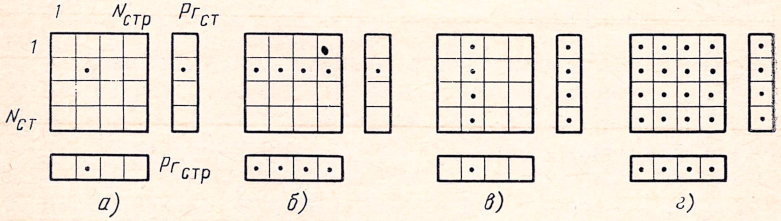


Рис. 4.1. Виды распределений ошибок в ЗМ:
а) отказ ЗЭ; *б*) отказ строки ЗЭ; *в*) отказ столбца ЗЭ; *г*) полный отказ ЗМ

[1] **Патент** 394601 США. Apparatus for Locating Faults in a Working Storage/M. Henry, G. J. M. Bottard.

Распределение ошибок может быть представлено двумя способами: в виде матрицы или с помощью двух регистров — регистра столбца ($Рг_{ст}$) и регистра строки ($Рг_{стр}$) матрицы. При представлении матрицы с помощью регистров столбцов и строк в разряды регистров, соответствующие номерам столбцов и строк отказавшего элемента, заносится определенный символ, например · (рис. 4.1). Данный способ более экономичен по емкости памяти, необходимой для хранения распределения ошибок. Его недостатком является возможность ошибочной идентификации распределения ошибок при возникновении отказов нескольких элементов.

Для МП матрица распределения ошибок содержит $n_{МП}$ /$n_{ЗМ}$ строк и $N_{МП}/N_{ЗМ}$ столбцов. Каждый элемент матрицы соответствует адресному и разрядному полю ЗМ. Распределения ошибок при отказах различных элементов МП приведены на рис. 4.2. На рис. 4.2,*г* приведены распределения ошибок при отказе одного разрядного формирователя (одна искаженная строка матрицы) и двух РФ при отказе микросхемы формирователей (две и большее число искаженных строк).

При моделировании надежности модульного ЗУ матрица распределения ошибок содержит число элементов, равное количеству МП в ЗУ, а каждый элемент матрицы соответствует адресному и разрядному полю одного МП [30].

Емкость памяти моделирующей ЭВМ, требуемая для хранения модели отказов ЗУ с запоминанием информационных последствий отказов, не зависит от числа накопленных в ЗУ отказов элементов. Однако данной модели присущ существенный недостаток — емкость памяти ЭВМ прямо пропорциональна емкости моделируемого ЗУ:

$$N'_{ЗУ} = \frac{N_{ЗУ}}{N_д} n_{ЗУ}, \tag{4.3}$$

где $N_д$ — дискретность модели, т. е. количество бит, с точностью до которого определяется адрес отказа. Именно поэтому данная модель может быть использована для представления отказов ЗУ

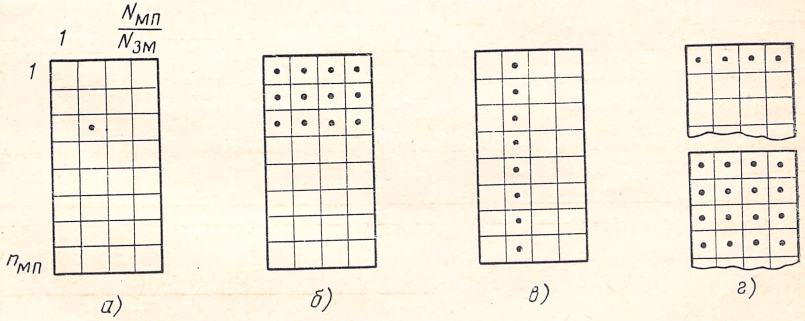


Рис. 4.2. Распределения ошибок в МП при отказах:
а) ЗМ; *б*) АФ; ФР; ФВК2; *в*) ФВК1, ДШВК; *г*) РФ, УС. АФ, ФР, ФВК2 подключены вдоль строк матрицы ЗМ

малой информационной емкости или при большой дискретности указания места отказа, например до МП или до ЗМ без детализации видов отказов внутри неисправной ЗМ. Последнее бывает оправдано, когда неизвестны процентные соотношения между интенсивностями отказов различных элементов ЗМ и имеются лишь данные по надежности микросхемы в целом. Модели отказов ЗУ с запоминанием информационных последствий отказов могут применяться для представления видов отказов отдельных элементов ЗУ, например ЗМ.

Комбинированные модели. Комбинированная модель отказов ЗУ практически состоит из двух моделей: модели отказов ЗУ с запоминанием информационных последствий отказов элементов электроники обрамления, вызывающих ошибки в больших массивах адресов, и модели отказов ЗУ с запоминанием координат отказавших ЗЭ. В качестве координат второй модели используются адрес и разряд ошибки, а также адрес соответствующей зоны ошибок элемента электроники обрамления [31].

Разрядность ошибок при использовании комбинированной модели отказов ЗУ определяется следующим образом. Сначала проверяется наличие по одному адресу зон с ошибками в модели отказов элементов электроники обрамления и определяется разрядность накопленных ошибок. Затем анализируется модель отказов с запоминанием координат отказавших ЗЭ. Адрес неисправного ЗЭ сравнивается с адресами накопленных в модели отказов других ЗЭ и определяется разрядность ошибки. Если последняя не превышает корректирующих способностей используемого средства коррекции ошибок, то определяется адрес зоны, включающей отказавший ЗЭ, затем анализируется ее содержимое в модели отказов элементов электроники обрамления. Если в анализируемой ячейке модели зафиксирована ошибка, то определяется разрядность ошибки в слове и проверяются условия отказа ЗУ.

Требуемая для комбинированной модели отказов ЗУ емкость памяти ЭВМ определяется выражением

$$N'_{ЗУ} = N_{ЗУ}\, n_{ЗУ}/N_{д} + K'_{отк}\, m'_{отк}, \qquad (4.4)$$

где $K'_{отк}$ — количество координат в модели отказов ЗЭ; $m'_{отк}$ — допустимое число отказов ЗЭ.

Емкость требуемой для комбинированной модели отказов ЗУ памяти ЭВМ зависит как от емкости моделируемого ЗУ, так и от числа накопленных отказов ЗЭ. Однако по сравнению с моделью отказов ЗУ, хранящей информационные последствия отказов, требуемая емкость памяти в $N_д$ раз меньше емкости моделируемого ЗУ. Максимальное число накопленных отказов по сравнению с моделью отказов ЗУ, хранящей координаты отказавших элементов, для комбинированной модели меньше, особенно при моделировании ЗУ на ФС. Это обусловлено тем, что ФС составляют часть оборудования ЗУ и интенсивность их отказов меньше интенсивности отказов электроники обрамления и паек (рис. 2.9,*б*).

Таблица 4.3

Тип модели отказов ЗУ	Емкость памяти моделирующей ЭВМ, слов	Зависимость емкости модели от емкости моделируемого ЗУ	Зависимость емкости модели от числа накопленных отказов
1. С запоминанием координат отказов	$K_{отк} m_{отк}$	Практически отсутствует	Существенно зависит
2. С запоминанием информационных последствий отказов	$\frac{N_{ЗУ} n_{ЗУ}}{N_д}$	Существенно зависит	Отсутствует
3. Комбинированная модель *	$\frac{N_{ЗУ} n_{ЗУ}}{N_д} + K'_{отк} m'_{отк}$	Меньшая, чем для модели 2	Меньшая, чем для модели 1

* Дискретность $N_д$ для модели 2 меньше, чем для модели 3 при одинаковой точности указания места дефекта.

В среднем на одну реализацию моделирования для ЗУ на ФС приходится несколько отказов.

В табл. 4.3 приведены сравнительные характеристики рассмотренных моделей отказов ЗУ.

4.3. АЛГОРИТМ МОДЕЛИРОВАНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Метод статистического моделирования, или метод Монте-Карло, предназначен для получения численных значений случайных величин, характеризующих в рассматриваемом случае надежность ЗУ. При использовании этого метода моделируются значения входных случайных величин и производится их преобразование в значение выходной случайной величины. Путем многократного повторения данной процедуры определяется закон распределения выходной случайной величины и вычисляются ее математическое ожидание и дисперсия.

При статистическом моделировании надежности ЗУ моделируется процесс возникновения и накопления в ЗУ отказов. Значения интервалов времени между отказами элементов t_i суммируются до тех пор, пока очередной отказ элемента ЗУ не приведет к появлению некорректируемой ошибки, т. е. к отказу ЗУ. Полученное суммарное время является наработкой ЗУ до отказа t_{oi} (рис. 4.3).

Последовательность действий при моделировании надежности ЗУ рассмотрим на примере алгоритма, представленного на рис. 4.4. После установки исходного состояния программы моделируется момент времени отказа t_i, распределенного по экспоненциальному закону (блок *2*). Затем моделируется тип отказа y_i (отказ ЗЭ, строки или столбца ЗЭ, полного отказа ЗМ, отказ РФ, УС). Тип отказа определяется с учетом вклада, вносимого интенсивностью отказов элементов данного типа в общую интенсивность отказов ЗУ. Моделирование входных величин завершается определением номера отказавшего элемента z_i путем моделирова-

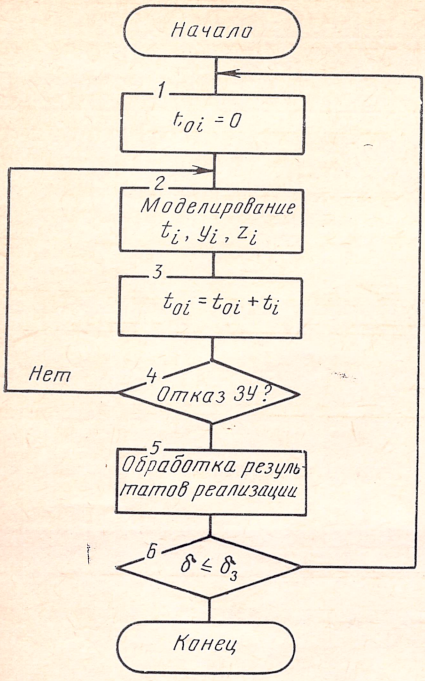


Рис. 4.4. Схема алгоритма статистического моделирования надежности ЗУ

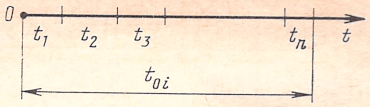


Рис. 4.3. Последовательность моделирования времен отказов элементов ЗУ

ния равномерно распределенной случайной величины.

Преобразование значений входных случайных величин в выходную, которой является наработка ЗУ до отказа, заключается в суммировании моментов времени возникновения отказов до тех пор, пока не появится отказ, который в совокупности с ранее накопленными отказами приводит к возникновению отказа ЗУ. Для данного преобразования служит модель отказов ЗУ (блок *3*). В этом же блоке суммируется время возникновения очередных отказов для определения наработки ЗУ до отказа.

Момент отказа ЗУ определяется в блоке *4*. В нем анализируется содержимое модели отказов ЗУ и определяется, возникнет ли после очередного отказа элемента ЗУ некорректируемая ошибка. При отсутствии такой ошибки, моделируется следующий отказ элемента ЗУ. В противном случае в блоке *5* производится обработка результатов моделирования. Блок обработки результатов реализации формирует гистограмму, по которой определяется плотность распределения и вероятность безотказной работы ЗУ, а также рассчитываются математическое ожидание и среднее квадратическое отклонение времени наработки ЗУ до отказа. При построении гистограмм из результатов опыта известны максимальное и минимальное значения случайной величины, так как обрабатываются результаты уже проведенных испытаний. Однако отсутствуют конкретные реализации случайной величины. Поэтому необходимо задать предполагаемый диапазон изменения случайной величины, для которой формируется гистограмма.[1]

Этот диапазон может быть определен пробными реализациями случайной величины с помощью программы статистического моделирования.

---

[1] **Решение** задач надежности и эксплуатации на универсальных ЭЦВМ/ Б. П. Креденцер, М. М. Ластовченко, С. А. Сенецкий, Н. А. Шишонок. — М.: Сов. радио, 1967. — 400 с.

Математическое ожидание наработки ЗУ до отказа определяется по формуле

$$t_{o\,ср} = \frac{1}{N_р} \sum_{i=1}^{N_р} t_{oi}, \tag{4.5}$$

где $N_р$ — число реализаций моделирования, а среднее квадратическое отклонение наработки ЗУ до отказа — по формуле

$$\sigma_o = \sqrt{\frac{1}{N_р} \sum_{i=1}^{N_р} (t^2_{o\,i} - t^2_{o\,ср})}. \tag{4.6}$$

Вероятность безотказной работы ЗУ в течение интервала времени $0—t_j$

$$P_{ЗУ}(t_j) = \frac{\sum\limits_{t_i > t_j} n_o(t_i, \Delta t)}{N_р}, \tag{4.7}$$

где $n_o(t_i, \Delta t)$ — число отказов ЗУ в интервале времени $(t_i, t_i + \Delta t)$.

Плотность распределения наработки ЗУ до отказа определяется по гистограмме делением ее ординат на суммарное число отказов ЗУ, равное количеству реализаций $N_р$.

Погрешность полученных результатов зависит от числа реализаций случайной величины t_{oi}[1]. Известно, что относительная погрешность δ величины $t_{o\,ср}$ для доверительной вероятности 0,997 может быть вычислена по формуле

$$\delta \leqslant 3\sigma_o/(t_{o\,ср}\sqrt{N_р}). \tag{4.8}$$

Задавшись требуемым значением погрешности $\delta_з$, по формуле (4.8) можно определить необходимое число реализаций $N_р$. Окончание моделирования определяется выполнением условия $\delta \leqslant \delta_з$.

4.4. МОДЕЛИРОВАНИЕ СЛУЧАЙНЫХ ВЕЛИЧИН

При статистическом моделировании надежности ЗУ рассчитываются следующие случайные величины:

1) случайный момент отказа элементов t_i — моделируется экспоненциальным законом распределения с математическим ожиданием $M_э(t_o) = 1/\lambda_{ЗУ}$, где $\lambda_{ЗУ}$ — суммарная интенсивность отказов элементов ЗУ;

2) тип отказавшего элемента y_i — моделируется случайной величиной, лежащей в диапазоне от 0 до $\lambda_{ЗУ}$. Вероятность i-го значения случайной величины y_i пропорциональна отношению $\lambda_{\Sigma i}/\lambda_{ЗУ}$, где $\lambda_{\Sigma i}$ — суммарная интенсивность отказов элементов ЗУ i-го типа;

3) номер отказавшего элемента i-го типа z_i — моделируется равномерно распределенной случайной величиной, принимающей значения от 1 до n_{zi}, где n_{zi} — число элементов i-го типа.

---

[1] **Соболь И. М.** Метод Монте-Карло, изд. 3-е. — М.: Наука, 1978. — 64 с.

Моделирование равномерно распределенных случайных величин в интервале (0, 1). Моделирование равномерно распределенных случайных величин осуществляется с помощью псевдослучайных чисел, получаемых методами сравнения или вычетов. Значение случайной величины ξ_{pi} определяется ее предыдущим значением и вычисляется по формулам [1]

$$\xi_{p\,i}(0,\ m_м) = A\,\xi_{p\,i-1}(0,\ m_м)\ (\mathrm{mod}\, m_м), \tag{4.9}$$

$$\xi_{p\,i}(0,\ 1) = \xi_{p\,i}(0,\ m_м)/m_м. \tag{4.10}$$

Из (4.9) следует, что число $\xi_{pi}(0, m_м)$ равно остатку от деления $A\xi_{p\,i-1}(0, m_м)$ на $m_м$.

Для удобства расчета на ЭВМ

$$m_м = 2^n, \tag{4.11}$$

$$A = 5^{2p+1},\quad p = 0,\ 1,\ 2,\ldots \tag{4.12}$$

При выполнении условий (4.11) и (4.12) количество псевдослучайных чисел L в последовательности вычисляется по формуле

$$L = 2^{n-2}. \tag{4.13}$$

Преобразование интервала равномерно распределенной случайной величины. Плотность вероятности случайной величины равномерно распределенной в интервале $(a_{гр},\ b_{гр})$

$$\varphi(\xi_p) = \begin{cases} 1/(b_{гр} - a_{гр}) & \text{при}\quad a_{гр} \leqslant \xi \leqslant b_{гр}, \\ 0 & \text{при}\quad \xi < a_{гр},\quad \xi > b_{гр}, \end{cases} \tag{4.14}$$

тогда

$$\xi_p(a_{гр},\ b_{гр}) = a_{гр} + (b_{гр} - a_{гр})\,\xi_p(0,1). \tag{4.15}$$

Подставив значения: $a_{гр}=1$, $b_{гр}=n_{zi}$, получим формулу для вычисления случайной величины z_i, моделирующей номер отказавшего элемента i-го типа в ЗУ:

$$z_i = 1 + (n_{zi} - 1)\,\xi_p(a_{гр},\ b_{гр}). \tag{4.16}$$

Получение случайной величины с законом распределения, заданном в виде таблицы. Предположим, что необходимо получить значения случайной величины $\xi_т$ с распределением

$$\xi_т = \begin{Bmatrix} \xi_т(1) & \xi_т(2) & \ldots & \xi_т(n_\xi) \\ P_1 & P_2 & \ldots & P_{n\xi} \end{Bmatrix}, \tag{4.17}$$

где P_i — вероятность получения значения $\xi_т(i)$ случайной величины $\xi_т$.

Рассмотрим интервал $0<\xi<1$. Разобьем его на n_ξ интервалов, длины которых равны $P_1,\ P_2,\ldots,\ P_{n_\xi}$. Координатами точек деления будут точки $\xi=P_1$, $\xi=P_1+P_2$, $\xi=P_1+P_2+P_3,\ldots$, $\xi=P_1+P_2+\ldots+P_{n_\xi-1}$. Полученные интервалы пронумеруем цифрами $1, 2,\ldots, n_\xi$ (рис. 4.5). Для получения значения $\xi_т(i)$ необходимо выбирать значение равномерно распределенной случайной величины $\xi_p(0, 1)$ и строить точку $\xi=\xi_p(i)$. Если эта точка попадет в интервал с номером i, то будем считать, что $\xi_т=\xi_т(i)$.

---

[1] **Полляк Ю. Г.** Вероятностное моделирование на электронных вычислительных машинах. — М.: Сов. радио, 1971. — 400 с.

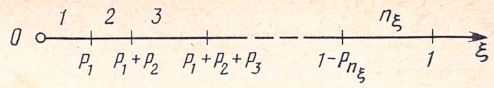


Рис. 4.5. Разбиение интервала $0 \leqslant \xi \leqslant 1$ пропорционально вероятности появления значений $\xi_\tau(i)$

Используя рассмотренный принцип преобразования, можно получить распределение случайной величины y_i, моделирующей тип отказавшего элемента в запоминающем устройстве. Построим табл. 4.4 соответствия типов отказавших элементов и суммарных интенсивностей их отказов. Будем моделировать равномерно распределенную в интервале $(0, \lambda_{зу})$ величину $\xi_р(0, \lambda_{зу})$. Если выбранное значение удовлетворяет условию

$$\sum_{i=1}^{j-1} \lambda_{\Sigma i} < \xi_р \leqslant \sum_{i=1}^{j} \lambda_{\Sigma i}, \tag{4.18}$$

то будем считать, что $y_i = j$.

Реализацию случайной величины $\xi_р(0, \lambda_{зу})$ можно получить из выражения (4.15), подставив $a_{гр}=0$, $b_{гр}=\lambda_{зу}$:

$$\xi_р(0, \lambda_{зу}) = \lambda_{зу}\, \xi_р(0,1). \tag{4.19}$$

Получение случайной величины, распределенной по экспоненциальному закону. В литературе, посвященной исследованию метода статистического моделирования, обосновано выражение, которое позволяет преобразовать равномерно распределенную случайную величину $\xi_р$ в случайную величину t с заданной плотностью распределения $\varphi(x)$:[1]

$$\int_{-\infty}^{t} \varphi(x)\, dx = \xi_р. \tag{4.20}$$

Для экспоненциального закона распределения

$$\varphi(x) = \lambda_{зу}\, e^{-\lambda_{зу} x}. \tag{4.21}$$

Подставив значение $\varphi(x)$ из (4.21) в (4.20), получим

$$\int_{0}^{t} \lambda_{зу}\, e^{-\lambda_{зу} x}\, dx = \xi_р. \tag{4.22}$$

Вычислив интеграл в левой части выражения (4.22), получим соотношение

$$1 - e^{-\lambda_{зу} t} = \xi_р,$$

Таблица 4.4

Показатель надежности	Тип отказавшего элемента					
	1	2	...	j	...	n_i
Суммарная интенсивность отказов	$\lambda_{\Sigma 1}$	$\lambda_{\Sigma 1} + \lambda_{\Sigma 2}$	...	$\sum_{i=1}^{j} \lambda_{\Sigma i}$	...	$\lambda_{зу}$

[1] **Голенко Д. И.** Моделирование и статистический анализ псевдослучайных чисел на электронных вычислительных машинах. — М.: Наука, 1965. — 228 с.

откуда

$$t = -\frac{1}{\lambda_{ЗУ}} \ln (1 - \xi_р). \qquad (4.23)$$

Величина $1-\xi_р$ распределена так же, как и $\xi_р$, поэтому вместо выражения (4.23) можно использовать формулу

$$t = -\frac{1}{\lambda_{ЗУ}} \ln \xi_р. \qquad (4.24)$$

4.5. ПРИМЕРЫ ИСПОЛЬЗОВАНИЯ ПРОГРАММ СТАТИСТИЧЕСКОГО МОДЕЛИРОВАНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

В настоящее время для оценки надежности ЗУ разработаны и используются ряд программ статистического моделирования[1] [31—33]. Характеристики этих программ приведены в табл. 4.5. Программа статистического моделирования, рассмотренная в [33], обеспечивает кроме оценки показателей надежности полупроводникового ЗУ расчет объема оборудования составляющих его узлов и временных параметров схем кодирования и декодирования.

Метод статистического моделирования предоставляет разработчику запоминающих устройств ряд возможностей по исследованию особенностей ЗУ с коррекцией ошибок. Рассмотрим следующие из них: анализ зависимости надежности ЗУ с коррекцией

Таблица 4.5

Характеристика программы	Содержание характеристики при различной организации МП		
	Разрядная	Разрядная, словарная (2Д)	2,5 Д 3 w
Моделируемое ЗУ	Полупроводниковые ЗУ		ЗУ на ФС
Моделируемый отказ	МП, строки и столбцы ЗМ, ЗМ, строки и столбцы ЗЭ, ЗЭ	МП, строки и столбцы ЗМ, ЗМ	МП, строки и столбцы ЗМ, ЗМ, ЗЭ	Разрядное поле, секция выходной обмотки, строки и столбцы ЗЭ, ЗЭ
Используемая модель отказов	С запоминанием координат отказов	С запоминанием информационных последствий отказов		Комбинированная
Моделируемый корректирующий код	Код Хэмминга	Код Хэмминга, контроль по модулю 2	Коды Хэмминга, БЧХ, Рида — Соломона, контроль по модулю 2	Код Хэмминга
Моделирующая ЭВМ	—	ЕС-1033	ЕС-1033	ЕС-1050
Используемый язык	—	ПЛ-1	ПЛ-1	Фортран
Время моделирования	—	5 мин ($N_р$=1000, число ЗМ 1248, код Хэмминга)	8 мин ($N_р$=200, число ЗМ 896, код Хэмминга)	2,5 мин ($N_р$=5500, емкость ЗУ 16 Кбайт)

[1] **Kwon S. K.** Reliability Simulation of Memory Systems with SECC//Annals of Acourance Sciences. — New York, 1972. — P. 116—126.

ошибок от стратегии ремонта, а также определение закона распределения наработки ЗУ до отказа.

Зависимость показателей надежности запоминающих устройств от стратегии ремонта. При возникновении отказа ЗУ с коррекцией ошибок могут быть использованы следующие основные стратегии ремонта:

1) при отказе ЗУ заменяются все МП, содержащие отказавшие компоненты;

2) при отказе ЗУ заменяется МП с наибольшим числом отказавших компонентов, который привел к отказу ЗУ;

3) при отказе ЗУ заменяются все МП, содержащие более n_0 отказавших компонентов (рассматривается случай $n_0=1$);

4) при отказе ЗУ заменяется МП, ставший причиной отказа ЗУ. Кроме того, периодически с интервалом времени, равным Δt, производится замена всех МП, содержащих более n_0 отказавших компонентов. Рассматривается случай, когда $\Delta t=3$ тыс. ч., $n_0=1$. Выбранный интервал периодического ремонта обеспечивает при дискретности построения гистограммы 1,5 тыс. ч получение точек гистограммы как между двумя ремонтами, так и после ремонта. В свою очередь, такая дискретность гистограммы выбрана для получения достаточного количества точек на интервале моделирования 45 тыс. ч.

Эффективность различных стратегий ремонта можно оценить по следующим показателям: интенсивности отказов ЗУ и интенсивности замен МП $\lambda_{з_{МП}}$, определяемой числом замененных МП за 1 ч работы.

Анализ влияния стратегии ремонта на выбранные показатели надежности, затрудненный при использовании аналитических методов анализа надежности, может быть реализован при использовании метода статистического моделирования. Для этого в каждой реализации процесса моделирования после отказа ЗУ необходимо корректировать содержимое модели отказов ЗУ в соответствии с выбранной стратегией ремонта.

Рассмотрим корректировку содержимого модели в зависимости от стратегии ремонта на примере модели отказов ЗУ с запоминанием координат отказавших элементов (табл. 4.2).

При использовании стратегии 1 координаты всех отказов стираются из памяти ЭВМ, что соответствует замене всех неисправных МП.

Для стратегии 2 по модели отказов ЗУ определяются номера МП, отказы которых привели к отказу ЗУ. Выбирается тот из них, на долю которого приходится большее число отказов, запомненных в модели. Координаты отказов данного МП стираются, что соответствует его замене на исправный.

При использовании стратегии 3 после наступления отказа ЗУ в модели отказов ЗУ стираются координаты отказов с совпадающими номерами МП (для $n_0=1$), т. е. моделируется замена МП с числом отказов больше 1.

Для стратегии 4 после отказа ЗУ производится корректировка модели отказов ЗУ аналогично стратегии 2. Кроме этого, периодически с интервалами времени, примерно равными Δt (определяется по накопленной сумме моделированных времен отказов), осуществляется стирание в модели отказов ЗУ координат отказов с совпадающими номерами МП, что соответствует замене на исправные МП с числом отказов больше 1.

Зависимости интенсивности отказов ЗУ и интенсивности замен МП для полупроводникового ЗУ емкостью 128К 72-разрядных слов, выполненного на ЗМ

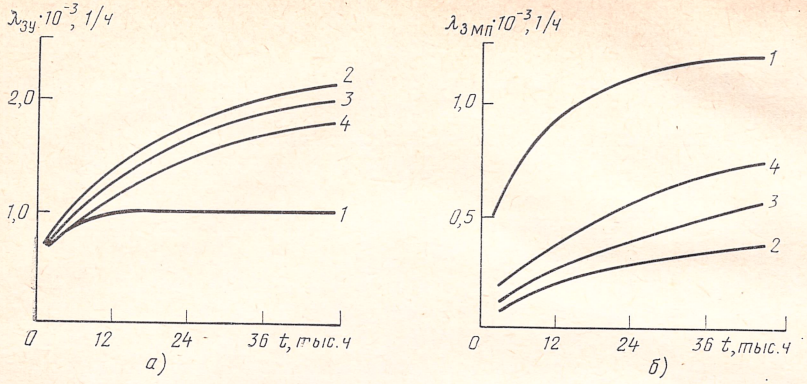


Рис. 4.6. Зависимости интенсивности отказов ЗУ (*а*) и интенсивности замены МП (*б*) от времени для четырех стратегий ремонта

емкостью 1К×1 бит, приведены на рис. 4.6. Интенсивности отказов ЗУ и замен МП на рисунке нормализованы относительно среднего значения для стратегии 1.

Стратегии ремонта 1 и 2, как и следовало ожидать, представляют два предельных случая. Интенсивность отказов ЗУ при использовании стратегии 1 минимальна за счет полного ремонта ЗУ после его отказа. Для стратегии 2 интенсивность отказов ЗУ максимальна, так как при отказе ЗУ заменяется лишь один МП, вследствие чего в ЗУ может оставаться значительное число отказавших элементов. В случае использования стратегии 2 интенсивность отказов ЗУ устойчиво возрастает с течением времени вследствие накопления отказавших компонентов. Интенсивность отказов ЗУ для стратегии 3 несколько ниже, чем для стратегии 2. Стратегия 4 является стратегией ремонта по расписанию и имеет меньшую интенсивность отказов ЗУ по сравнению со стратегией 2.

Соотношения интенсивностей замен отказавших МП для различных стратегий ремонта обратны соотношениям интенсивностей отказов ЗУ.

Выбор той или иной стратегии ремонта определяется требованиями к ЗУ. Если основным требованием к ЗУ является его высокая надежность, то необходима стратегия 1 (рис. 4.6,*а*). Если основные требования экономические, то надо использовать стратегию ремонта 2, требующую минимального числа заменяемых МП.

Запоминающее устройство с использованием стратегии ремонта 3 имеет большую интенсивность отказов ЗУ по сравнению со стратегией 1, но более экономично по интенсивности требуемых замен МП. Ей следует отдавать предпочтение по сравнению со стратегией 1 в случае, если требования к ЗУ не допускают длительного прекращения работы ЗУ, необходимого для замены всех неисправных МП.

Интенсивность отказов ЗУ при стратегии ремонта 4 несколько больше интенсивности отказов ЗУ, ремонтируемого согласно стратегии 1, и может снижаться при учащении замен неисправных МП. Недостатком данной стратегии по сравнению с остальными является необходимость периодического прекращения работы ЗУ для замены неисправных МП. Окончательный выбор стратегии ремонта может быть проведен с учетом как надежностных и экономиче-

ских требований к ЗУ, так и требований к допустимой длительности и частоте перерывов в его работе.

В ряде случаев возможна смешанная стратегия ремонта, содержащая элементы различных стратегий. К ней можно отнести стратегию 3, которая заменяется стратегией 2 при недостатке запасных МП.

Определение закона распределения наработки запоминающего устройства до отказа. Использование программы статистического моделирования для определения закона распределения наработки ЗУ с коррекцией одноразрядных ошибок до отказа рассмотрим на примере ЗУ на ФС [31].

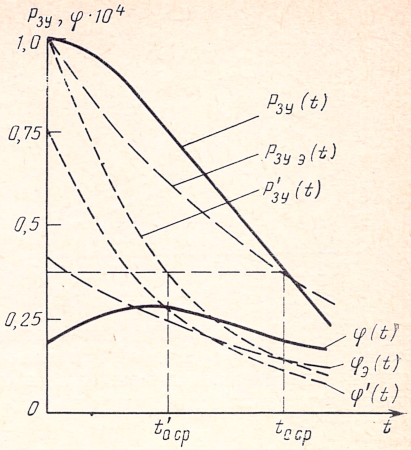


Рис. 4.7. Вероятность безотказной работы и частота отказов ЗУ с кодом, исправляющим одноразрядные ошибки, и ЗУ без кода

Статистическое моделирование ЗУ позволяет получить первый и второй центральные моменты распределения наработки ЗУ до отказа $t_{0\,ср}$ и σ_0, а также временные зависимости $P_{ЗУ}(t)$ и плотности вероятности $\varphi(t)$. Эти характеристики, полученные в результате моделирования, приведены на рис. 4.7. Там же для сравнения даны характеристики $P_{ЗУ\,э}(t)$ и $\varphi_э(t)$ для экспоненциального закона распределения с тем же математическим ожиданием наработки ЗУ до отказа, а также $P'_{ЗУ}(t)$ и $\varphi'(t)$ для ЗУ без коррекции ошибок. Из рис. 4.7 следует, что для ЗУ с исправлением одноразрядных ошибок закон распределения наработки до отказа существенно отличается от экспоненциального. В особенности это явствует из сравнения функций плотности распределения $\varphi(t)$ и $\varphi_э(t)$. При значениях $t \ll t_{0\,ср}$ частота отказов в ЗУ с исправлением одиночных ошибок значительно ниже, чем при экспоненциальном законе распределения. Изменяя вводимые исходные данные, например интенсивность отказов ЗЭ, можно исследовать, как изменяется плотность распределения наработки ЗУ до отказа (рис. 4.8) [31]. Увеличение интенсивности отказов ФС сдвигает максимум функции плотности распределения в сторону больших значений времени, что ведет в свою очередь к повышению эффективности коррекции, которая оценивается отношением

$$k_{кор} = t_{0\,ср}/t'_{0\,ср}, \qquad (4.25)$$

где $t'_{0\,ср}$ — средняя наработка до отказа ЗУ без коррекции ошибок.

Зависимость эффективности коррекции от интенсивности отказов ФС, смоделированная на примере ЗУ ЕС-3206 емкостью 1 Мбайт, которое составлено из 16 9-разрядных модулей емкостью 64 Кбайт, приведена на рис. 4.9. Наибольшая эффективность коррекции наблюдается при максимальном значении $\lambda_{ЗЭ} = 10^{-10}$. При этом среднее число отказов на реализацию составляет $n_{0\,ср} \approx 5$, коэффициент эффективности коррекции равен 4,6, а удельный вес интенсивностей отказов сердечников 70%. Для $\lambda_{ЗЭ\,min} = 10^{-12}$ эти показатели снижаются до 1,9; 1,7 и 3% соответственно. Снижение эффективности коррекции в этом случае объясняется преобладанием отказов элементов электроники обрамления

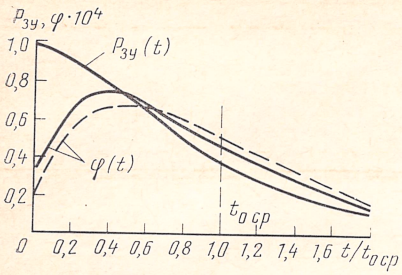


Рис. 4.8. Распределение наработки до отказа ЗУ с кодом, исправляющим одноразрядные ошибки, при различных значениях интенсивности отказов ФС:

——— $\lambda_{ЭЭ} = 10^{-12}$ 1/ч, — — — $\lambda_{ЭЭ} = 10^{-10}$ 1/ч

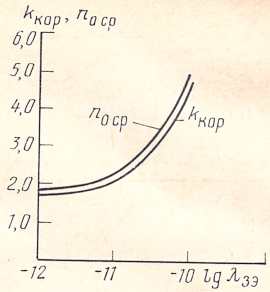


Рис. 4.9. Эффективность коррекции внезапных отказов ЗУ на ФС

и паек матрицы, что является причиной выхода из строя целых областей адресов ЗУ. При этом вероятность попадания двух отказов по одному адресу увеличивается, что ведет к увеличению вероятности отказа ЗУ.

ЧАСТЬ 2
МЕТОДЫ ОБНАРУЖЕНИЯ ОШИБОК И ОТКАЗАВШИХ ЭЛЕМЕНТОВ В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ

ГЛАВА 5. КОНТРОЛЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ БЕЗ РАЗРУШЕНИЯ ХРАНИМОЙ ИНФОРМАЦИИ

5.1. ОБЩИЕ СВЕДЕНИЯ

При контроле ЗУ без разрушения хранимой информации записанная информация сохраняется во время проверки работоспособности ЗУ. Известны следующие основные методы контроля без разрушения хранимой информации: контроль по модулю, контрольное суммирование, контроль динамических ЗУ во время регенерации информации, контроль адресных цепей ЗУ, считывание и сравнение с эталоном. Возможности этих методов показаны в табл. 5.1.

Таблица 5.1

Метод контроля	Контролируемые типы ЗУ	Контролируемые узлы ЗУ
Контроль по модулю	ОЗУ, ПЗУ, ППЗУ, РПЗУ	Накопитель, разрядные цепи, блок синхронизации
Контроль во время регенерации информации	ЗУ на динамических ЗМ	То же
Контрольное суммирование	ПЗУ, ППЗУ, РПЗУ	Все узлы ЗУ
Контроль адресных цепей	ОЗУ, ПЗУ, ППЗУ, РПЗУ	Адресные цепи
Считывание и сравнение с эталоном	ПЗУ, ППЗУ, РПЗУ	Все узлы ЗУ

5.2. КОНТРОЛЬ ПО МОДУЛЮ

При использовании контроля по модулю записываемые в ЗУ слова дополняются контрольными разрядами, содержимое которых равно сумме по некоторому модулю информационных разрядов слова. Как было показано в гл. 2, в ЗУ преобладают независимые и пакетные ошибки. Если ошибки в ЗУ независимые, то наибольшую вероятность возникновения имеют ошибки в одном разряде слова. Поэтому в ЗУ в основном применяется метод контроля по модулю два, обнаруживающий данный тип ошибок. Для обнаружения пакетных ошибок в ЗУ также используется ме-

тод контроля по модулю два. Однако в этом случае необходима специальная организация проверок, рассмотренная далее.

Обнаружение одноразрядных ошибок. При обнаружении одноразрядных ошибок хранимые в ЗУ слова содержат один контрольный разряд. Этот разряд выбирается таким образом, чтобы его сумма по модулю два со всеми информационными разрядами слова равнялась нулю. Число информационных разрядов k может быть любым.

Благодаря такому способу выбора контрольного разряда хранимые в ЗУ слова содержат четное число единиц. Например, информационные комбинации 00101011 и 10101011 при кодировании преобразуются в комбинации 001010110 и 101010111 соответственно. Признаком искажения разряда является нечетность количества единиц в слове. Данный метод позволяет обнаруживать только одиночные ошибки и все ошибки нечетной кратности, так как только в этих случаях количество единиц в слове станет нечетным.

На практике используются контроль по модулю два всего слова и контроль каждого составляющего слово байта (8 разрядов). Последний способ применяется в ЭВМ, оперирующих со словами переменной длины, в которых минимальной адресуемой единицей является байт.

Для хранения контрольных разрядов в полупроводниковых ЗУ используются дополнительные ЗМ. В случае использования многоразрядных ЗМ (например в ПЗУ, ППЗУ, РПЗУ) для хранения контрольного разряда служит один разряд дополнительной ЗМ. Остальные разряды микросхемы распределяются между различными столбцами ЗМ (рис. 5.1). На рисунке МПл означает мультиплексор.

Устройство кодирования представляет собой сумматор по модулю два на k входов, устройство декодирования — сумматор по модулю два на $k+1$ входов. В ряде случаев контрольный разряд выбирают так, чтобы его сумма по модулю два со всеми информационными разрядами равнялась единице.

Если необходимо обнаруживать ошибки типа «все нули» или «все единицы» в слове, возникающие из-за отказов схем выборки

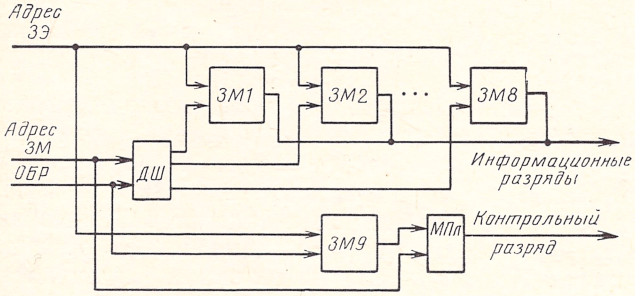


Рис. 5.1. Схема выбора контрольного разряда в ЗУ на 8-разрядных ЗМ

в ЗУ, то выбор способа формирования контрольного разряда имеет существенное значение. Код с дополнением до четности обнаруживает ошибки типа «все единицы» в словах с нечетным числом разрядов (информационные + контрольный). Если для ЗУ характерны такие ошибки, то необходимо использовать код с дополнением до четности. Если преобладающими являются ошибки типа «все нули», то для слов нечетной длины необходимо использовать код с дополнением до нечетности, обеспечивающий обнаружение таких ошибок.

При использовании контроля по модулю два ошибки в ЗУ не обнаруживаются, если за время между двумя обращениями по произвольному адресу в выбранном слове возникают искажения четного числа разрядов.

Для независимых ошибок в разрядах вероятность появления ошибки кратности i в слове

$$P_{\text{ош н}}(i) = C^{i}_{n_{\text{ЗУ}}} (1 - P_{\text{ЗЭ}})^{i} P_{\text{ЗЭ}}^{n_{\text{ЗУ}} - i}, \qquad (5.1)$$

где $P_{\text{ЗЭ}}$ — вероятность отсутствия отказа или сбоя в ЗЭ. Таким образом, с увеличением кратности ошибки вероятность ее появления уменьшается. При значении вероятности отказа или сбоя ЗЭ, близком нулю, что имеет место в реальных устройствах, вероятность появления ошибок высокой кратности много меньше, чем одноразрядных и двухразрядных. Поэтому с незначительной потерей точности можно ошибки кратности два и выше относить к необнаруживаемым. В этом случае можно считать, что все ошибки обнаруживаются, если число ошибочных разрядов в каждом слове ЗУ не превышает единицы. Тогда вероятность обнаружения независимых ошибок в ЗУ при использовании контроля по модулю два определяется формулой, аналогичной приведенной в табл. 3.2 ($P_{\text{ЗУ}}(t)$ для кодов, исправляющих ошибки).

Вероятность обнаружения независимых ошибок контролем по модулю два достаточно велика. При периодичности обращений по каждому адресу ЗУ, равной 24 ч, она превышает 0,999999 при емкости ЗУ 256 Кбайт, емкости ЗМ 16 Кбит, интенсивности сбоев ЗМ 10^{-5} 1/ч.

Обнаружение пакетных ошибок. Для обнаружения пакетных ошибок длиной b необходимо иметь в слове b контрольных разрядов [34]. При формировании контрольных разрядов информационные разряды разбиваются на пакеты длиной b разрядов каждый. Значения контрольных разрядов определяются согласно выражению

$$c_i = \sum_{j=1}^{k/b} \text{mod}\, 2\, и_{i,j}, \qquad (5.2)$$

где $и_{i,j}$ — значение информационного разряда (1 или 0); i — номер разряда в пакете; j — номер пакета; $\Sigma_{\text{mod}\,2}$ — сумма по модулю два.

Возможность обнаружения пакетных ошибок в этом случае обусловлена тем, что каждый контрольный разряд равен сумме по модулю два значений информационных разрядов, входящих в различные пакеты. Поэтому при возникновении пакетной ошибки в каждом из выражений вида (5.2) искажается не более одного слагаемого, что ведет к изменению значения хотя бы одного контрольного разряда, т. е. к обнаружению ошибки.

Устройство кодирования в этом случае состоит из b сумматоров по модулю два, число входов каждого из которых равно k/b. Устройство декодирования содержит b сумматоров по модулю два на $(k/b)+1$ входов каждый, выходы которых объединяются по схеме ИЛИ.

5.3. КОНТРОЛЬНОЕ СУММИРОВАНИЕ

Назначение и области использования метода. При использовании метода контрольного суммирования хранимые в ЗУ слова последовательно считываются и суммируются по некоторому модулю. Контрольные слова, являющиеся результатом суммирования неискаженной информации, записываются в ЗУ. При контроле сохранности информации полученные контрольные слова сравниваются с хранящимися в ЗУ. При равенстве делается вывод о правильности хранимой информации, при неравенстве фиксируется отказ ЗУ.

Широко применяется арифметическое суммирование по модулю $2^{p_1 n}$, где n — разрядность хранимых в запоминающем устройстве слов; p_1 — число контрольных слов в контрольной сумме. Величина p_1 может равняться 1, 2 и т. д. При этом используется арифметическое суммирование как с циклическим переносом, так и без циклического переноса из старшего в младший разряд сумматора. Во многих случаях $p_1=1$, т. е. контрольная сумма содержит одно контрольное слово. При малых значениях разрядности слов контрольная сумма может содержать 2 и более контрольных слов.

Поскольку при использовании метода контрольного суммирования необходимо знать эталонную контрольную сумму, соответствующую неискаженной информации, то этот метод в основном используется для контроля постоянной или редко изменяемой информации, т. е. в ПЗУ, ППЗУ, РПЗУ. Контрольные суммы вычисляются при формировании массива данных или при его записи и заносятся в ЗУ.

Метод контрольного суммирования применяется для периодического контроля содержимого ЗУ, а также при контроле правильности последовательного считывания массивов информации. Кроме этого, данный метод применяется для идентификации модулей ПЗУ, так как контрольная сумма модуля определяется хранимыми в нем данными.

Достоверность контроля при использовании арифметического суммирования хранимых в запоминающих устройствах слов. При

арифметическом суммировании считываемые из ЗУ слова суммируются по модулю m_c. Достоверность контроля зависит от величины модуля суммирования, характера ошибок и наличия циклического переноса из старшего разряда сумматора в младший.

Сначала оценим достоверность самого метода контроля, т. е. будем предполагать, что ошибки различных типов равновероятны и переход от одной совокупности хранимых в ЗУ данных к другой может происходить с одинаковой вероятностью.

В качестве показателя достоверности контроля рассмотрим вероятность обнаружения ошибок $P_{об}$. Если контролируемый массив содержит N n-разрядных слов, а число контрольных слов равно p_1 ($p_1 \ll N$), то одной контрольной сумме будет соответствовать множество различных последовательностей информационных данных.

Ошибка не будет обнаружена, если в результате искажения данных контрольная сумма массива не изменится, т. е.

$$P_{об} = 1 - q_{об} = 1 - (N(\tilde{s}) - 1)/(2^{Nn} - 1), \tag{5.3}$$

где $q_{об}$ — вероятность необнаружения ошибки; $N(\tilde{s})$ — количество различных последовательностей N n-разрядных чисел, сумма которых по модулю m_c равняется $\tilde{s}$, $0 \leqslant \tilde{s} \leqslant m_c - 1$. Так как количество контрольных слов много меньше количества информационных слов, то отказами в контрольных словах пренебрегаем.

На практике количество суммируемых чисел, для которых формируется контрольная сумма, равно нескольким сотням и даже тысячам, что позволяет использовать для анализа аппарат теории вероятностей.

Будем рассматривать состояние i-го кодового слова X_i как случайную величину, равномерно распределенную на интервале $(0, 2^n - 1)$. Соответственно состояние памяти, т. е. хранимая в ней информация, определяется как упорядоченная последовательность взаимно независимых случайных величин с одинаковой функцией распределения [35]. Согласно центральной предельной теореме при больших N величина $s = \sum_{i=1}^{N} x_i$ распределена по нормальному закону с плотностью распределения (рис. 5.2)

$$\varphi(s) = \frac{1}{\sigma\sqrt{2\pi}} e^{-(s-M)^2/2\sigma^2}. \tag{5.4}$$

Математическое ожидание суммы равно

$$M = \left[\frac{N(2^n - 1)}{2}\right]. \tag{5.5}$$

Значение среднего квадратического отклонения σ определим из выражения

$$2\Phi_0\left[\frac{N(2^n - 1)}{2\sigma}\right] = 1, \tag{5.6}$$

где $\Phi_0[x]$ — интеграл вероятностей.

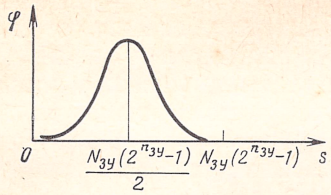


Рис. 5.2. Распределение суммы n-разрядных чисел в ЗУ емкостью $N_{зу}$ слов

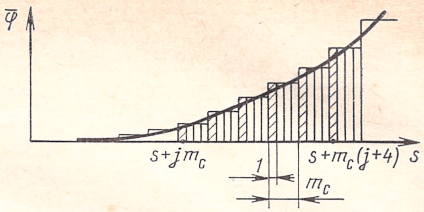


Рис. 5.3. Расчет вероятности обнаружения ошибок методом арифметического суммирования

Из (5.6) следует [35]

$$\Phi_0\left[\frac{N(2^n-1)}{2\sigma}\right]=\frac{1}{2}, \tag{5.7}$$

откуда

$$\frac{N(2^n-1)}{2\sigma}\approx 5,\ \sigma\approx\frac{N(2^n-1)}{10}. \tag{5.8}$$

Если модуль суммирования имеет значение, равное $N(2^n-1)$, то вероятность необнаружения ошибки

$$q_{об}\approx\frac{\varphi(s)}{\int\limits_0^{N(2^n-1)}\varphi(s)\,ds}=\varphi(s). \tag{5.9}$$

Как видно из рис. 5.2, величина $\varphi(s)$ достигает максимального значения при $s=M$. В этом случае

$$q_{об\ max}\approx\frac{1}{\sigma\sqrt{2\pi}}\approx\frac{4}{N(2^n-1)}. \tag{5.10}$$

Минимальное значение вероятности обнаружения ошибки

$$P_{об\ min}=1-q_{об\ max}\approx 1-\frac{4}{N(2^n-1)}. \tag{5.11}$$

На практике наибольшее распространение получило суммирование по модулю 2^n. Поскольку максимальное значение суммы $N(2^n-1)$ много больше модуля суммирования $m_c=2^n$, то распределение суммы N n-разрядных чисел можно с небольшой потерей точности представить в виде ступенчатой кривой, длина ступени которой по оси абсцисс s равна m_c (рис. 5.3).

Пусть вычет s по модулю m_c равен $\tilde{s}$. Тогда

$$q_{об}=\frac{\tilde{\varphi}(\tilde{s})}{\tilde{\varphi}(\tilde{s})\,m_c}=\frac{1}{m_c}=2^{-n}. \tag{5.12}$$

Вероятность обнаружения ошибки определяется выражением

$$P_{об}=1-q_{об}=1-2^{-n}. \tag{5.13}$$

В [35] приведен хотя и менее наглядный, но математически точный вывод формулы (5.13).

В выражении (5.13) отсутствует зависимость вероятности обнаружения ошибки от значения контрольной суммы $\tilde{s}$, в отличие от случая, когда $m_c = N(2^n - 1)$. Это объясняется тем, что при $m_c \ll N(2^n - 1)$ для получения значения $q_{об}$ суммируется большое число величин $\tilde{\varphi}(\tilde{s})$, расположенных во всем диапазоне изменения s с шагом $m_c (m_c \ll s_{max})$. Полученное в этом случае значение $q_{об}$ является усредненным и поэтому не зависит от величины s.

В табл. 5.2 приведены значения вероятности необнаружения $q_{об}$ и вероятности обнаружения ошибки $P_{об}$ при суммировании по модулю 2^n в зависимости от разрядности суммируемых чисел. Вероятность обнаружения ошибок при суммировании по модулю 2^n высока, если разрядность слова $n \geqslant 16$. Однако если разрядность слова $n = 8$, что характерно для микропроцессорных систем, построенных с использованием 8-разрядных микропроцессоров [36], достоверность контроля невысока.

Для повышения достоверности контроля в подобных случаях используют суммирование по модулю 2^{2n}, что при $n = 8$ соответствует значению $m_c = 2^{16}$. Вероятность обнаружения ошибки в этом случае равна $1 - 2^{-16}$, что является вполне приемлемым.

Для ППЗУ и РПЗУ, как было показано в гл. 2, характерны однобитовые однонаправленные ошибки. Они возникают из-за восстановления разрушенных нихромовых перемычек в ППЗУ или рассасывания заряда, накопленного на затворах транзисторов с плавающим затвором или МНОП-транзисторов РПЗУ. В зависимости от типа запоминающих микросхем наблюдаются переходы битов данных либо из 0 в 1, либо из 1 в 0.

Для оценки достоверности обнаружения таких ошибок введем в рассмотрение так называемую последовательность ошибок. Эта последовательность представляет собой N n-разрядных чисел, каждый разряд которых равен 0, если ошибка отсутствует, и 1, если в данном разряде соответствующего числа исказилась информация.

При использовании арифметического суммирования по модулю m_c однонаправленные ошибки не будут обнаружены, если сумма по модулю m_c последовательности ошибок равна нулю, т. е. кратна величине модуля суммирования. В этом случае минимальное число ошибочных бит зависит от номера разряда суммируемых чисел, в котором эти ошибки произошли.

Таблица 5.2

Показатель	Значение показателя при разрядности слов		
	8	16	32
$q_{ош}$	0,003 906	0,000 015	0,000 000
$P_{ош}$	0,996 094	0,999 985	1,000 000

Если модуль суммирования равен 2^n, то минимальное число ошибочных бит в i-м разряде суммируемых слов, не изменяющее значение контрольной суммы, определяется выражением

$$N_{\text{ош}\,i} = 2^{n-i}, \tag{5.14}$$

где $i=0, 1, \ldots, n-1$.

Выражение (5.14) означает, что появление всего лишь двух ошибочных бит в старшем разряде суммируемых чисел приведет к необнаруживаемой ошибке. Для младших разрядов суммируемых чисел минимальное число ошибочных бит, приводящих к необнаруживаемой ошибке, значительно больше. Так, для 8-разрядных чисел требуется, чтобы в младшем разряде чисел исказилось 256 бит, для того чтобы ошибки не были обнаружены методом арифметического суммирования.

Обнаружение любой комбинации однонаправленных ошибок обеспечивает метод арифметического суммирования по модулю $m_c=2^n$ с циклическим переносом из старшего разряда сумматора в младший. Появление такого количества лишних единиц, сумма которых по модулю суммирования равна m_c, вызывает перенос из старшего разряда сумматора в младший и занесение в последний 1. Поскольку контрольная сумма последовательности ошибок не равна 0, появление ошибок такого рода исказит контрольную сумму хранимых данных, вследствие чего ошибки обнаружатся. Таким образом, суммирование по модулю $m_c=2^n$ с циклическим переносом обеспечивает обнаружение любой комбинации однонаправленных однобитовых ошибок, вследствие чего является наиболее предпочтительным для контроля ППЗУ и РПЗУ.

Программная реализация метода. На практике получило распространение суммирование по модулю 2^n (или 2^{2n} для 8-разрядных чисел) с циклическим переносом из старшего разряда в младший.

При суммировании по модулю 2^n последовательно, начиная с начального адреса, суммируются считываемые слова. Единица переноса из старшего разряда прибавляется к младшему разряду суммы. Суммирование заканчивается, когда считано число с конечным адресом контролируемого массива. Полученная контрольная сумма сравнивается с эталонной, хранящейся вслед за информационными данными. При равенстве содержимое контролируемого массива считается исправным. При неравенстве в массиве имеются ошибки. Операции по формированию контрольной суммы выполняются процессором.

Некоторые особенности имеет суммирование по модулю 2^{2n} (рис. 5.4). На рисунке обозначены $[\text{Рг}]_\text{м}$, $[\text{Рг}]_\text{с}$ — содержимое регистров младших и старших разрядов числа; $[A_i]$ — значение числа по адресу A_i; [п] — содержимое бита «Перенос»; $i_\text{н}$, $i_\text{к}$ — начальное и конечное значения i; p — целое число. В этом случае два последовательно расположенных числа представляют как соответственно младшую и старшую половины слова двойной длины. Уменьшение количества операций и времени суммирования обеспечивается при использовании команды «Суммирование с переносом», которая имеется в системе команд 8-разрядных однокристальных микропроцессоров типа 8080 и других [36]. При выполнении этой команды происходит суммирование содержимого сумматора

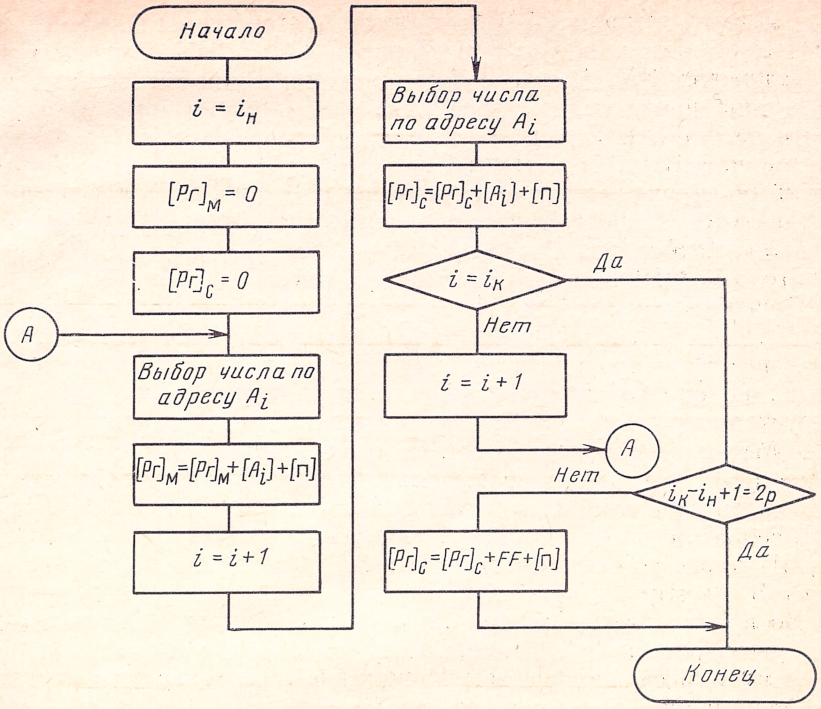


Рис. 5.4. Схема алгоритма арифметического суммирования 8-разрядных чисел по модулю 2^{16} с циклическим переносом из старшего разряда сумматора в младший

со следующим слагаемым и битом переноса, который был образован в предыдущем цикле сложения. При поочередном формировании младшего и старшего байтов суммы двойной длины обеспечиваются передача переноса из младшего байта суммы в старший байт и циклический перенос из старшего разряда суммы в младший. Если количество суммируемых чисел нечетно, то в качестве старшего байта последнего слова двойной длины прибавляется заранее заданное число, например *FF* в шестнадцатеричной системе счисления, что соответствует единицам во всех разрядах байта.

Подпрограмму подсчета контрольной суммы часто включают в состав управляющих (мониторных) программ ЭВМ [37]. В этом случае, чтобы определить значение контрольной суммы массива данных, достаточно обратиться к данной подпрограмме, задав начальный и конечный адреса суммируемого массива.

5.4. КОНТРОЛЬ ДИНАМИЧЕСКИХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ ВО ВРЕМЯ РЕГЕНЕРАЦИИ ИНФОРМАЦИИ

Малое время между двумя соседними циклами контроля (высокую периодичность контроля) и, вследствие этого, высокую вероятность безотказной работы ЗУ, близкую к единице, обеспечи-

вает метод контроля ОЗУ во время регенерации информации [38]. Этот метод может использоваться в ЗУ, построенных на динамических ЗМ. В таких ЗМ при записи или считывании информации происходит регенерация (восстановление) информации в строке ЗЭ, т. е. цикл регенерации можно заменить циклом считывания [39, 40]. Структурная схема ЗУ с контролем информации во время регенерации приведена на рис. 5.5. Особенностью ЗУ является дешифрация как сигнала «Выбор строки ЗЭ», так и сигнала «Выбор столбца ЗЭ», подаваемых на входы ЗМ формирователями ФВК1 и ФВК2 соответственно.

Дешифрация сигнала «Выбор столбца ЗЭ» необходима для того, чтобы во время регенерации информации, когда возбуждаются все формирователи ФВК 1, разрешать считывание информации из одного столбца ЗМ. Счетчик регенерации (СчР) формирует адрес числа по сигналу с генератора во время регенерации. Младшие разряды счетчика регенерации через селектор адресов (СА) и адресные формирователи (АФ) подключены к младшим разрядам адресных входов ЗМ, которые выбирают строку ЗЭ; селектор адресов при регенерации информации пропускает на МП адрес со счетчика регенерации, а во время цикла обращения к ЗУ — адрес с процессора.

Во время цикла регенерации поступает сигнал РЕГ и происходит регенерация информации в ЗЭ одной строки всех ЗМ. При этом по адресу, задаваемому счетчиком регенерации, происходит считывание одного числа, хранимого в ЗУ. Устройство обнаружения и исправления ошибок (УОИО) по содержимому ин-

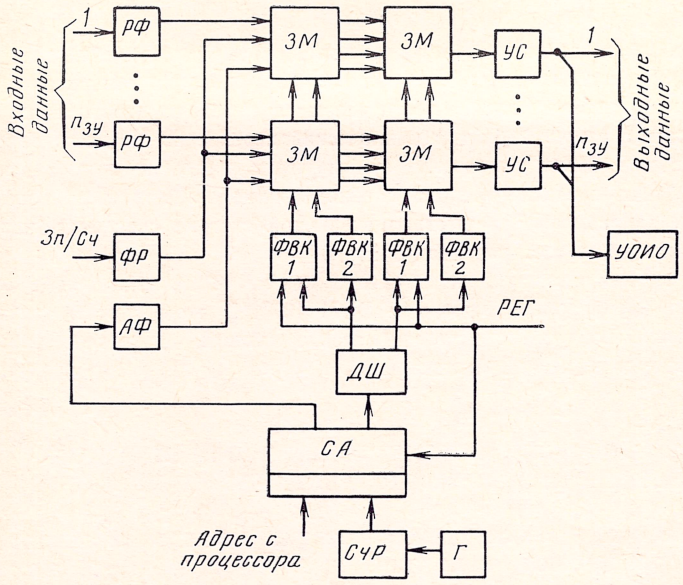


Рис. 5.5. Структурная схема ЗУ с контролем информации во время регенерации

формационных и контрольных разрядов определяет наличие ошибки в считанном слове. Число циклов, в течение которых происходит регенерация содержимого всех ЗЭ, равно числу строк ЗЭ в ЗМ или числу ЗЭ в одном столбце $N_{ст}$. В течение $N_{ст}$ циклов осуществляется контроль содержимого $N_{ст}$ слов, хранимых в ЗУ.

Через время, равное периоду регенерации $t_{рег}$, вновь производится регенерация содержимого всех ЗЭ. При этом код старших разрядов счетчика регенерации с номерами $\log N_{ст}+1 \ldots \log N$ обеспечит выборку и считывание следующих слов.

Контроль всего ЗУ будет проведен через $N_{ЗУ}/N_{ст}$ периодов регенерации. Затем контроль ЗУ будет повторяться. Периодичность контроля равна

$$t_к = t_{рег}\,(N_{ЗУ}/N_{ст}). \tag{5.15}$$

Данный метод контроля позволяет практически без дополнительных затрат времени контролировать содержимое ЗУ с высокой периодичностью. При $N_{ЗУ}=512$К слов и $t_{рег}=2$ мс периодичность контроля — 4 с, при $N_{ЗУ}=128$К слов — 1 с.

При методе контроля ЗУ во время регенерации информации в основном увеличивается оборудование селектора адресов и счетчика регенерации. Для полупроводникового ЗУ без контроля разрядность селектора адресов и счетчика регенерации равна числу разрядов кода адреса строк ЗМ:

$$n_{a1} = \log N_{ст}. \tag{5.16}$$

В случае использования рассматриваемого метода разрядность селектора и счетчика равна разрядности кода адреса ЗУ:

$$n_{a2} = \log N_{ЗУ}. \tag{5.17}$$

Прирост разрядности селектора адресов и счетчика регенерации для данного метода равен

$$\Delta n_a = n_{a2} - n_{a1} = \log \frac{N_{ЗУ}}{N_{ст}}. \tag{5.18}$$

Прирост количества оборудования селектора адресов и счетчика

$$\Delta Q_a = (Q_{са\,1} + Q_{сч\,1}) \log \frac{N_{ЗУ}}{N_{ст}}, \tag{5.19}$$

где $Q_{са\,1}$, $Q_{сч\,1}$ — количество оборудования одного разряда селектора и счетчика соответственно.

Реализация рассмотренного метода контроля приводит к небольшому увеличению объема оборудования адресной части ЗУ. Если использовать микросхемы, содержащие два селектора в корпусе и 4-разрядный счетчик в корпусе, то прирост оборудования адресной части не превысит 10 корпусов при емкости ЗУ 512К слов и использовании ЗМ емкостью 16 Кбит. В то же время число ЗМ в накопителе ЗУ емкостью 512К 128-разрядных слов составляет более 4 тысяч.

При использовании метода контроля во время регенерации информации необходимо после включения ЗУ записать в него исходную информацию, например нулевые слова с контрольными кодами. Это требование вызвано тем,

что числа с их контрольными кодами, необходимые для решения задачи, могут занимать лишь часть памяти, а по остальным адресам при включении ЗУ могут возникнуть любые сочетания 1 и 0. В то же время при контроле проверяются все адреса ЗУ и во всех них должны быть числа с их контрольными кодами.

Целесообразно иметь также дополнительный выход устройства УОИО, который служит для сигнализации ошибки во время контроля. Это позволяет отличать ошибки при отказах в неиспользуемой в данный момент времени области памяти от ошибок, возникающих при выполнении вычислений. Адрес отказа может быть определен по содержимому счетчика регенерации в момент появления сигнала ошибки во время регенерации информации.

5.5. МЕТОДЫ КОНТРОЛЯ АДРЕСНЫХ ЦЕПЕЙ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Применение контроля по модулю обеспечивает обнаружение ошибок в накопителе и разрядных цепях ЗУ.

В современных ЗУ, построенных на больших интегральных микросхемах, значительная часть адресных цепей находится внутри ЗМ. К таким цепям относятся дешифраторы строки и столбца, обеспечивающие выбор ЗЭ в ЗМ. Ошибки из-за их отказов обнаруживаются с помощью контроля по модулю. Доля оборудования и интенсивности отказов элементов адресных цепей полупроводниковых ЗУ, не охваченных контролем, значительно меньше по сравнению, например, с ферритовыми ЗУ и содержит лишь регистр адреса, дешифратор выбора модуля памяти и дешифратор выбора столбца ЗМ в МП (рис. 2.5, 2.7). Поэтому в современных ЗУ в основном используется обнаружение отказов в адресной части вследствие низкой их интенсивности, а не коррекция ошибок, как в накопителе многих ЗУ большой емкости.

Обнаружение отказов в адресной части осуществляется за счет введения дополнительного контрольного оборудования.

Контроль адресных цепей с помощью контрольного кода адреса. Этот метод контроля обеспечивает обнаружение ошибок в адресной магистрали и регистре адреса. Код адреса, передаваемый из процессора, сопровождается контрольным разрядом, содержимое которого является дополнением до четности или нечетности информационных разрядов кода адреса. С выходов регистра адреса принятый код подается на схему формирования контрольного разряда, который сравнивается с принятым. При равенстве регистр адреса и адресная магистраль исправны, в противном случае в них возник отказ или сбой. Метод обеспечивает обнаружение ошибок нечетной кратности в коде адреса.

Контроль адресных цепей с помощью обратной передачи кода адреса. Метод обеспечивает обнаружение ошибок в регистре адреса и адресной магистрали. Код с выхода регистра адреса по специальной магистрали поступает в процессор, где сравнивается с переданным кодом адреса. По сравнению с предыдущим методом он обеспечивает обнаружение ошибок произвольной кратно-

сти в адресном коде, однако требует удвоения количества шин адреса.

Контроль дешифратора адреса. Наиболее распространенным методом контроля дешифратора адреса является использование шифратора, который соединен входами либо с выходами дешифратора, либо с адресными шинами выборки в накопителе. Выходной код с шифратора сравнивается с кодом в регистре адреса. Во втором случае контроль является более полным, так как обеспечивает обнаружение не только отказов и сбоев в дешифраторе адреса, но и обрывы адресных шин.

В обоих случаях возможна шифрация кода выбранной адресной шины в полный код адреса либо в его контрольный код, который сравнивается с контрольным разрядом принятого адресного кода.

Контроль адресных цепей с помощью записываемого в накопитель контрольного кода адреса. Рассмотренные ранее методы контроля адресных цепей проверяют работоспособность отдельных узлов, таких, как регистр адреса и адресная магистраль, дешифратор адреса и адресные шины.

Совместный контроль адресных цепей обеспечивается записью в накопитель контрольного кода адреса. При использовании этого метода информационные разряды записываемого слова дополняются контрольным разрядом адреса. Полученное слово заносится в ЗУ. При считывании контрольный разряд выбранного слова сравнивается с контрольным разрядом кода адреса, по которому производилась выборка слова. В случае равенства контрольных кодов обращение произошло по требуемому адресу, иначе имел место отказ или сбой.

Данный метод позволяет осуществить совместный контроль правильности обращения по адресу и истинность записанного по этому адресу слова. Для этого в контрольные разряды хранимого слова заносится сумма контрольных кодов слова и адреса. При чтении слова формируемый контрольный код данных вычитается из содержимого контрольных разрядов считанного слова. Полученный контрольный код сравнивается с контрольным кодом поступившего адреса. Совпадение кодов подтверждает истинность адреса считанного слова и правильность полученных данных.

Вместо вычитания можно осуществлять повторное формирование совместных контрольных разрядов информационного слова и адреса с последующим сравнением.

Достоинство совместного контроля — экономия числа контрольных разрядов в слове. Недостатком является зависимость контроля адресных цепей от контроля информационных слов и возможность контроля только во время считывания. Ранее рассмотренные методы позволяют контролировать адресные цепи как во время считывания, так и при записи.

ГЛАВА 6. ФУНКЦИОНАЛЬНЫЙ КОНТРОЛЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

6.1. НАЗНАЧЕНИЕ ФУНКЦИОНАЛЬНОГО КОНТРОЛЯ

Важная роль в обеспечении надежности ЗУ отводится методам и средствам их контроля на различных этапах производства и эксплуатации.

Различают следующие виды контроля ЗУ:

контроль статических параметров — входных и выходных напряжений, входных и выходных токов, токов потребления от источников питания и т. д.;

контроль динамических параметров — времени выборки, параметров временно́й диаграммы входных сигналов и т. д.;

контроль функционирования (или функциональный контроль), обеспечивающий проверку работоспособности ЗУ в заданных условиях эксплуатации.

С увеличением степени интеграции ЗУ все большее значение приобретает функциональный контроль, при котором проверяется работоспособность всех узлов ЗУ, а также взаимовлияние различных его элементов. Проверка функционирования ЗУ при предельных значениях параметров временно́й диаграммы позволяет отбраковывать ЗУ и по динамическим параметрам.

При проведении функционального контроля на входы ЗУ подается тестовая последовательность, состоящая из набора элементарных тестов. Каждый элементарный тест представляет собой совокупность сигналов, подаваемых на входы ЗУ в фиксированный момент времени. Реакция ЗУ на элементарный тест, проявляющаяся в виде сигналов на его выходах, фиксируется и сравнивается с эталонной информацией, соответствующей исправному устройству.

Тестовые последовательности (далее просто тесты) для ЗУ ориентированы на выявление характерных видов отказов. Вследствие большой емкости современных ЗУ тесты для контроля отличаются большой длительностью и сложностью. Различные требования к времени прохождения теста и ориентация на преимущественное выявление определенных, наиболее характерных для данного типа ЗУ, дефектов породили большое разнообразие используемых тестов.

Существенные различия имеются между способами функционального контроля оперативных ЗУ и ЗУ с постоянной или редко изменяемой информацией (ПЗУ, ППЗУ, РПЗУ).

При контроле оперативных ЗУ с помощью устройства контроля формируются входные тестовые последовательности. Считываемые из ЗУ данные (при исправном ЗУ) полностью определяются сформированной устройством контроля тестовой информацией.

При контроле ПЗУ необходимо учитывать, что информация записана в них при их изготовлении и задачей контроля является сравнение считанных данных с теми, которые заносились при

программировании ЗУ. Для контроля ПЗУ широко используется метод контрольного суммирования.

Тесты для ЗУ могут отличаться от тестов ЗМ. При проверке ЗУ нет необходимости проверять взаимовлияние между ЗЭ различных микросхем, так как оно отсутствует. Вследствие этого продолжительность контроля может быть уменьшена.

6.2. ТЕСТЫ ДЛЯ ПОЛУПРОВОДНИКОВЫХ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ МИКРОСХЕМ

Тесты для одноразрядных запоминающих микросхем. Для контроля полупроводниковых ЗМ используются различные тестовые последовательности. Каждый тест характеризуется различной длительностью и степенью выявления отказов. В зависимости от числа циклов обращения при контроле тесты можно условно разделить на следующие группы: типа N циклов, типа N^2 циклов, типа N^3 циклов, типа $N^{3/2}$ циклов, тесты регенерации. В табл. 6.1 приведены наиболее распространенные тесты и отказы, которые они выявляют[1], [11, 20]. Полная последовательность обращений к ЗМ для всех рассматриваемых тестов, кроме теста «Дождь», выполняется как с прямой, так и с инверсной информацией.

К тестам типа N циклов относятся следующие тесты.

1. «Последовательная запись и считывание» (рис. 6.1,*а*). В матрицу ЗЭ последовательно записываются 1 (0). Затем инфор-

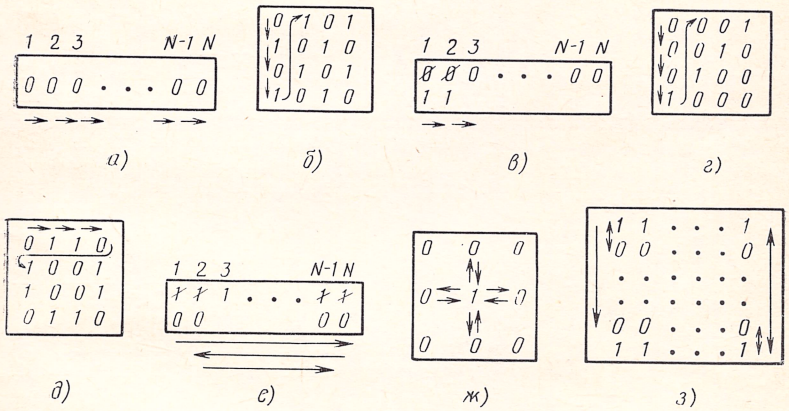


Рис. 6.1. Диаграммы логических состояний матрицы ЗЭ и порядок считывания информации для тестов типа N циклов:

а) «Последовательная запись и считывание»; *б*) «Шахматный код»; *в*) «Считывание — запись в прямом и обратном направлениях»; *г*) «Диагональ»; *д*) «Четность (нечетность) адреса»; *е*) «Обращение к прямому и дополняющему адресам»; *ж*) «Обращение к соседним адресам»; *з*) «Считывание по столбцам»

[1] **Васин С. Н., Георгиев Н. В., Крупский А. А.** Контроль интегральных полупроводниковых запоминающих устройств ЦВМ высокой производительности//Вопросы радиоэлектроники. Сер. ЭВТ. — 1976. — Вып. 6. — С. 94—102.

Таблица 6.1

Тип теста	Длительность прохождения теста, циклы	Обнаруживаемые отказы и сбои								
		в матрице ЗЭ			в дешифраторе			вследствие изменения динамических параметров		
		отсутствие записи	ложная запись	ложное считывание	отсутствие выборки	многоадресная выборка	неоднозначная выборка	времени выборки	времени восстановления после записи	периода регенерации
Типа N циклов										
1. Последовательная запись и считывание	$4N$	+	0	0	0	0	0	—	0	0
2. Шахматный код	$4N$	+	—	0	—	0	0	—	0	0
3. Считывание-запись в прямом и обратном направлениях	$5N$	+	+	—	—	—	—	—	—	0
4. Последовательное заполнение со считыванием (Марш)	$10N$	+	+	—	—	—	—	—	—	0
5. Диагональ	$2(2N+2N^{1/2})$	+	—	0	+	—	+	—	0	0
6. Четность (нечетность) адреса	$4N$	+	—	0	+	—	+	—	0	0
7. Обращение к прямому и дополняющему адресам	$10N$	+	—	—	+	—	+	—	—	0
8. Обращение к соседним адресам	$128N$	+	+	—	—	—	0	—	—	0
9. Считывание по столбцам	$8N$	+	—	—	—	—	+	—	0	0
Типа N^2 циклов										
10. Бегущая 1 (0)	$2(N^2+2N)$	+	+	+	—	—	—	—	—	0
11. Попарное считывание	$2(2N^2+2N)$	+	+	+	+	+	+	+	—	0
12. Попарное считывание с модификацией	$2(3N^2+3N)$	+	+	+	+	+	+	+	—	0
13. Попарная запись-считывание	$2(4N^2-2N)$	+	+	+	+	+	+	+	—	0
14. Попарная запись-считывание с полным перебором	$2(8N^2-8N)$	+	+	+	+	+	+	+	+	0
Типа N^3 циклов										
15. Дождь (полный период, малый период)	N^3, N^2	+	+	+	+	+	+	—	—	0
Типа $N^{3/2}$ циклов										
16. Бегущий столбец	$2(N^{3/2}+3N)$	+	+	+	—	—	—	—	0	0
17. Бегущая 1 (0) в столбце	$2(N^{3/2}+4N)$	+	+	+	+	—	—	—	0	0
18. Бегущая строка	$2(N^{3/2}+3N)$	+	+	+	—	—	—	—	0	0
19. Бегущая 1 (0) в строке	$2(N^{3/2}+4N)$	+	+	+	+	—	—	—	0	0
20. Попарное считывание по строке	$2(2N^{3/2}+3N)$	+	+	+	+	—	+	—	—	0
21. Попарное считывание по столбцу	$2(2N^{3/2}+3N)$	+	+	+	+	—	+	—	—	0
22. Попарное считывание по диагонали	$2(2N^{3/2}+3N)$	+	+	+	+	+	+	—	—	0

Окончание табл. 6.1

Тип теста	Длительность прохождения теста, циклы	Обнаруживаемые отказы и сбои								
		в матрице ЗЭ			в дешифраторе			вследствие изменения динамических параметров		
		отсутствие записи	ложная запись	ложное считывание	отсутствие выборки	многоадресная выборка	неоднозначная выборка	времени выборки	времени восстановления после записи	периода регенерации
23. Попарная запись-считывание по строке и столбцу с полным перебором	$2(16N^{3/2}+16N)$	+	+	+	+	+	+	+	+	0
24. Сдвигаемая диагональ	$2(N^{3/2}+3N)$	+	+	—	+	+	+	—	0	0
Тесты регенерации										
25. Статический	$2(t_{\text{рег}}+2N)$	+	0	0	0	0	0	0	0	+
26. Шахматный код с регенерацией	$2(N^{1/2}t_{\text{рег}}+2N)$	+	—	0	—	0	0	0	0	+
27. Возбуждение матрицы чтением строк	$2t_{\text{рег}}+3N$	+	0	0	—	0	0	0	0	+
28. Возбуждение матрицы многократной записью со считыванием по столбцам	$2(N^{1/2}t_{\text{рег}}+4N)$	+	0	0	—	0	0	0	0	+
29. Возбуждение матрицы многократным считыванием из столбца	$2(N^{1/2}t_{\text{рег}}+4N)$	+	0	+	—	0	0	0	0	+
30. Возбуждение матрицы обращением по квадрату	$2(Nt_{\text{рег}}+2N)$	+	—	+	—	0	0	0	0	+

Примечание. + эффективный контроль; — частичный контроль; 0 не контролирует.

мация последовательно считывается. Тест обладает слабыми контролирующими свойствами, так как проверяет лишь схемы записи и считывания информации ЗМ.

2. «Шахматный код» (рис. 6.1,*б*). В соседние ЗЭ матрицы записывается противоположная информация. Затем все адреса последовательно считываются. Тест выявляет короткие замыкания между соседними по строке и столбцу ЗЭ, а также обнаруживает отказы в младших разрядах адреса строки и столбца.

Известны две модификации данного теста. Противоположная информация записывается либо в соседние столбцы («Шахматный код» между столбцами), либо в соседние строки матрицы ЗЭ («Шахматный код» между строками). Таким образом выявляются короткие замыкания между столбцами и между строками. В последнем случае при считывании по столбцам обеспечивается максимальное число переключений в усилителе считывания.

3. «Считывание-запись в прямом и обратном направлениях» (рис. 6.1,*в*). В матрицу ЗЭ последовательно записываются нули. Затем в каждом ЗЭ считывается 0 и записывается 1 при изменении адресов от A_0 до A_{N-1}. После этого, начиная с адреса A_{N-1}, считывается 1 и записывается 0 в каждый адрес при изменении адресов от A_{N-1} до A_0.

4. «Последовательное заполнение со считыванием» (рис. 6.1,*в*) является модификацией предыдущего теста с целью улучшения проверки матрицы ЗЭ. Алгоритм проверки для данного теста приведен в табл. 6.2.

5. «Диагональ» (рис. 6.1,*г*). В матрицу ЗЭ последовательно записываются 0 (1). Затем во все ЗЭ, у которых адреса строки и столбца совпадают, записывается 1 (0). Считывание происходит по столбцам матрицы. Тест выявляет отказы дешифратора.

6. «Четность (нечетность) адреса» (рис. 6.1,*д*). В каждый адрес матрицы запоминающих элементов записывается 0, если число единиц в адресном коде четно, и 1, если нечетно. Затем информация в матрице считывается последовательно по адресам. После этого аналогичным образом матрица заполняется нулями, если число единиц в коде адреса нечетно, и единицами, если четно. Затем производится считывание последовательно по адресам. Тест выявляет неисправности дешифратора, а также запись и считывание в отдельные ЗЭ.

7. «Обращение к прямому и дополняющему адресам» (рис. 6.1,*е*). В матрицу ЗЭ записываются 1 (0). Из каждого ЗЭ (прямой адрес) считывается информация и записывается противоположная ей информация. Затем переходят к адресу, являющемуся дополнением до 1 во всех разрядах кода адреса. Наряду с эффективной проверкой дешифраторов данный тест контролирует сохранность информации в матрице при различных обращениях к

Таблица 6.2

Номер цикла	Циклы теста «Последовательное заполнение со считыванием»	Назначение циклов
1	Запись 1 по всем адресам	Запись исходной информации
2	Считывание 1, запись 0. Повторение для всех адресов, начиная с младшего	Контроль сохранения 1 при записи 0 по младшим адресам
3	Считывание 0, запись 1. Повторение для всех адресов, начиная с младшего	Контроль сохранения 0 при записи 1 по младшим адресам и записи 0 в цикле 2
4	Считывание 1, запись 0. Повторение для всех адресов, начиная со старшего	Контроль сохранения 1 при записи 0 по старшим адресам и записи 1 в цикле 3
5	Считывание 0, запись 1. Повторение для всех адресов, начиная со старшего	Контроль сохранения 0 при записи 1 по старшим адресам и записи 0 в цикле 4
6	Считывание 1 по всем адресам	Контроль сохранения 1 при записи 1 в цикле 5

ней, а также проверяет влияние операции записи на правильность считывания информации.

8. «Обращение к соседним адресам» (рис. 6.1,*ж*). Каждый ЗЭ контролируется путем записи 0 (1) в него и конкретного кода в соседние по «кресту» адреса и считывания из проверяемого ЗЭ и соседних по кресту ЗЭ. Эта операция повторяется для 16 различных кодовых комбинаций в окружающих по «кресту» выбранный ЗЭ адресах. В угловых соседних адресах могут быть произвольные коды. Тест осуществляет полную проверку функционирования и взаимовлияния соседних ЗЭ.

9. «Считывание по столбцам» (рис. 6.1,*з*). Во все ЗЭ первой и последней строки записываются 1, во все другие ЗЭ матрицы — 0. Считывание происходит вдоль столбца между ЗЭ первой строки и другими ЗЭ (кроме последнего) этого столбца. Затем то же самое производится для последней строки. Аналогичный процесс считывания производится вдоль всех столбцов.

К тестам типа N^2 циклов относятся следующие.

10. «Бегущая 1 (0)» (рис. 6.2,*а*). В ЗЭ по первому адресу A_0 записывается 1 (0) на фоне всех 0 (1). Затем все адреса последовательно считываются; последним считывается адрес A_0 с последующей записью в него 0 (1). Последовательность операций повторяется для адреса A_1 и т. д. до последнего. Тест проверяет способность каждого ЗЭ переходить из 0 в 1 и обратно, а также

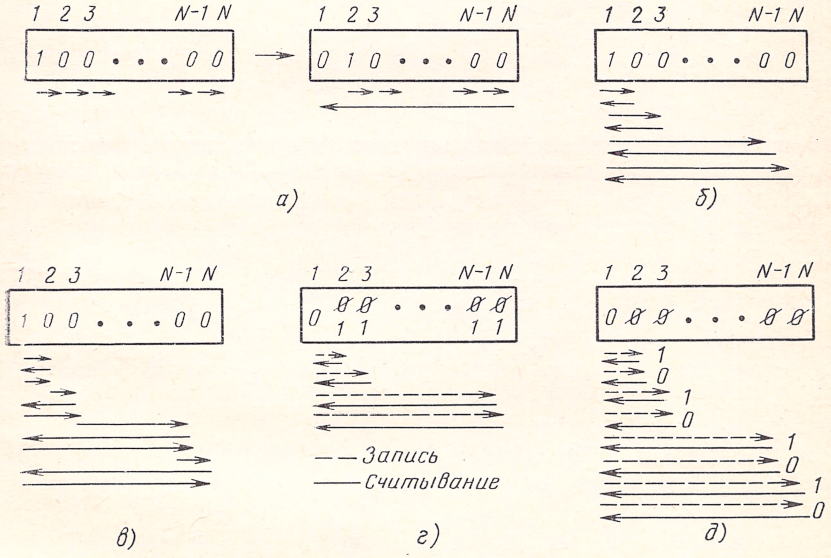


Рис. 6.2. Диаграммы логических состояний матрицы ЗЭ и порядок считывания информации для тестов типа N^2 циклов:

а) «Бегущая 1 (0)»; *б*) «Попарное считывание»; *в*) «Попарное считывание с модификацией»; *г*) «Попарная запись-считывание»; *д*) «Попарная запись-считывание с полным прибором»

обнаруживает влияние операции записи в отдельном ЗЭ на сохранность информации в матрице [20].

11. «Попарное считывание» (рис. 6.2,*б*). Тест обеспечивает любые адресные переходы с различными изменениями информации при считывании. В адрес A_0 записывается 1 на фоне всех 0, а далее последовательно считываются адреса A_1, A_0, затем A_2, A_0 и т. д., пока все пары переходов, включающие адрес A_0, не будут проверены. После этого в адрес A_0 записывается 0 и информация считывается. Подобный характер обращения между выбранным базовым адресом A_i (в рассматриваемом случае A_0) и полем текущих адресов $\langle A_j \rangle$ (в данном случае A_1, A_2, ..., A_{N-1}) будем называть попарным считыванием между адресом A_i и полем текущих адресов $\langle A_j \rangle$. В такой же последовательности осуществляются операции для адреса A_1 и т. д.

Тест эффективно проверяет функционирование ЗЭ, дешифраторов, время выборки, а также влияние процесса записи в отдельном ЗЭ на сохранность информации в остальных ЗЭ матрицы.

12. «Попарное считывание с модификацией» (рис. 6.2,*в*). В адрес A_0 записывается 1 на фоне всех 0, затем последовательно считываются ЗЭ по адресам A_1, A_0, A_1, далее A_2, A_0, A_2 и т. д., пока все пары переходов, включающие адрес A_0, не будут проверены. После этого в адрес A_0 записывается 0 и информация считывается. Последовательность операций повторяется для адреса A_1 и т. д., вплоть до последнего. По эффективности данный тест аналогичен предыдущему.

13. «Попарная запись-считывание» (рис. 6.2,*г*). Данный тест обеспечивает возможные адресные переходы в режиме запись-считывание. В ЗЭ по адресу A_1 записывается 1 на фоне 0 с последующим считыванием 0 из A_0. Затем по адресу A_1 записывается 0 с последующим считыванием из адреса A_0. Эта последовательность операций повторяется для адресов A_2 и A_0 и т. д. до тех пор, пока все пары (N—1) адресных переходов относительно ЗЭ по адресу A_0 не будут проверены. Тест эффективно проверяет функционирование матрицы ЗЭ, дешифраторов, время выборки, время восстановления после записи, а также влияние операции записи в отдельный ЗЭ на сохранность информации в матрице.

Существует несколько модификаций данного теста, суть которых заключается в изменении характера обращений между базовым A_i и текущим A_j адресами (при этом изменяется контролирующая способность теста):

считывание 0 (1) из адреса A_i с последующей записью 1 (0) в адрес A_j; ухудшается контроль выборки дешифраторов и времени выборки;

считывание 0 (1) из адреса A_j, запись 1 (0) в адрес A_j с последующим считыванием 0 (1) из адреса A_i и 1 (0) из адреса A_j и записью 0 (1) в адрес A_j с последующим считыванием 0 (1) из адреса A_i; улучшается контроль влияния записи 0 и 1 в адрес A_j на содержимое ЗЭ по адресу A_i;

запись 1 (0) в адрес A_j с последующим считыванием из адресов A_i, A_j, A_i и запись 0 (1) в адрес A_j с последующим считыванием из адресов A_i, A_j, A_i; улучшается контроль времени выборки.

Длительность рассмотренных модификаций теста «Попарная запись-считывание» пропорциональна соответственно $4N^2$, $12N^2$, $16N^2$ циклов.

14. «Попарная запись-считывание с полным перебором» (рис. 6.2,*д*). Данный тест наиболее полно реализует всевозможные адресные переходы в матрице ЗЭ со всеми возможными изменениями информации и типа операций. В адрес A_1 записывается 1, а в адрес A_0—0. Затем производится считывание информации из ЗЭ по адресам A_1 и A_0. Далее по адресам A_1 и A_0 записывается 0 с последующим считыванием информации по этим адресам. Эта последовательность операций повторяется для адресов A_2 и A_0 и т. д., пока все пары (N—1) адресных переходов относительно адреса A_0 не будут проверены. Далее последовательность повторяется по отношению к ЗЭ по адресу A_1 и т. д. до последнего.

Тест «Попарная запись-считывание с полным перебором» эффективно проверяет функционирование матрицы ЗЭ, работу дешифратора, чувствительность матрицы к различным обращениям и контролирует время выборки и время восстановления после записи.

15. К тестам типа N^3 циклов относится тест «Дождь» (рис. 6.3). При реализации этого теста во все ЗЭ матрицы записываются 1. Из адреса A_0 считывается и записывается 1. Затем последовательно из адреса A_i считывается информация и записывается в него бит, равный $[A_{i-1}]+[A_i]$, где «+» — сумма по модулю два.

После считывания и записи информации по последнему адресу A_{N-1} считывается информация из ЗЭ по адресу A_0. В него за-

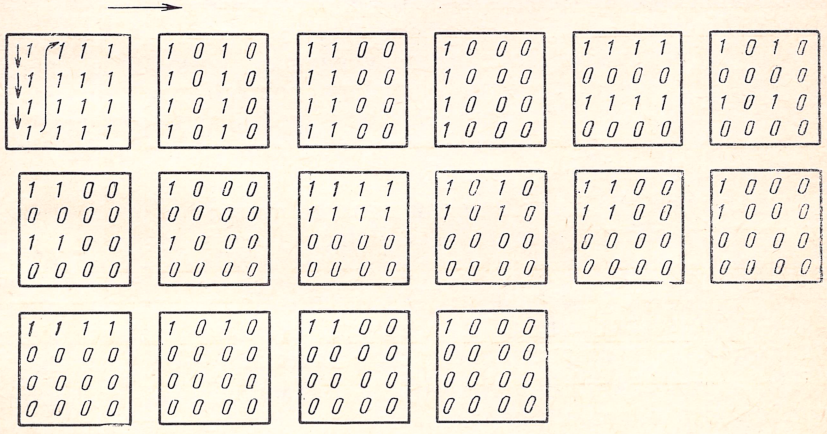


Рис. 6.3. Диаграммы логических состояний матрицы ЗЭ для малого периода теста «Дождь»

писывается сумма по модулю 2 информации по адресу A_0 и адресу A_{N-1} и т. д. Период повторения информации в матрице ЗЭ для этого теста равен N^3 циклов. Весь период теста можно разбить на N малых периодов длительностью N^2 циклов. В конце каждого малого цикла в матрице записана одна единица и все остальные нули. Адрес единицы для различных малых периодов разный.

Особенностью теста «Дождь» является то, что во время его прохождения в матрице ЗЭ записаны различные информационные распределения (все 1, «Шахматное распределение», одна единица и все нули и т. д.), что позволяет проверять ЗМ в условиях, приближенных к условиям работы. На практике получило распространение тестирование в течение малого периода длительностью N^2 циклов или в течение N^2+3N циклов, когда во все ЗЭ записывается и считывается как единичная, так и нулевая информация.

Для построения тестов типа $N^{3/2}$ циклов используются те же принципы, что и для тестов типа N^2 циклов. Продолжительность тестирования уменьшается за счет сокращения поля текущих адресов A_j, которое формируется с учетом топологических особенностей проверяемой ЗМ. Поле адресов $\langle A_j \rangle$ формируется из адресов тех ЗЭ, которые связаны с ЗЭ по базовому адресу A_i непосредственными связями или благодаря соседству на кристалле, либо общими адресными или разрядными шинами. Таким образом поле текущих адресов $\langle A_j \rangle$ ограничивается строкой, столбцом, диагональю матрицы ЗЭ. Продолжительность теста определяется полем $\langle A_j \rangle$ и характером обращений по адресам A_i и A_j (попарное считывание, попарная запись-считывание или полный перебор).

К тестам типа $N^{3/2}$ относятся следующие.

16. «Бегущий столбец» (рис. 6.4,*а*, *б*). В первый столбец матрицы ЗЭ записываются 1 на фоне 0. Затем вся информация из матрицы ЗЭ считывается с последующей записью 0 в первый столбец. Последовательность операций повторяется для второго столбца и т. д. до последнего. Эффективность проверки дешифраторов с помощью этого теста ниже, чем для тестов типа N^2 (не проверяется дешифратор строк).

Существуют две модификации данного теста:

для теста «Бегущие столбцы» запись 1 осуществляется в два столбца с номерами j и $j+0{,}5\sqrt{N}$ (где $j=0, 1, \ldots, 0{,}5\sqrt{N}$) на фоне 0, записанных в остальные ЗЭ матрицы. Затем информация из всей матрицы считывается и в данные столбцы записываются 0 (рис. 6.4,*в*). Длительность теста составляет $N^{3/2}+6N$ циклов.

Для теста «Бегущий столбец с противоположной информацией» в первую половину адресов первого столбца записываются 0, во вторую половину 1. Затем информация считывается и в столбец записывается противоположная информация (рис. 6.4,*г*). Длительность теста равна $2N^{3/2}+6N$.

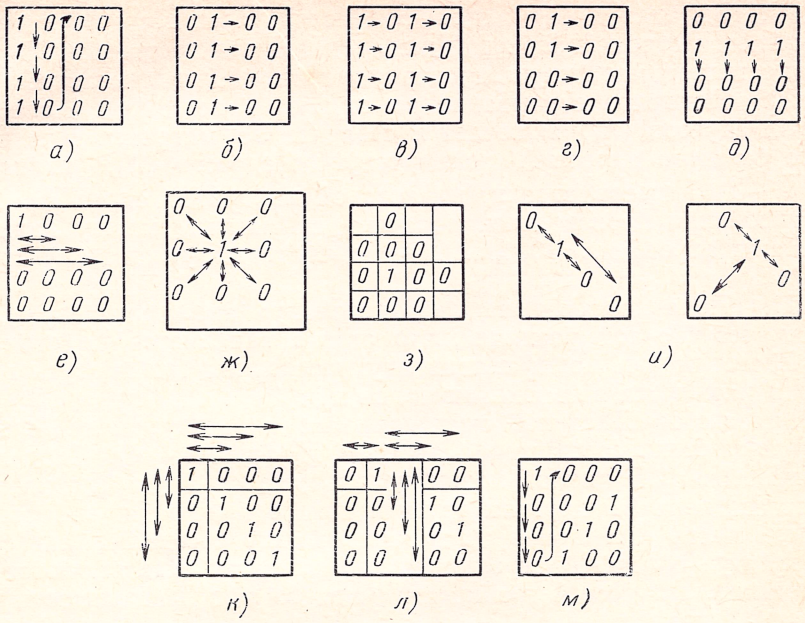


Рис. 6.4. Диаграммы логических состояний матрицы ЗЭ и порядок считывания информации для тестов типа $N^{3/2}$ циклов:

а), *б*) «Бегущий столбец»; *в*) «Бегущие столбцы»; *г*) «Бегущий столбец с противоположной информацией»; *д*) «Бегущая строка»; *е*) «Попарное считывание по строке»; *ж*) «Попарное считывание по квадрату»; *з*) «Попарное считывание по кресту и квадрату»; *и*) «Попарное считывание по диагонали»; *к*) «Попарное считывание с базовыми адресами на фиксированной диагонали»; *л*) «Попарное считывание с базовыми адресами на перемещаемой диагонали»; *м*) «Сдвигаемая диагональ»

Эффективность данных модификаций в основном аналогична эффективности теста «Бегущий столбец». С помощью теста второй модификации можно более тщательно проверять схемы дешифратора и усилителя считывания.

17. «Бегущая 1 (0) в столбце». В первый ЗЭ столбца записывается 1, в другие ЗЭ этого столбца 0. Затем информация из первого столбца считывается с последующей записью 0 в первый ЗЭ. Последовательность операций повторяется для второго ЗЭ столбца и т. д. до последнего ЗЭ столбца. Аналогичная процедура проводится для каждого столбца матрицы. Тест проверяет функционирование матрицы ЗЭ и работу дешифратора.

18. «Бегущая строка» (рис. 6.4,*д*). В первую строку записывается 1 на фоне 0. Информация со всей матрицы ЗЭ считывается с последующей записью 0 в первую строку. Последовательность операций повторяется для второй строки и т. д. до последней. По сравнению с тестом «Бегущий столбец» данный тест менее эффективен при проверке дешифратора столбцов и усилителей считывания.

19. «Бегущая 1 (0) в строке». В отличие от теста 17 столбец заменяется строкой. При той же продолжительности данный тест осуществляет частичную проверку усилителей считывания.

20. «Попарное считывание по строке» (рис. 6.4,*е*). Поле базовых адресов $\langle A_i \rangle$ включает в себя все ЗЭ матрицы. Для каждого базового адреса A_i полем текущих адресов $\langle A_j \rangle$ являются $(\sqrt{N}-1)$ адресов строки, на которой находится адрес A_i. При тестировании производится попарное считывание между каждым базовым адресом $A_i = 0, 1, \ldots, N-1$ и соответствующим ему полем $\langle A_j \rangle$.

21. «Попарное считывание по столбцу» аналогично предыдущему тесту с той разницей, что строка заменяется на столбец.

Известны три модификации двух последних тестов, суть которых заключается в изменении поля $\langle A_j \rangle$:

для теста «Попарное считывание по квадрату» поле ограничено адресами, соседними с адресом A_i (рис. 6.4,*ж*). Тест длительностью $42N$ циклов может использоваться для проверки влияния соседних ЗЭ друг на друга и контроля времени выборки;

для теста «Попарное считывание между соседними адресами по кресту» поле $\langle A_j \rangle$ ограничено адресами, которые являются соседними с адресом A_i по кресту (рис. 6.4,*ж*). Длительность теста — $26N$ циклов;

для теста «Попарное считывание по кресту и квадрату» поле $\langle A_j \rangle$ ограничено адресами строки и столбца, определяемыми базовым адресом A_i и четырьмя угловыми соседними адресами (рис. 6.4,*з*). Длительность теста равна 2 $(4N^{3/2}+7N)$ циклов. Эффективность данного теста близка к эффективности теста «Попарное считывание» при более тщательном контроле влияния соседних ЗЭ друг на друга.

22. «Попарное считывание по диагонали» (рис. 6.4,*и*) аналогичен тесту «Попарное считывание по строке», за исключением того, что поле $\langle A_j \rangle$ включает в себя $(\sqrt{N}-1)$ адресов диагонали, на которой находится адрес A_i. Данный тест хорошо проверяет функционирование матрицы ЗЭ и работу дешифраторов.

Модификация этого теста заключается в изменении поля базовых адресов $\langle A_i \rangle$. В диагональ записывается однородная информация и отсутствуют попарные обращения между адресами диагонали.

Если поле $\langle A_i \rangle$ принадлежит центральной диагонали, а поле $\langle A_j \rangle$ содержит ЗЭ соответствующего столбца и строки, определяемых адресом A_i (рис. 6.4,*к*), то получается тест «Попарное считывание» с базовыми адресами на фиксированной диагонали». Длительность этого теста составляет $2(6N-\sqrt{N})$ циклов. Тест проверяет функционирование матрицы ЗЭ, работу дешифраторов и контролирует время выборки.

Если поле $\langle A_i \rangle$ расширяется до $\sqrt{N}$ диагоналей (рис. 6.4,*л*), то предыдущий тест превращается в тест «Попарное считывание с базовыми адресами на перемещающейся диагонали» продолжи-

тельностью $2(4N^{3/2}+2N)$ циклов. Тест хорошо проверяет работу дешифраторов.

Тесты попарного обращения типа $N^{3/2}$ циклов характеризуются попарным считыванием. При изменении характера обращения (например, при переходе к попарной записи-считыванию или полному перебору) и при сохранении закономерности формирования базовых $\langle A_i \rangle$ и текущих $\langle A_j \rangle$ адресов могут быть созданы новые тесты.

23. «Попарная запись-считывание по строке и столбцу с полным перебором». Алгоритм теста аналогичен тесту «Попарная запись-считывание с полным перебором» с той разницей, что в качестве поля $\langle A_j \rangle$ используется ЗЭ строки и столбца, на пересечении которых находится запоминающий элемент с адресом A_i. Длина теста $2(16N^{3/2}+16N)$.

24. «Сдвигаемая диагональ». В матрицу ЗЭ последовательно записывается 0 (1), а затем в центральную диагональ записывается 1 (0) с последующим считыванием по столбцам (рис. 6.1,*г*). Подобная процедура повторяется для всех ($\sqrt{N}-1$) нецентральных диагоналей, одна из которых показана на рис. 6.4,*м*. Тест эффективно выявляет неисправности в дешифраторах и в схемах усилителей считывания.

Тесты регенерации предназначены для контроля периода регенерации t_{per} ЗМ динамического типа и подразделяются на статические и динамические.

25. «Тест регенерации статический». В матрицу ЗЭ записывается информация, выдерживается пауза, равная t_{per}, в течение которой отсутствуют обращения к ЗМ, а затем информация считывается по столбцам и сравнивается с записанной ранее.

26. «Шахматный код с регенерацией» является статическим, суть которого заключается в записи «шахматного кода» в матрицу ЗЭ, выдерживании паузы t_{per} и последующем считывании информации в отдельном столбце. При этом информация автоматически регенерируется во всех строках матрицы. Процедура повторяется для следующего столбца матрицы и т. д. до последнего.

Динамические тесты регенерации отличаются от статических тем, что в течение паузы, равной t_{per}, производятся обращения к неконтролируемым ЗЭ, причем характер обращений определяет особенности конкретного теста.

Различают три основных способа возбуждения матрицы ЗЭ в течение интервала t_{per}: обращение к отдельным строкам, обращение к отдельным столбцам, обращение к отдельным ЗЭ, расположенным по соседству с контролируемым ЗЭ.

27. «Возбуждение матрицы чтением строк». Во время паузы длительностью t_{per} производится считывание информации из нечетных строк матрицы ЗЭ. Затем проверяется правильность информации, записанной в контролируемые четные строки. Аналогичным образом проверяются нечетные строки матрицы.

Известны следующие модификации теста.

«Возбуждение матрицы записью в строки». В нечетные (четные) строки матрицы ЗЭ записывается противоположная информация в течение t_{per} с последующим считыванием из контролируемых четных (нечетных) строк. Длительность теста составляет $(2t_{per}+3N)$ циклов.

«Возбуждение матрицы записью в две строки». В i-ю строку записывается 1 (0), в $(i-1)$-ю и $(i+1)$-ю строки в течение t_{per} многократно записывается 0 (1) с последующим считыванием информации из i-й строки. Процедура повторяется для каждой строки матрицы. Длительность теста — $(2t_{per}+4N)$ циклов.

«Возбуждение матрицы обращениями к строкам». Проводятся различные операции со всеми, кроме контролируемой, строками в течение интервала времени t_{per} с последующим считыванием информации из контролируемой строки. Длительность теста равна $2(\sqrt{N}t_{per}+4N)$ циклов.

28. «Возбуждение матрицы многократной записью со считыванием по столбцам». В матрицу записывается определенный фон. В выбранный столбец записывается 1 (0). Во время паузы длительностью t_{per} в один из ЗЭ выбранного столбца записывается 0 (1). Затем информация считывается по столбцам из матрицы. Данная процедура повторяется для каждого столбца.

29. «Возбуждение матрицы многократным считыванием из столбца». В матрицу ЗЭ записывается определенный фон, а в выбранный столбец — «шахматный код». В течение паузы длительностью t_{per} производится последовательное считывание по выбранному столбцу. При этом проверяются токи утечки между соседними ЗЭ в контролируемом столбце. Утечка тока в одной строке между соседними ЗЭ маловероятна. Затем информация считывается из выбранного столбца. Процедура повторяется для каждого столбца.

30. «Возбуждение матрицы обращением по квадрату». В контролируемый ЗЭ записывается 1 (0). В течение паузы длительностью t_{per} производятся следующие многократные обращения к восьми адресам, являющимся соседними для контролируемого ЗЭ: запись 0 (1), считывание, запись 1 (0), считывание. Затем информация считывается из контролируемого ЗЭ. Процедура повторяется для всех ЗЭ матрицы.

Для сокращения числа возбуждаемых ЗЭ применяют модификации этого теста:

при обращении к угловым соседним адресам — тест «Возбуждение матрицы обращениями к угловым соседним адресам»;

при обращении к соседним адресам по «кресту» — тест «Возбуждение матрицы обращениями к соседним адресам по кресту».

Обе модификации имеют длину $2(Nt_{per}+2N)$ циклов и менее эффективно контролируют величину t_{per} по сравнению с предыдущим тестом.

Каждый тест в отдельности ориентирован на проверку определенных узлов ЗМ. Поэтому для проведения контроля может

быть использована совокупность рассмотренных тестов. Как правило, более сложные тесты включают в себя многие свойства более простых тестов.

Реальные условия производства и контроля ЗМ накладывают ограничения на длительность применяемых тестов. Длительность контроля некоторых ЗМ в режиме однократного прогона различных тестов приведена в табл. 6.3.

Очевидно, что тесты типа N^2 циклов непригодны для МДП ЗМ большой емкости из-за большого времени контроля. В подобных случаях могут быть использованы тесты типа N, $N^{3/2}$ циклов.

Тесты для многоразрядных запоминающих микросхем. В многоразрядных ЗМ возможны взаимовлияние входных и выходных разрядных шин и цепей, а также паразитные связи между усилителями и формирователями разных разрядов. При отказах подобного рода невозможно получить разнородную (нулевую и единичную) информацию в связанных разрядах. Для обнаружения таких отказов можно использовать следующие тесты.

1. Последовательное заполнение разрядов 1 и 0. Во все ЗЭ матрицы последовательно записывается однородная информация (фон), которая затем считывается. Тест повторяется $2n$ раз с многоразрядными словами фона вида 00 ... 0, 10 ... 0, 11 ... 0 и т. д. до 11 ... 1, затем от 11 ... 1, 01 ... 1, 00 ... 1 и т. д. до 00 ... 0 (n — разрядность слова ЗМ). Длина теста $4nN$ циклов. При прохождении данного теста в любых разрядах ЗМ создаются условия для хранения, приема и выдачи разнородной информации. Поэтому случай любого разрядного взаимодействия будет выявлен.

Данный тест аналогичен ранее рассмотренному тесту «Последовательная запись и считывание». В обоих тестах одинаковая последовательность операций записи и считывания, отличие состоит лишь в том, что для разных разрядов тест проводится с разными значениями фона и тестового слова. Например, если записывается слово 10 ... 0, то для первого разряда ЗМ тест проводится со значениями фона 1, а для остальных — с 0.

Для того чтобы любой из ранее рассмотренных тестов (типа N, N^2, $N^{3/2}$ циклов) обладал способностью к обнаружению взаимовлияния между разрядами, необходимо его повторить $2n$ раз с изменяемым значением фона: запись в ЗМ слова 00 ... 0, 10 ... 0,

Таблица 6.3

Тип ЗМ	Емкость ЗМ, Кбит	Время цикла ЗМ, нс	Длительность контроля ЗМ для тестов, с		
			«Последовательное заполнение со считыванием»	«Попарное считывание по диагонали»	«Попарное считывание с модификацией»
ЭСЛ	4	40	$1{,}6 \cdot 10^{-3}$	0,041	3,8
МДП	16	300	$48{,}0 \cdot 10^{-3}$	2,5	460
МДП	64	400	$256{,}0 \cdot 10^{-3}$	26,4	10^4

11 ... 0 и т. д. до 11 ... 1, а затем от 11 ... 1, 01 ... 1, 00 ... 1 и т. д. до 00 ... 0 [1].

2. «Адресный код». Если разрядность ЗМ больше или равна разрядности кода адреса, то код адреса может быть записан в выбранное слово. Тест заключается в записи и последующем чтении по каждому адресу ЗМ числа, которое равно коду адреса. Тест обеспечивает частичный контроль адресной части и имитирует обращение с псевдослучайной информацией. В каждом разряде контролируемой ЗМ после записи хранится некоторый шахматный код. Длина теста — $2N$ циклов.

3. «Сдвигаемый адресный код». Известны две модификации данного теста.

Первая модификация: по всем адресам ЗМ записывается код адреса. Затем записанная информация считывается. После этого производится запись по всем адресам, а затем считывание кода адреса, циклически сдвинутого на один разряд. Затем код адреса сдвигается на два разряда и т. д. Проверка повторяется $\log N$ раз, причем в каждом цикле повторения записывается код адреса, сдвинутый циклически на i разрядов ($i=0, 1, ..., \log N-1$ — номер цикла повторения теста). Затем рассмотренная процедура повторяется с инверсным значением кода адреса. Длина теста равна $4N \log N$ циклов обращения к ЗМ.

Вторая модификация теста отличается от предыдущей тем, что после записи информации в ЗМ организуется последовательное считывание по прямому и дополняющему адресам и так по всем адресам ЗМ. Длина теста $6N \log N$ циклов.

Рассмотренные модификации обнаруживают отказы, обусловленные взаимовлиянием разрядов контролируемой ЗМ, контролируют работоспособность ЗЭ и выявляют отказы, обусловленные взаимовлиянием ЗЭ внутри каждого разряда. Кроме того, во второй модификации за счет чередования операций чтения по прямому и инверсному кодам адреса в каждом обращении происходит переключение максимально возможного количества элементов, подключенных к адресным и разрядным цепям.

«Тяжелые» тесты для конкретных ЗМ, при использовании которых области устойчивой работы ЗМ минимальны, будут приведены в табл. 15.4.

6.3. ТЕСТЫ ДЛЯ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Тесты для полупроводниковых запоминающих устройств. Модули памяти полупроводниковых оперативных ЗУ состоят из набора ЗМ и элементов электроники обрамления, предназначенных

[1] **Андреев В. П., Иванов А. Н.** Методы испытаний схем полупроводниковой памяти//Проектирование и применение полупроводниковых интегральных схем и полупроводниковых запоминающих устройств. — М., 1977. — Вып. 33. — С. 116—118.

для дешифрации адреса столбца ЗМ и согласования входов и выходов ЗМ со схемами управления по нагрузочной способности и, в ряде случаев, по уровням сигналов (см. рис. 2.5).

С точки зрения тестирования МП и ЗУ имеют особенности по сравнению с ЗМ: бо́льшая информационная емкость; отсутствие взаимовлияния между ЗЭ различных ЗМ.

При тестировании МП и ЗУ возможны два подхода: тест запускается по всем адресам МП или ЗУ либо выбранным тестом отдельно проверяется каждый столбец ЗМ, а проверка выборки столбца ЗМ осуществляется тестом, контролирующим дешифраторы (рис. 6.5) [41].

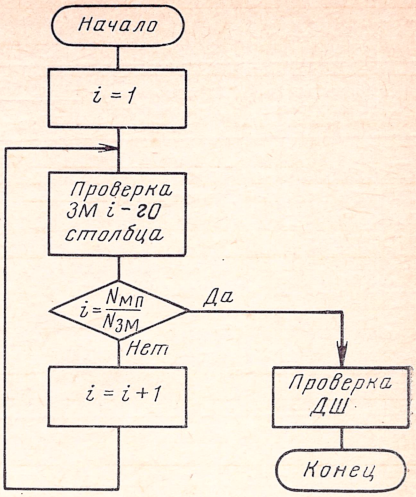


Рис. 6.5. Схема алгоритма тестирования модуля памяти

При прогоне теста по всем адресам МП число циклов проверки

$$N_{\text{ц пр}} = D_{\text{т}} N_{\text{МП}}^{\nu}, \tag{6.1}$$

где $D_{\text{т}}$ — коэффициент, определяемый типом теста; ν — степень теста. Для тестов типа N циклов $\nu = 1$; для тестов типа N^2 циклов $\nu = 2$; для тестов типа $N^{3/2}$ циклов $\nu = 3/2$.

В случае последовательной проверки столбцов ЗМ в МП длительность проверки

$$N'_{\text{ц пр}} = D_{\text{т}} (N_{\text{ЗМ}})^{\nu} \frac{N_{\text{МП}}}{N_{\text{ЗМ}}} + D_{\text{т}} \left(\frac{N_{\text{МП}}}{N_{\text{ЗМ}}} \right)^{\nu}. \tag{6.2}$$

Так как число столбцов ЗМ в МП много меньше емкости ЗМ, то

$$N'_{\text{ц пр}} \approx D_{\text{т}} (N_{\text{ЗМ}})^{\nu} \frac{N_{\text{МП}}}{N_{\text{ЗМ}}} = N_{\text{ц пр}} \frac{1}{(N_{\text{МП}}/N_{\text{ЗМ}})^{\nu-1}}. \tag{6.3}$$

Выигрыш по быстродействию для способа последовательного контроля столбцов ЗМ зависит от типа используемого теста. Для тестов типа N циклов выигрыш по быстродействию отсутствует, так как для этих тестов $\nu = 1$.

Для тестов типа N^2 циклов длительность проверки МП уменьшается в $N_{\text{МП}}/N_{\text{ЗМ}}$ раз, а тестов типа $N^{3/2}$ циклов — в $\sqrt{N_{\text{МП}}/N_{\text{ЗМ}}}$ раз. В табл. 6.4 приведено время контроля МП различной емкости для различных тестов при емкости ЗМ, равной 16К одноразрядных слов и времени обращения к ЗМ, равном 300 нс.

Анализ табл. 6.4 показывает, что тесты типа N^2 циклов непригодны для контроля ЗУ большой емкости вследствие значительной

Таблица 6.4

Наименование базового теста	Адресное поле базового теста	Время контроля МП различной емкости (К слов)			
		16	32	64	128
«Последовательное заполнение со считыванием»	Адреса ЗУ	48 мс	96 мс	192 мс	384 мс
	Адреса ЗМ	48 мс	96 мс	192 мс	384 мс
«Попарное считывание по диагонали»	Адреса ЗУ	2,5 с	7,1 с	14,1 с	28,3 с
	Адреса ЗМ	2,5 с	5 с	10 с	20 с
«Попарное считывание с модификацией»	Адреса ЗУ	7,7 мин	30,8 мин	1 ч 16 мин	1 ч 32 мин
	Адреса ЗМ	7,7 мин	15,4 мин	30,8 мин	1 ч 16 мин

длительности проверки. В этих случаях необходимо использовать либо тесты типа N, либо тесты типа $N^{3/2}$ циклов. Конкретный тип теста выбирается по результатам исследований используемых ЗМ.

С точки зрения области применения тесты ЗУ могут быть разделены на тесты для технологического производственного контроля и тесты для контроля ЗУ на этапе эксплуатации.

Тесты для технологического производственного контроля применяют при наладке МП и ЗУ, а также для приемо-сдаточных и других видов испытаний устройств. Эти тесты должны проверять МП и ЗУ в наиболее тяжелых условиях. Они должны обеспечивать максимальные значения помех по цепям питания при переключении ЗМ, наихудшие значения временных задержек внутренних и выходных сигналов ЗМ, наиболее тяжелые для используемых ЗМ адресные переходы и распределения информации.

В качестве базового теста в этом случае целесообразно использовать модификации тестов типа $N^{3/2}$ циклов (или N^2 для ЗУ малой емкости) или модификации тестов типа N («Марш»), если последние оказываются наиболее тяжелыми для применяемых ЗМ. Испытания ЗУ необходимо проводить при предельных значениях питающих напряжений и рабочих температур.

На этапе эксплуатации тесты применяются для контроля работоспособности ЗУ и поиска неисправного элемента. Большинство отказов в этом случае связано с устойчивым нарушением работоспособности ЗЭ или цепей выборки, записи и считывания данных. Поэтому для уменьшения длительности контроля достаточно использовать тесты, проверяющие функционирование элементов ЗУ (например, тест «Марш» с шахматным распределением информации в различных разрядах слова). Могут использоваться комбинации простейших тестов: например контроль ЗЭ и цепей записи и считывания данных проводят с помощью теста «Последовательная запись и считывание», а контроль адресных цепей — на одном из тестов, проверяющих правильность выборки ЗЭ, например «Адресный код».

Тесты для запоминающих устройств на ферритовых сердечниках. Характерными неисправностями ЗУ на ФС являются отказы в схемах дешифрации, нарушения паек разрядных и адресных проводов, а также однобитовые сбои в считанных с ФС сигналах (см. § 2.3).

Особенностью ЗУ на ФС с точки зрения контроля является то, что известны тяжелые распределения информации, обеспечивающие максимальную помеху от полувыбранных сердечников. Таким распределением является шахматное распределение, полностью определяемое конфигурацией обмотки считывания (см. рис. 2.11).

Вследствие значительного сходства организации ЗУ на ФС и полупроводниковых ЗУ и близкого характера ошибок многие тесты, применяемые для контроля полупроводниковых оперативных ЗУ, используются и для ферритовых ЗУ. В табл. 6.5 приведены некоторые тесты, применяемые для контроля ЗУ на ФС [1].

Тесты для ЦМД запоминающих устройств. Большинство ошибок в считанной из ЦМД ЗУ информации вызывается сбоями при

Таблица 6.5

Наименование теста	Назначение теста ЗУ на ФС
«Последовательная запись и считывание»	Обнаружение массовых ошибок, например из-за обрывов координатных шин
«Шахматный код»	Определение области устойчивой работы накопителя
«Считывание-запись в прямом и обратном направлениях»	Контроль всех узлов ЗУ
«Дождь»	Динамическая проверка ЗУ при псевдослучайном распределении информации

Таблица 6.6

Тест ЦМД ЗУ	Причина возникновения ошибки
Следующие друг за другом единичные страницы данных	Коллапс ЦМД, сбои при считывании
Несколько единичных страниц данных, за которыми следуют несколько нулевых страниц	Вертикальная репликация ЦМД, самозарождение ЦМД, сбои при считывании
Страница данных, содержащая несколько единиц, затем несколько нулей и т. д., либо чередующиеся единицы и нули	Горизонтальная репликация ЦМД, самозарождение ЦМД, сбои при считывании

[1] **Автоматизированный** стенд контроля накопителей ЗУ большой емкости на ферритовых сердечниках/В. П. Гаркуша, А. Ф. Иоффе, А. А. Крупский и др.// Вопросы радиоэлектроники. Сер. ЭВТ. — 1976. — Вып. 6. — С. 72—79.

Карасев И. А., Епихин Н. П. Анализ области устойчивой работы ферритового запоминающего устройства, имеющего структуру 2,5Д//Тр. ВНИИЭМ. — 1972. — Т. 38. — С. 358—366.

считывании, а также пропаданием (коллапсом) доменов, самозарождением ЦМД, репликацией ЦМД в соседний регистр хранения (горизонтальная репликация) или в соседний разряд своего регистра (вертикальная репликация) (см. § 2.4).

Тесты, позволяющие выявить подобные ошибки, приведены в табл. 6.6 [42, 43].

6.4. АППАРАТУРА ДЛЯ КОНТРОЛЯ ЗАПОМИНАЮЩИХ МИКРОСХЕМ

В современных устройствах реализуются следующие методы контроля [44]: алгоритмическое тестирование; тестирование на основе хранимой таблицы истинности; испытания и контроль методом сравнения с эталоном; внутримашинный контроль; тестирование в составе плат; включение в состав БИС элементов встроенного контроля.

Алгоритмическое тестирование основано на описании схем при помощи алгоритма, который закладывается в память тестера и по которому в процессе контроля вычисляются или формируются выходные и входные сигналы тестируемой схемы.

При тестировании с помощью хранимой таблицы истинности программа

Таблица 6.7

Метод контроля	Достоинства метода	Недостатки метода	Область использования
Алгоритмическое тестирование	Минимальная емкость памяти для тестовых последовательностей	Сложность алгоритмизации для нерегулярных БИС и СБИС	Выходной и входной контроль БИС
Тестирование на основе хранимой таблицы истинности	Относительная простота описания процесса тестирования	Необходимость ЗУ большой емкости	Выходной и входной контроль микропроцессоров и других логических БИС
Сравнение с эталонной БИС или СБИС	Простота и низкая стоимость аппаратно-программных средств	Необходимость высококачественных эталонов	Входной и выходной контроль ПЗУ, микропроцессоров и других логических БИС
Внутримашинный контроль	Не требуется разработка дополнительных аппаратно-программных средств	Отсутствие возможности контроля отдельных параметров БИС	Входной контроль
Контроль в составе плат	Использование имеющихся тестеров для контроля плат	Сложность контроля отдельных параметров БИС и диагностирования отказов	Входной контроль
Тестирование при наличии элементов встроенного контроля	Упрощение средств тестирования	Увеличение затрат на разработку СБИС	На всех стадиях жизненного цикла СБИС

Таблица 6.8

Система контроля	Контролируемые БИС	Область применения	Вид контроля	Максимальная частота контроля, МГц	Метод формирования тестов	Стоимость, тыс. дол.
Assutest 7700	ЗУ	Выходной и входной контроль, исследования БИС	Контроль функционирования, статических и динамических параметров	10	Алгоритмическая генерация	100—200
Adar MX-17	ЗУ, микропроцессорные, с произвольной логикой	Выходной и входной контроль	То же	5	Сравнение с эталоном	50—100
Fairchild System Sentry VII	То же	Выходной и входной контроль, исследования БИС	— » —	10	Алгоритмическая генерация, по таблице истинности	Свыше 200
Sentry VIII	— » —	То же	— » —	10	То же	Свыше 200
Sentry Series 20	— » —	— » —	— » —	20/40	— » —	Свыше 200
Xincom 5580-10	ЗУ	— » —	— » —	12,5	Алгоритмическая генерация	100—200
Xincom 5581	— » —	— » —	— » —	12,5	То же	100—200
Xincom 5582	— » —	— » —	— » —	25	— » —	100—200
Sentinel	ЗУ, микропроцессорные, с произвольной логикой	Выходной и входной контроль	— » —	10	Алгоритмическая генерация, по таблице истинности	100—200
Macrodata M-1	ЗУ	Выходной и входной контроль, исследования БИС	— » —	25	Алгоритмическая генерация	100—200
Megatest Q-8000	ЗУ, микропроцессорные, с произвольной логикой	Выходной и входной контроль	— » —	10	Сравнение с эталоном	50—100

Продолжение табл. 6.8

Система контроля	Контролируемые БИС	Область применения	Вид контроля	Максимальная частота контроля, МГц	Метоф формирования тестов	Стоимость, тыс. дол.
Q-2/20	ЗУ	Выходной и входной контроль, исследования БИС	Контроль функционирования статистических и динамических параметров	8	Алгоритмическая генерация	50—100
Q-2/40	ЗУ, микропроцессорные	То же	То же	8	То же	50—100
Micro-Control						
M-5	ЗУ	Входной контроль	Контроль функционирования	10	— » —	Ниже 25
M-7	— » —	— » —	Контроль функционирования статических и динамических параметров	10	По таблице истинности	25—50
M10-AT	ЗУ, микропроцессорные	Выходной и входной контроль, исследования БИС	То же	10	То же	50—100
M10-B	ЗУ, микропроцессорные, с произвольной логикой	То же	— » —	10	— » —	100—200
Pacific Western System						
Mustang 2	ЗУ	— » —	— » —	10	Алгоритмическая генерация	50—100
Colt	— » —	— » —	— » —	25	То же	50—100
System Sales						
LST-1	ЗУ, микропроцессорные	— » —	— » —	20	По таблице истинности	50—100

Окончание табл. 6.8

Система контроля	Контролируемые БИС	Область применения	Вид контроля	Максимальная частота контроля, МГц	Метод формирования тестов	Стоимость, тыс. дол.
8048/3870	То же	Входной контроль	Контроль функционирования	12	То же	Ниже 25
Textronics S-3260	ЗУ, микропроцессорные, гибридные с произвольной логикой	Выходной и входной контроль, исследования БИС	Контроль функционирования, статических и динамических параметров	20	Алгоритмическая генерация, по таблице истинности	Свыше 200
S-3270	То же	То же	То же	20	То же	Свыше 200
S-3280	ЗУ, микропроцессорные, с произвольной логикой	— » —	— » —	20	— » —	Свыше 200
Teradyne J-3871	ЗУ	— » —	— » —	20/40	Алгоритмическая генерация	100—200
Элекон Ф-ЗУМ	— » —	Выходной и входной контроль	Контроль функционирования	12,5	Сравнение с эталоном, по таблице истинности	—
Элекон СФ-ЗУ	— » —	Выходной и входной контроль, исследования БИС	Контроль функционирования и статических параметров	12,5	Алгоритмическая генерация, по таблице истинности	—

определяет ожидаемые реакции схемы для выбранных входных кодов, которые записываются в память тестера.

Способ сравнения с эталоном в общем виде состоит в том, что на эталонную и испытуемую схему подаются одни и те же входные сигналы от общего источника, а выходные сигналы сравниваются на компараторах и фиксируются. Поскольку эталонная и испытуемая схемы должны работать по одной и той же временной диаграмме с учетом возможных отклонений испытываемой схемы, эталонная схема должна быть наилучшим прибором данного типа.

Под внутримашинным способом понимается процедура, при которой БИС вставляется с помощью разъемных соединений в выбранную плату или блок, а плата вставляется в ЭВМ. Тестирование осуществляется в реальном режиме работы машины.

При использовании способа контроля в составе плат контролируются установленные на плате БИС с помощью тестеров, предназначенных для контроля таких плат.

Анализируя тенденции развития СБИС, в частности ЗМ, все большее количество специалистов приходит к выводу, что известными (указанными выше) методами с применением только средств внешнего контрольно-испытательного оборудования решить проблему тестирования схем не удастся. Наиболее приемлемым путем решения этой проблемы представляется введение в состав СБИС специальных схем встроенного контроля, которые в сочетании с внешними средствами обеспечили бы необходимую для практики полноту и достоверность тестирования.

Таблица 6.9

Система контроля, фирма-изготовитель	Контролируемое изделие	Емкость ЦМД ЗМ, К бит	Организация ЦМД ЗМ
Fujitsu	Кристалл	10	С общим регистром
Exester, IBM	То же	256	То же
DMT, Basis Technology Research Labs	Микросхема	1024	— » —
Bell Telephone Labs	Пластина, микросхема	68	Любая
BATS-I, BATS-II, Hewlett—Packard	Сборка, микросхема	65536	— » —
Texas Instruments	Микросхема	100	С общим регистром
ADATE-1450, ADATE-1475, Watkins—Johnson	Пластина, сборка, микросхема	65536	То же
Xincom III, Fairchild	То же	65536	Любая
Q-1012, Megatest	Пластина, кристалл, сборка, микросхема	65536	С общим регистром

В табл. 6.7 сравниваются рассмотренные методы контроля на качественном уровне [44].

Создание аппаратуры для контроля полупроводниковых ЗМ является очень сложной задачей. Сами системы контроля характеризуются высоким быстродействием, значительной стоимостью, широкой номенклатурой генерируемых тестовых последовательностей, значительными сервисными возможностями по подготовке программ тестирования, обработке и документированию результатов контроля. Поэтому наиболее широкое применение получили универсальные испытательные системы, ориентированные на контроль большой номенклатуры БИС и устройств на их основе. В табл. 6.8 приведены характеристики выпускаемых систем контроля полупроводниковых БИС (в том числе БИС ЗУ) [44—46].

Устройства для контроля ЦМД ЗМ имеют определенную специфику по сравнению с контрольно-испытательной аппаратурой полупроводниковых ЗМ. Ее основными особенностями являются: необходимость формирования сигналов специальной формы для управления передвижением, генерацией и уничтожением доменов, а также низкие уровни считанных из ЦМД ЗМ сигналов. Поэтому для контроля и испытаний ЦМД ЗМ разрабатывают и производят специальную аппаратуру, которая, как и системы для контроля полупроводниковых ЗМ, характеризуется широкими функциональными и сервисными возможностями.

В табл. 6.9 приведены основные характеристики автоматизированных систем для контроля ЦМД ЗМ [43].

Количество ЦМД ЗМ	Назначение контроля	Частота контроля, кГц	Форма токов в катушках	Способ задания распределения информации
1	Контроль	100	—	Генерируется программно
1	Контроль, определение ОУР	1000	Синусоидальная	Задается оператором
1	То же	1000	Трапецеидальная	Реплицируется одна из 16 матриц
1	— » —	360	Задается ЭВМ	Задается оператором
10	— » —	600	Треугольная	То же
1	— » —	100	— » —	— » —
1	— » —	500	— » —	Реплицируется задаваемая оператором матрица
16	— » —	600	Квадратная, треугольная, трапецеидальная, синусоидальная	То же
8	— » —	500	Треугольная, трапецеидальная, синусоидальная	— » —

ГЛАВА 7. ДИАГНОСТИРОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

7.1. ЗАДАЧИ ДИАГНОСТИРОВАНИЯ

Техническое диагностирование (или диагностирование) — есть процесс определения технического состояния объекта с определенной точностью. Результатом диагностирования ЗУ является заключение о его техническом состоянии (работоспособное или неработоспособное) с указанием места дефекта.

Диагностирование является одним из методов повышения надежности ЗУ, а именно его ремонтопригодности. Обеспечивая быстрый поиск места дефекта, диагностирование позволяет уменьшить время восстановления работоспособного состояния ЗУ и, как следствие этого, повысить коэффициент его готовности.

Различают два основных метода диагностирования: функциональное и тестовое. Функциональное диагностирование не требует специальных тестов для поиска дефекта в ЗУ; оно осуществляется в процессе работы устройства. Тестовое диагностирование производится с помощью специальных тестов; на время диагностирования работа устройства прекращается.

Функциональное диагностирование ЗУ возможно при использовании средств обнаружения и коррекции ошибок. В этом случае контроль по модулю позволяет определить адрес ЗУ, по которому имеется неисправность, а применение кодов, исправляющих ошибки, обеспечивает определение адреса и разряда, по которым возник отказ.

Тестовое диагностирование обеспечивает большую глубину поиска дефекта (вплоть до отказавшей микросхемы). Глубина поиска дефекта определяется назначением системы, в состав которой входит ЗУ, а также ее конструктивным и схемным выполнением. На практике реализуется следующая глубина поиска дефекта: до устройства (в том числе запоминающего); до типового элемента замены (ТЭЗ); до микросхемы.

Глубина поиска дефекта до устройства необходима, если ЗУ выполнено в виде единого блока или ТЭЗ, который при обнаружении в нем неисправности заменяется на исправный. Такой подход используется при малой емкости ЗУ.

Диагностирование с глубиной поиска дефекта до ТЭЗ используют, если ЗУ конструктивно выполнено в виде набора однотипных МП (ТЭЗ памяти) и одного или нескольких ТЭЗ управления. Отказавший ТЭЗ в этом случае заменяется на исправный. Этот подход применяют в ЗУ большой емкости.

Глубина поиска дефекта до микросхемы реализуется, в основном, при диагностировании уже отбракованных ТЭЗ или блоков, в которых обнаружены неисправности. Определение отказавшей микросхемы производится либо на специальном тестере, либо в составе системы, если она допускает перерывы в работе, доста-

точные для поиска отказавшей микросхемы и замены ее на исправную.

Тест поиска дефекта должен выявлять как устойчивые отказы ЗУ, так и сбои, вызванные влиянием помех, изменением временны́х параметров ЗМ на «тяжелых» адресных последовательностях и распределением информации в матрице ЗЭ, взаимовлиянием ЗЭ и т. д. Поэтому тесты поиска дефекта ЗУ строятся на базе тестов ЗМ, выявляющих наиболее характерные отказы, или совмещаются с проверяющими тестами ЗУ.

Можно выделить два основных метода поиска места дефекта в ЗУ: по характеру распределения ошибок в ЗУ; с использованием сигнатурного анализа.

При поиске места дефекта по характеру распределения ошибок в ЗУ анализируются количество и номера неисправных адресов и разрядов в ЗУ. По результатам прохождения теста определяется место отказа: ТЭЗ, ЗМ или ЗЭ, адресные, либо разрядные цепи и т. д. Для поиска отказавшей микросхемы либо неисправного проводника, контакта разъема и т. д. данный метод часто дополняется осциллографическим методом, позволяющим наблюдать сигналы в определенных точках схемы на экране осциллографа.

При использовании метода сигнатурного анализа на этапе разработки для узловых точек ЗУ определяются (расчетным путем или экспериментально для заведомо годного устройства) эталонные сигнатуры двоичных последовательностей при прохождении теста поиска дефекта. При поиске места дефекта с помощью сигнатурного анализатора определяют реальные сигнатуры в этих точках. Последовательность обхода точек определяется структурой и схемотехникой ЗУ и завершается, когда на входах анализируемого элемента ЗУ (микросхемы, соединительного проводника, контакта разъема) сигнатуры совпадают с эталонными, а на выходах отличаются от них. Анализируемый элемент в этом случае считается неисправным.

7.2. ПОИСК ДЕФЕКТА ПО ХАРАКТЕРУ РАСПРЕДЕЛЕНИЯ ОШИБОК В ЗАПОМИНАЮЩЕМ УСТРОЙСТВЕ

В основе этого метода лежит тот факт, что информационные последствия отказов различных элементов ЗУ после прохождения теста диагностирования отличаются друг от друга по количеству и местоположению неисправных адресов и разрядов (рис. 4.1, 4.2). Так, отказы ЗМ выводят из строя до $N_{ЗМ}$ адресов. Отказы элементов электроники обрамления МП приводят к ошибкам в группе разрядов по всем адресам МП (для элементов, подключенных к строкам матрицы ЗМ) или по всем ЗМ столбца матрицы (для схем выборки столбца). Многие отказы устройства управления модульного ЗУ поражают адресное пространство всех (или группы) МП.

Если при прохождении теста диагностирования запоминать информационные последствия отказов в виде матрицы распределе-

ния ошибок или в регистрах ее строк и столбцов (рис. 4.1), то по виду распределения ошибок можно судить о месте отказа.

Реализацию данного метода поиска дефекта рассмотрим на примере полупроводниковых оперативных ЗУ ЕС-3267 емкостью 1 Мбайт (64К×144 разряда) и ЕС-3269 емкостью до 8 Мбайт (512К×144 разряда) [47, 48]. В этих ЗУ реализовано аппаратно-программное диагностирование с использованием принципа микропрограммного управления — микродиагностика, которая позволяет локализовать неисправные МП с указанием отказавших ЗМ или логических микросхем, а также неисправного ТЭЗ управления.

Алгоритм работы системы микродиагностики приведен на рис. 7.1. Блок ЗУ содержит несколько МП, $A_{ош}$ на рисунке — адрес ошибки.

В качестве тестов поиска дефекта используются тесты «Последовательная запись и считывание единиц и нулей», контролиру-

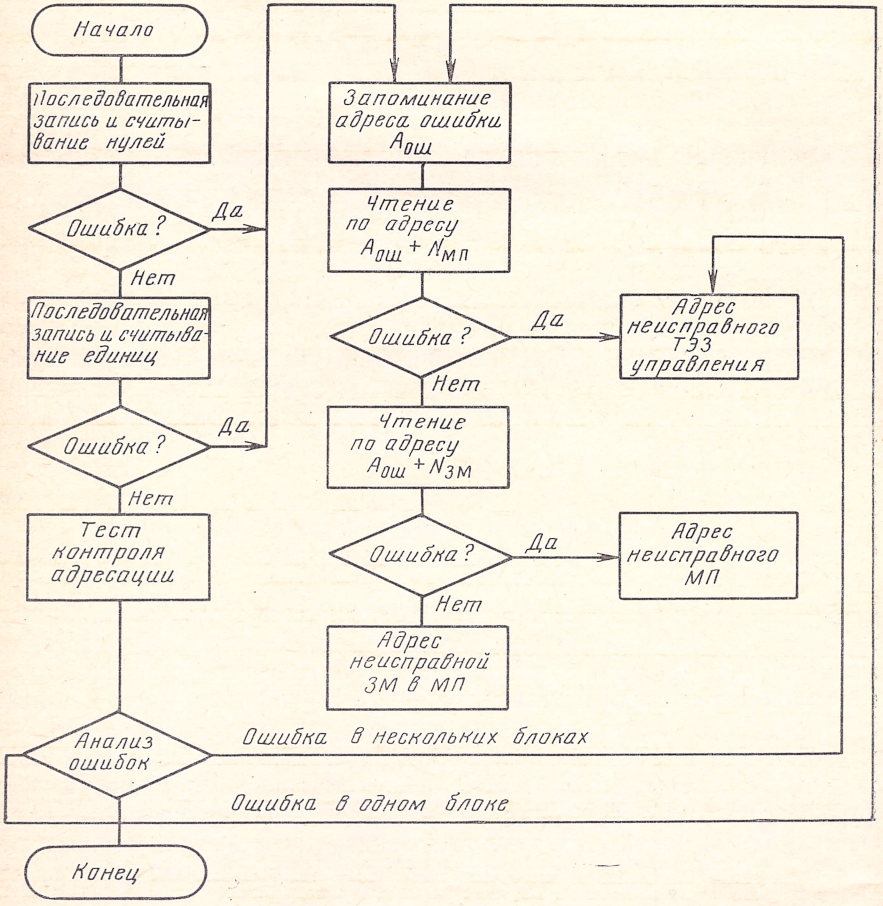


Рис. 7.1. Алгоритм микродиагностики ЗУ

ющие запись и считывание информации в ЗМ, и тесты контроля адресации, проверяющие правильность выборки требуемого адреса.

Отказавший элемент определяется по характеру распределения ошибок. Для ЗУ ЕС-3267 МП выполнен на ЗМ 565РУ1 (4К×1 бит) и имеет емкость 8 Кбайт. Для ЗУ ЕС-3269 МП имеет организацию 128К×4 разряда и построен с использованием ЗМ 565РУ3А емкостью 16К×1 бит. Полная емкость ЗУ набирается наращиванием числа МП как в разрядном, так и в адресном направлениях, что позволяет разделять отказы ТЭЗов управления и отказы МП.

Считается, что отказал один из ТЭЗов управления, если ошибка наблюдается при обращении к двум МП, имеющим различные адреса. Отказ электроники обрамления МП фиксируется, если при обращении к двум ЗМ одного МП с различными адресами обнаруживаются ошибки. В противном случае считается, что отказала ЗМ.

Рассмотренный алгоритм диагностирования обеспечивает расчетное среднее время поиска дефекта в ЗУ ЕС-3269 емкостью 8 Мбайт около 2 мин при длительности цикла обращения к ЗУ 700 нс [47].

7.3. ДИАГНОСТИРОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ МЕТОДОМ СИГНАТУРНОГО АНАЛИЗА

Основные положения. Диагностирование ЗУ методом сигнатурного анализа имеет много общего с осциллографическим методом, при котором в определенных точках схемы с помощью осциллографа наблюдаются форма и уровни сигналов. По результатам анализа делается вывод об исправности схемы и ищется место дефекта при его наличии.

Сигнатурный анализатор преобразует двоичную последовательность произвольной длины в сигнатуру, содержащую 4 шестнадцатеричных числа. При использовании сигнатурного анализатора поиск места дефекта осуществляется, как при осциллографическом методе. Отличие заключается в том, что вместо формы и уровней сигналов наблюдаются значения сигнатур.

В процессе диагностирования устройства сигнал «Старт» запускает, а сигнал «Стоп» заканчивает измерительный период (окно), в течение которого производится ввод данных в сигнатурный анализатор (рис. 7.2) [49]. Тактовый вход синхронизирует входные данные так, что они вводятся в сигнатурный анализатор по фронту и срезу тактового сигнала. Действующие фронты на входах «Старт» и «Стоп» задаются индивидуально для каждого сигнала.

Некоторые требования к входным сигналам сигнатурного анализатора:

измерительное окно, ограниченное сигналами «Старт» и «Стоп», должно быть синхронизировано с анализируемыми сигналами всех

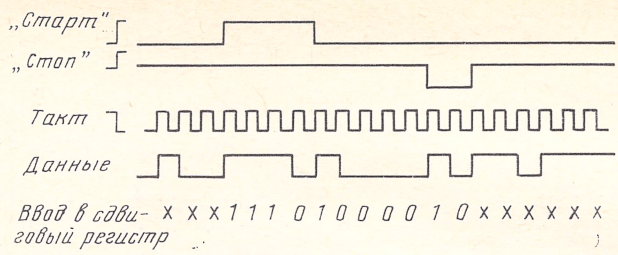


Рис. 7.2. Диаграмма работы сигнатурного анализатора;
× — данные в сдвиговый регистр не поступают

проверяемых узлов, чтобы сигнатура повторялась при повторной проверке. Число тактовых фронтов в пределах измерительного окна должно быть постоянным для контролируемого узла схемы;

данные должны быть стабильны во время пускового фронта тактового импульса;

сигналы «Старт» и «Стоп» должны быть связаны с любой из четырех комбинаций логического уровня. Это сводит к минимуму число подключений к испытуемой цепи;

желательна циклическая проверка в течение нескольких измерительных окон, что обеспечивает проверку стабильности работы схемы.

При диагностировании цифровых схем сигнатурный анализ имеет ряд достоинств по сравнению с осциллографическим методом:

возможность обнаружения одиночных искаженных бит, что трудно (а порой и невозможно) сделать с помощью осциллографа при длинных последовательностях данных;

значительно меньшие габаритные размеры и стоимость сигнатурного анализатора по сравнению с осциллографом;

меньшая трудоемкость изготовления и наладки прибора, простота обслуживания.[1]

Сигнатурный анализ применяется в основном при диагностировании микропроцессорных систем, для качественной проверки которых необходимо обрабатывать длинные последовательности данных. В качестве примера будет рассмотрено диагностирование ЗУ микропроцессорных систем методом сигнатурного анализа.

Достоверность контроля при использовании метода сигнатурного анализа. Для сжатия информации и получения таким образом сигнатуры используется сдвиговый регистр с обратными связями (рис. 7.3). При подаче очередного бита входной последовательности данных прежнее содержимое сдвигового регистра сдвигается на один разряд влево. При этом в младший разряд запи-

[1] **Chase J. T.** Computer Controlled Signature Testing of Memory Boards// Semiconductor Test Conf. — 1978. — P. 235—237.

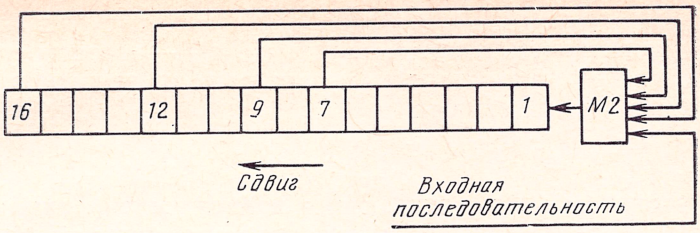


Рис. 7.3. Структурная схема сдвигового регистра с обратными связями

сывается сумма по модулю два входного бита со значениями 7, 9, 12 и 16 разрядов сдвигового регистра. Формирование сигнатуры продолжается до тех пор, пока все биты входной последовательности не будут введены в сдвиговый регистр.

Оценим достоверность самого метода контроля. Предположим, что ошибки разных типов в считанных данных равновероятны, т. е. переход от одной совокупности считанных данных к любой другой может происходить с одинаковой вероятностью.

Последовательность данных длиной N бит может принимать 2^N различных значений. В то же время n_c-разрядная сигнатура может принимать 2^{n_c} отличающихся друг от друга значений. Тогда при равновероятном появлении различных последовательностей данных одному значению сигнатуры соответствует 2^{N-n_c} различающихся входных последовательностей.

При искажении входной последовательности она может принять одно из 2^N-1 значений. Ошибка не будет обнаружена, если искаженные данные соответствуют любой из $2^{N-n_c}-1$ последовательностей данных, имеющих ту же сигнатуру, что и исходная последовательность. Тогда вероятность необнаружения ошибок равна

$$q_{об} = (2^{N-n_c} - 1)/(2^N - 1). \tag{7.1}$$

При большом N

$$q_{об} \approx 2^{-n_c}. \tag{7.2}$$

Тогда вероятность обнаружения ошибок

$$P_{об} = 1 - q_{об} \approx 1 - 2^{-n_c}. \tag{7.3}$$

При длине сдвигового регистра $n_c = 16$ вероятность обнаружения ошибки равна $1-2^{-16} \approx 0{,}9999848$.

Для программируемых пережиганием нихромовых перемычек ППЗУ и РПЗУ на МНОП-транзисторах или транзисторах с плавающим затвором характерны однобитовые независимые ошибки из-за отказов ЗЭ. Оценим достоверность контроля ППЗУ и РПЗУ методом сигнатурного анализа по отношению к таким ошибкам.

Вероятность обнаружения независимых ошибок определяется выражением

$$P_{об\,н} = 1 - \sum_{i=1}^{N} P_{ош\,н}(i)\, q_{об\,н}(i), \tag{7.4}$$

где $P_{\text{ош н}}(i)$ — вероятность появления независимых ошибок кратности i в последовательности данных; $q_{\text{об н}}(i)$ — вероятность необнаружения сигнатурным анализатором ошибки кратности i.

Для независимых ошибок

$$P_{\text{ош н}}(i) = C_N^i (1 - P_{\text{ЗЭ}})^i P_{\text{ЗЭ}}^{N-i}. \tag{7.5}$$

Исследования обнаруживающих возможностей сигнатурных анализаторов по отношению к независимым ошибкам показали, что величина $q_{\text{об н}}(i)$ определяется выражением [50]

$$q_{\text{об н}}(i) = \frac{1}{2^{n_c}} \left[1 + (2^{n_c} - 1) \left(- \frac{1}{2^{n_c} - 1} \right)^i \right]. \tag{7.6}$$

Значение $[1 - q_{\text{об н}}(i)]$ в зависимости от кратности ошибок для первых 10 значений i приведены в табл. 7.1 [50].

Подставляя значения $P_{\text{ош н}}(i)$ из (7.5) и $q_{\text{об н}}(i)$ из (7.6) в (7.4) и упрощая последнее, получаем приближенную формулу для расчета вероятности обнаружения независимых ошибок в последовательности данных:

$$P_{\text{об н}} \approx 1 - 2^{-16} \sum_{i=2}^{N} C_N^i (1 - P_{\text{ЗЭ}})^i P_{\text{ЗЭ}}^{N-i}. \tag{7.7}$$

Значения вероятности обнаружения независимых ошибок в зависимости от емкости ЗУ приведены в табл. 7.2, где $N_{\text{ЗМ}} = 16$ Кбит. Там же для сравнения приведена вероятность обнаружения ошибок сигнатурным анализатором при равной вероятности появления ошибок различных типов.

Анализ табл. 7.2 свидетельствует об очень высокой достоверности контроля хранимой в ППЗУ и РПЗУ информации методом сигнатурного анализа, что явилось одной из причин широкого его использования [51].

Таблица 7.1

Кратность ошибки	Вероятность обнаружения ошибки
1	1,000 000 000
2—10	0,999 984 741

Таблица 7.2

Емкость ЗУ, К слов	Вероятность обнаружения независимых ошибок при $P_{\text{ЗМ}}$, равном			Вероятность обнаружения равновероятных ошибок
	0,5	0,9	0,99	
16	0,999 998	1,000 000	1,000 000	0,999 985
32	0,999 994	1,000 000	1,000 000	0,999 985
64	0,999 988	0,999 999	1,000 000	0,999 985
128	0,999 986	0,999 997	1,000 000	0,998 985
256	0,999 985	0,999 993	1,000 000	0,999 985
512	0,999 985	0,999 988	1,000 000	0,999 985
1024	0,999 985	0,999 985	1,000 000	0,999 985

Диагностирование постоянных запоминающих устройств. При проверке постоянных ЗУ достаточно последовательно прочитать информацию по всем адресам и получить сигнатуру по каждому из разрядов данных. В микропроцессорных системах последовательный перебор адресов обеспечивается в режиме «свободного хода» микропроцессора. При этом шина данных ЗУ отключается от микропроцессора, а на его входы данных с помощью переходной колодки подается код команды «Нет операции» (рис. 7.4)[1]. По этой команде производится увеличение на 1 выдаваемого микропроцессором кода адреса. Входы «Старт», «Стоп» сигнатурного анализатора подключаются к старшему разряду шины адреса. На вход «Такт» анализатора (см. рис. 7.2) подается тактовый сигнал микропроцессора, причем рабочий фронт сигнала выбирается таким образом, чтобы коды на шинах в моменты, соответствующие этим фронтам, были установившимися. Данные на вход данных сигнатурного анализатора поступают с шины данных ПЗУ.

Если ЗУ содержит несколько ЗМ в адресном направлении, то для определения неисправной микросхемы может быть использована методика, которая называется «Просмотр сигнатуры в адресном окне» [49]. Дешифратор выбора ЗМ должен управляться старшими разрядами адреса выбираемого слова (рис. 7.5.). Подключая входы «Старт», «Стоп» сигнатурного анализатора к шине выбора кристалла, можно просматривать сигнатуры, соответствующие выбранным ЗМ. При этом, так как данные в сигнатурный анализатор вводятся только в интервале времени, соответствующем полю адреса выбранной микросхемы, то и сигнатура соответствует данным, хранящимся в этих ЗМ. Определение неисправной ЗМ в направлении увеличения разрядности производится путем перемещения щупа ввода данных по шинам данных.

Эффективным способом проверки ПЗУ является прогон специальных тестовых программ с использованием микропроцессорного управления. Тестовая программа, ориентированная на проверку ПЗУ, может обеспечивать выдачу информации о месте неисправности. Если программа возвращается к своему началу при обнаружении ошибки в считанных данных, то время исполнения про-

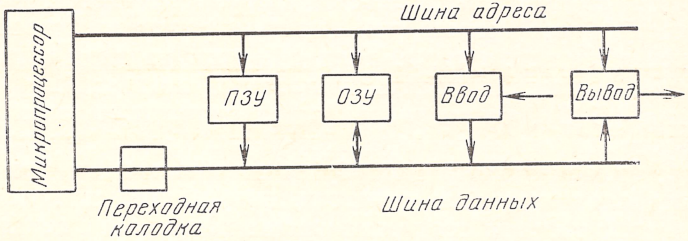


Рис. 7.4. Структурная схема микропроцессорной системы

[1] **Гордон Г., Надиг Х.** Локализация неисправностей в микропроцессорных системах с помощью шестнадцатеричных кодов//Электроника. — 1977. — № 5. — С. 23—33.

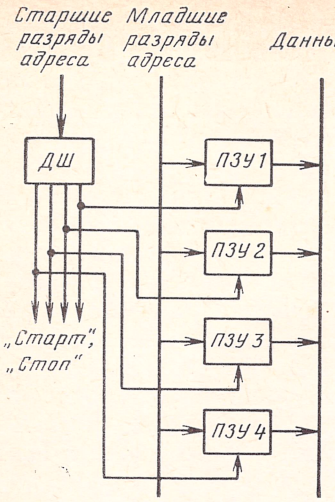


Рис. 7.5. Схема получения сигналов «Старт» и «Стоп» от дешифратора адреса

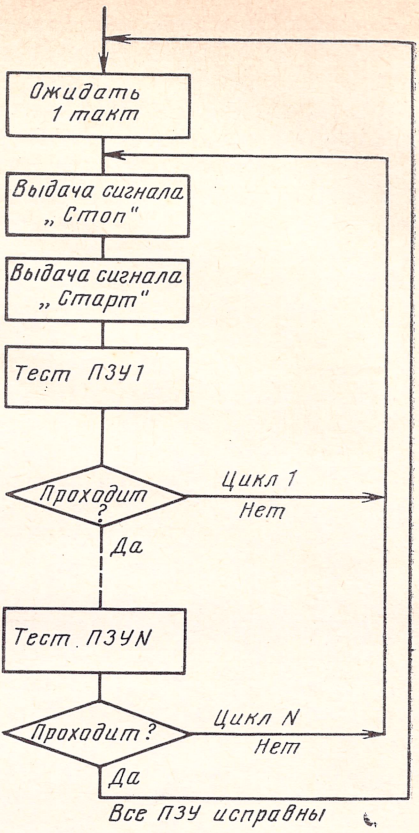


Рис. 7.6. Схема алгоритма тестовой программы для формирования сигналов «Старт» и «Стоп»

граммы, измеренное в количестве тактов, будет зависеть от того, насколько далеко она может пройти до обнаружения неисправности. Подключая входы «Старт», «Стоп» сигнатурного анализатора к элементу, состояние которого изменяется каждый раз, когда цикл проверки заканчивается, можно получить измерительное окно переменной длины. Таким образом, длительность измерительного окна в случае неисправности, которая встречается ближе к началу теста, будет меньше, чем для неисправности, встречающейся позднее при данном тесте. Если при этом на вход данных сигнатурного анализатора подать постоянный логический уровень 1 (например +5 В), то сигнатура этого единичного уровня будет зависеть от длительности окна измерения. Таким образом, каждой длине измерительного окна будет соответствовать своя сигнатура. Составляя каталоги сигнатур, полученных для различных длительностей теста и соответствующих различным неисправным компонентам, можно составить «словарь неисправностей», по которому можно определить, какой компонент является причиной первой ошибки. На рис. 7.6 приведена возможная схема алгоритма для такой процедуры [49].

Достоинством данной методики является возможность определения неисправной ЗМ при большом их числе, не меняя подключения входов «Старт», «Стоп» сигнатурного анализатора. Недостатком — то, что фиксируется только первый неисправный компонент. Дополнительные неисправности не будут обнаружены до тех пор, пока не будет исправлена первая. Для осуществления этой методики необходимо наличие определенного количества работоспособного оборудования для прогона тестовой программы.

При организации тестовой программы можно выбрать мелкие или крупные циклы проверки в тесте таким образом, чтобы проверялись определенные ПЗУ или их группы.

Диагностирование оперативных запоминающих устройств. При диагностировании оперативных ЗУ используются тесты контроля, рассмотренные в § 6.2. Для выявления неисправной микросхемы можно применять методы просмотра сигнатуры в адресном окне или определения длины петли тестовой программы, как для ПЗУ.

Особенностью ЗУ на динамических ЗМ является прерывание обращения к нему во время регенерации информации. Интервал времени регенерации может произвольно располагаться в измерительном окне. Поэтому считываемые при генерации данные произвольным образом изменяют последовательность на входе сигнатурного анализатора, что ведет к нестабильности сигнатуры.

Имеются два способа обеспечения стабильности сигнатуры [49]. Первый состоит в том, что генерируется дополнительный сигнал «Такт истинных данных», который подается на тактовый вход сигнатурного анализатора. На время регенерации этот сигнал запрещается и ввод данных в анализатор производится только тогда, когда на выходах ЗМ имеются данные, предусмотренные тестовой программой. Во время регенерации работа тестовой программы прекращается, чтобы длина измерительного окна была постоянной. Другой способ состоит в запрещении работы схемы регенерации информации во время контроля ЗУ. Условием реализации этого способа является просмотр тестовой программой всех строк ЗЭ ЗМ в течение максимально допустимого периода регенерации, так что данные будут восстанавливаться программой.

Методика проверки самих схем регенерации зависит от того, как они спроектированы. Если схемы регенерации информации управляются микропроцессором и синхронизированы с ним, то проблемы вообще нет. Если они асинхронны, их можно рассматривать как независимые устройства, работающие в автономном режиме. При подключении тактового входа сигнатурного анализатора к генератору тактовых сигналов схем регенерации, а входов «Старт» и «Стоп» — к самому старшему разряду адреса регенерации можно получить сигнатуры от остальных элементов схем регенерации, а также характеристическую сигнатуру уровня 1.

При проверке схем регенерации может оказаться необходимым осуществить сброс или остановить работу микропроцессора на время теста, чтобы исключить паразитное взаимовлияние схем регенерации и микропроцессора по адресным цепям ЗУ.

ЧАСТЬ 3

МЕТОДЫ КОРРЕКЦИИ ОШИБОК В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ

ГЛАВА 8. КОРРЕКТИРУЮЩИЕ КОДЫ ДЛЯ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

8.1. КРАТКИЕ СВЕДЕНИЯ ИЗ ТЕОРИИ КОРРЕКТИРУЮЩИХ КОДОВ

Для обнаружения и исправления ошибок к информационным разрядам слов перед их занесением в ЗУ добавляют контрольные разряды. Число контрольных разрядов зависит от количества информационных разрядов, а также от вида и кратности обнаруживаемых и исправляемых ошибок. Коды, обладающие способностями обнаруживать и исправлять возникающие в кодовых комбинациях ошибки, называются корректирующими.

В ЗУ широкое использование получили двоичные блоковые коды, линейные и циклические, в которых к блоку из k информационных разрядов добавляются r контрольных (далее называются просто линейными и циклическими кодами).

В блоковых кодах кодовые слова представляют собой последовательность конечной длины из n разрядов, называемую также блоком ($n=k+r$). В двоичных блоковых кодах каждый разряд кодового слова может принимать одно из двух значений: 1 или 0.

В линейных двоичных кодах контрольные разряды можно выбрать так, чтобы каждый из них равнялся сумме по модулю два определенных информационных разрядов. При декодировании (т. е. обнаружении и исправлении ошибок) по значениям считанных информационных разрядов определяются текущие значения контрольных разрядов, которые суммируются по модулю два с одноименными контрольными разрядами считанного слова. Полученное таким образом проверочное слово (синдром) при его ненулевом значении свидетельствует о наличии ошибки в считанном слове и для кодов, исправляющих ошибки, указывает место ошибки.

При использовании циклических кодов хранимое в ЗУ n-разрядное слово представляется в виде многочлена $B(x)$ степени $n-1$, коэффициенты которого равны значениям соответствующих разрядов слова, а сам многочлен кратен образующему многочлену кода. Наличие ненулевого остатка от деления $B(x)$ на образующий многочлен свидетельствует о наличии ошибки в слове, а по виду остатка можно определить место ошибки.

Число ошибок, которое может быть обнаружено и исправлено корректирующим кодом, определяется минимальным кодовым расстоянием d кода. В корректирующих кодах для ЗУ используется расстояние Хэмминга — кодовое расстояние $d(B_i, B_j)$ между кодовыми комбинациями B_i и B_j, равное числу разрядов, в которых одна кодовая комбинация отличается от другой [34]. Мини-

мальное расстояние, взятое по всем парам кодовых комбинаций данного кода, называется минимальным кодовым расстоянием

$$d = \min d(B_i, B_j). \tag{8.1}$$

В ЗУ, отказы в которых приводят к возникновению независимых ошибок в разрядах слов, ошибка кратности $l_{ош}$ изменяет значения $l_{ош}$ разрядов. Поэтому для обнаружения ошибок такой кратности необходимо и достаточно, чтобы любые две разрешенные комбинации имели расстояние не менее, чем $l_{ош}+1$. В этом случае ошибка кратности не более $l_{ош}$ будет приводить к возникновению запрещенной кодовой комбинации. Следует отметить, что возможно обнаружение ошибок большей кратности, если они переведут разрешенную кодовую комбинацию в запрещенную, например при $d=2$, $l_{ош}=1, 3, 5, 7, \ldots$

Для исправления ошибок кратности $l_{ош}$ избыточность кода должна быть больше, чем при их обнаружении. Если предположить, что вероятность ошибки кратности $l_{ош}$ больше вероятности ошибки кратности $l_{ош}+1$, то для исправления всех ошибок с кратностью до $l_{ош}$ включительно необходимо и достаточно, чтобы

$$d \geqslant 2l_{ош} + 1. \tag{8.2}$$

В этом случае при получении запрещенного кодового слова принимается решение, что в ЗУ было записано одно из разрешенных слов, расстояние Хэмминга которого до считанного слова не превышает значения $(d-1)/2$.

Для кодов, исправляющих пакетные ошибки, получены следующие теоретические ограничения [34]. Если разрядность пакетной ошибки равна b, то для ее обнаружения требуется не менее b контрольных разрядов, а для исправления одиночного пакета ошибок необходимо не менее $2b$ контрольных разрядов. Код, исправляющий одиночные и обнаруживающий двойные пакеты ошибок, требует не менее $3b$ контрольных разрядов.

Наибольшее применение в устройствах памяти получили следующие корректирующие коды:

коды Хэмминга, исправляющие одиночные и обнаруживающие двойные независимые ошибки;

коды, исправляющие одиночные и обнаруживающие двойные и пакетные ошибки;

БЧХ коды, исправляющие двойные и обнаруживающие тройные независимые ошибки;

коды Рида — Соломона, исправляющие одиночные и обнаруживающие двойные пакеты ошибок;

коды Файра, обнаруживающие и исправляющие одиночные пакеты ошибок.

Рассмотрению этих кодов и их модификаций посвящена данная глава.

Матричное представление линейных кодов. Для описания свойств и возможностей кодов используют проверочные H-матрицы. H-матрица линейного кода содержит r строк и n столбцов. Каждому столбцу матрицы ставится в соответствие один разряд n-разрядного слова. Каждая строка H-матрицы содержит единицы в позициях, соответствующих информационным разрядам слова, значения которых суммируются для получения соответствующего контрольного разряда. Для вычисления контрольного разряда соответствующий ему столбец H-матрицы должен содержать единицу в рассматриваемой строке и нули в остальных позициях.

H-матрица для кода $(n, k) = (31, 26)$, исправляющего одиночные независимые ошибки, имеет следующий вид:

$$H = H'_{5,26}\, I_5 = \left|\begin{array}{l} 00000000000011111111111111 \quad 10000 \\ 00001111111000000011111111 \quad 01000 \\ 01110001111000111100001111 \quad 00100 \\ 10110110011011001100110011 \quad 00010 \\ 11011010101101010101010101 \quad 00001 \\ \text{и}_1 \qquad\qquad\qquad\qquad \text{и}_{26}\, c_5 \quad c_1 \end{array}\right|. \tag{8.3}$$

Столбцы 1—26 матрицы $H'_{5,26}$ ставятся в соответствие информационным разрядам слова $\text{и}_1 \ldots \text{и}_{26}$, столбцы $c_1 \ldots c_5$ квадратной единичной матрицы I_5 — контрольным разрядам.

Для получения значения разряда синдрома необходимо сложить по модулю два информационные и контрольные разряды считанного слова, которым соответствуют единицы в строке H-матрицы. В матричной форме выражение для вычисления разрядов синдрома имеет вид

$$\begin{bmatrix} S_r \\ \vdots \\ S_1 \end{bmatrix} = [H] \begin{bmatrix} \text{и}_1 \\ \vdots \\ \text{и}_k \\ c_r \\ \vdots \\ c_1 \end{bmatrix}, \tag{8.4}$$

где $\begin{bmatrix} S_r \\ \vdots \\ S_1 \end{bmatrix}$, $\begin{bmatrix} \text{и}_1 \\ \vdots \\ \text{и}_k \\ c_r \\ \vdots \\ c_1 \end{bmatrix}$ — матрицы-столбцы, соответствующие r-разрядному синдрому и n-разрядному слову, $[H]$ — H-матрица.

При нулевом значении разрядов синдрома ошибка отсутствует. Если возникла ошибка в одном из разрядов считанного слова, то значение синдрома не равно нулю. Значение синдрома при одиночной ошибке равно значению столбца H-матрицы, соответствующего ошибочному разряду слова. Например, при искажении разряда и_2 значение синдрома равно 00101, а ошибка в разряде c_1 соответствует значению синдрома 00001 [см. (8.3)].

При появлении двухразрядной ошибки синдром равен сумме по модулю два столбцов H-матрицы, соответствующих искаженным разрядам. Так, при искажении разрядов и_1 и и_3 значение синдрома равно 00101 и, следовательно, рассматриваемый код позволяет исправить одноразрядные или обнаружить двухразрядные ошибки.

H-матрицы обладают следующими основными свойствами [34, 52]:

число единиц в каждом из столбцов H-матрицы, соответствующих информационным разрядам слова, должно быть не меньше d—1;

при перестановке столбцов H-матрицы корректирующие свойства кода по отношению к независимым ошибкам в разрядах слов не изменяются;

при умножении строк H-матрицы на ненулевые элементы и сложении одной строки с другой корректирующие свойства кода не изменяются.

Знание данных свойств H-матриц необходимо при анализе и преобразовании проверочных матриц кодов.

Так, все столбцы H-матрицы (8.3) различные. Кроме этого, столбцы, соответствующие информационным разрядам слова, содержат не менее двух единиц. Поэтому код, задаваемый H-матрицей (8.3), имеет минимальное кодовое рас-

стояние $d=3$, т. е. позволяет исправлять одиночные или обнаруживать независимые двойные ошибки.

Представление циклических кодов с помощью образующих многочленов. Циклические коды удобно рассматривать, представляя комбинацию двоичного кода не в виде последовательности единиц и нулей, а в виде полинома некоторой степени

$$B(x) = b_{n-1}x^{n-1} + b_{n-2}x^{n-2} + \ldots + b_1 x + b_0, \tag{8.5}$$

где x — основание системы счисления; b_i — цифры данной системы счисления (для двоичной системы 0 и 1).

Например, двоичная последовательность 01001 может быть записана в виде полинома от переменной x:

$$B(x) = 0x^4 + 1x^3 + 0x^2 + 0x + 1x^0 = x^3 + 1. \tag{8.6}$$

Представление кодовых комбинаций в виде полинома (8.5) позволяет свести действия над кодами к действиям над многочленами. При этом сложение двоичных многочленов сводится к сложению по модулю два коэффициентов при равных степенях x. Умножение производится по правилу перемножения степенных функций, однако полученные при этом коэффициенты при одинаковой степени x складываются по модулю два. Деление осуществляется по правилу деления степенных функций, при этом операции вычитания заменяются операциями суммирования по модулю два.

Идея построения циклических кодов базируется на использовании неприводимых примитивных многочленов. Неприводимым называется многочлен, который не может быть представлен в виде произведения многочленов низших степеней. Примитивный неприводимый многочлен обеспечивает максимальную длину корректирующего кода. Значения примитивных неприводимых многочленов до 9-й степени включительно приведены в [52], до 16-й степени — в [34].

Примитивные неприводимые многочлены в теории циклических кодов играют роль образующих многочленов или полиномов. Степень образующего многочлена r и разрядность кода n связаны соотношением $n=2^r-1$. На качественном уровне это соотношение можно пояснить следующим образом. При исправлении корректирующим кодом одноразрядных ошибок по значению остатка от деления принятой кодовой комбинации на образующий многочлен судят о номере искаженного разряда. Поэтому максимальная разрядность кода должна быть равна числу остатков по модулю образующего многочлена, т. е. равна 2^r-1.

Для получения разрешенной комбинации циклического n-разрядного кода используется следующий способ. Кодовая комбинация k-разрядного кода $J(x)$, соответствующая информационным разрядам числа, умножается на одночлен x^r. К полученному произведению добавляется остаток $R(x)$, полученный в результате деления произведения $J(x)x^r$ на образующий многочлен.

При построении циклических кодов данным способом расположение информационных разрядов во всех комбинациях слова строго упорядоченно — они занимают k старших разрядов комбинации, а остальные $(n-k)$ разрядов отводятся под проверочные, контрольные разряды.

В качестве примера рассмотрим получение разрешенной кодовой комбинации для кода, исправляющего одноразрядные ошибки, образующий полином ко-

торого $G(x)=x^3+x^2+1$. Так как образующий полином — третьей степени, то общее число разрядов кода $n=2^r-1=7$.

Для комбинации информационных разрядов 0111 многочлен $J(x)=x^2+x+1$. Произведение $J(x)x^r=x^5+x^4+x^3$. Осуществим деление

$$\frac{J(x)x^r}{G(x)}=\frac{x^5+x^4+x^3}{x^3+x^2+1}=x^2+1+\frac{1}{x^3+x^2+1}.$$

Остаток от деления равен 1. Тогда разрешенная кодовая комбинация $B(x)=J(x)x^3+R(x)=x^5+x^4+x^3+1$ или в двоичной форме 0111001.

Представление циклических кодов с помощью проверочных Н-матриц. Циклический код может быть представлен с помощью H-матрицы вида (8.3). Представим столбцы H-матрицы в виде многочленов от x степени $(r-1)$, причем единичному элементу столбца, принадлежащему первой нижней строке матрицы, соответствует x^0, а единичному элементу последней верхней строки — x^{r-1}. Тогда все столбцы матрицы могут быть получены как остатки от деления x^i на образующий многочлен $G(x)$ (i — номер разряда числа минус 1; $0\leqslant i\leqslant n-1$).

При $r=5$ в качестве образующего многочлена выберем неприводимый многочлен $G(x)=x^5+x^2+1$. Тогда H-матрица циклического кода (31, 26) имеет вид

$$H=\begin{bmatrix}0000100101100111110001101110101\\0001001011001111100011011101010\\0010010111001111100011011010100\\0100001001011001111100011011101\\1000010010110011111000110111010\end{bmatrix}. \qquad (8.7)$$

Код, задаваемый данной H-матрицей, имеет такие же корректирующие способности по отношению к независимым ошибкам, как и код, задаваемый матрицей (8.3), поскольку H-матрицы (8.7) и (8.3) отличаются лишь положением столбцов.

Представление столбцов Н-матриц для кодов, исправляющих пакетные ошибки. Рассмотрим коды, исправляющие пакетные ошибки с разрядностью b. Разобьем информационную кодовую комбинацию $и_1 \ldots и_k$ на пакеты с разрядностью b, внутри которых группируются ошибки:

$$\underbrace{и_1 \ldots и_b}_{\text{1-й пакет}}\ \underbrace{и_{b+1} \ldots и_{2b}}_{\text{2-й пакет}}\ \ldots\ \underbrace{и_{k-b+1} \ldots и_k}_{\frac{k}{b}\text{-й пакет}}.$$

Двоичные разряды, входящие в один пакет, рассматриваются как g-значный разряд, который может принимать любое из g значений от 0 до $g-1$. Значение g определяется выражением

$$g=2^b. \qquad (8.8)$$

В качестве элементов столбцов H-матрицы в этом случае используются не 1 и 0, как для двоичных кодов, а матрицы h^β, значения которых определяются выражением

$$h^\beta=[\,\alpha^{\beta+b-1}\ \alpha^{\beta+b-2}\ \ldots\ \alpha^{\beta+b-b}], \qquad (8.9)$$

где $\alpha^{\beta+b-i}$ — столбец, соответствующий остатку от деления $x^{\beta+b-i}$ на порождающий многочлен $G(x)$ степени b; β — показатель степени матрицы, $1\leqslant\beta\leqslant$

$\leqslant 2^b-1$. В качестве порождающего полинома используется неприводимый примитивный полином степени b, который обеспечивает максимальное число различных матриц $h\beta$, равное 2^b-1. Значения неприводимых полиномов для типичных разрядностей пакетов ошибок приведены в табл. 8.1. Порождающие полиномы для других значений разрядности пакетов ошибок приведены в [52].

Таблица 8.1

Разрядность пакета ошибок	Порождающий многочлен матриц $h\beta$
2	x^2+x+1
4	x^4+x+1
8	$x^8+x^7+x^6+x+1$

При разрядности пакета $b=4$ матрицы $h\beta$, получаемые согласно выражению (8.9), имеют следующий вид:

$$h^1=\begin{bmatrix}0100\\0010\\1001\\1000\end{bmatrix},\quad h^2=\begin{bmatrix}0010\\1001\\1100\\0100\end{bmatrix},\quad h^3=\begin{bmatrix}1001\\1100\\0110\\0010\end{bmatrix},\quad h^4=\begin{bmatrix}1100\\0110\\1011\\1001\end{bmatrix},\quad h^5=\begin{bmatrix}0110\\1011\\0101\\1100\end{bmatrix},$$

$$h^6=\begin{bmatrix}1011\\0101\\1010\\0110\end{bmatrix},\quad h^7=\begin{bmatrix}0101\\1010\\1101\\1011\end{bmatrix},\quad h^8=\begin{bmatrix}1010\\1101\\1110\\0101\end{bmatrix},\quad h^9=\begin{bmatrix}1101\\1110\\1111\\1010\end{bmatrix},\quad h^{10}=\begin{bmatrix}1110\\1111\\0111\\1101\end{bmatrix},$$

$$h^{11}=\begin{bmatrix}1111\\0111\\0011\\1110\end{bmatrix},\quad h^{12}=\begin{bmatrix}0111\\0011\\0001\\1111\end{bmatrix},\quad h^{13}=\begin{bmatrix}0011\\0001\\1000\\0111\end{bmatrix},\quad h^{14}=\begin{bmatrix}0001\\1000\\0100\\0011\end{bmatrix},\quad h^{15}=\begin{bmatrix}1000\\0100\\0010\\0001\end{bmatrix}. \tag{8.10}$$

Матрица h^{15} является единичной I. За нулевую принимается матрица, все элементы которой равны нулю. Полученные матрицы вместе с нулевой образуют поле матриц и так же, как и столбцы H-матриц двоичных кодов, могут суммироваться, умножаться и делиться. Правила сложения матриц иллюстрирует табл. 8.2. При умножении показателя степени матрицы суммируются по модулю 2^b-1. При делении матриц показатель степени матрицы-делителя вычитается из показателя степени матрицы-делимого по модулю 2^b-1.

8.2. КОДЫ, ИСПРАВЛЯЮЩИЕ ОДНОРАЗРЯДНЫЕ И ОБНАРУЖИВАЮЩИЕ ДВУХРАЗРЯДНЫЕ ОШИБКИ

Наиболее распространенными линейными кодами являются коды Хэмминга с минимальным кодовым расстоянием $d=3$, исправляющие все одноразрядные ошибки, а также коды с минимальным кодовым расстоянием $d=4$, исправляющие все одноразрядные и обнаруживающие все двухразрядные ошибки.

Характерной особенностью H-матрицы кода с $d=3$ является то, что ее столбцы представляют собой любые различные ненулевые комбинации длиной r. Например, при $r=5$ и $n=31$ проверочная H-матрица имеет вид (8.3).

Использование такого кода позволяет исправить любую одноразрядную ошибку, так как все столбцы H-матрицы различные, и

Таблица 8.2

Первое слагаемое	Результат сложения для значений второго слагаемого														
	1	h	h^2	h^3	h^4	h^5	h^6	h^7	h^8	h^9	h^{10}	h^{11}	h^{12}	h^{13}	h^{14}
1	0														
h	h^4	0													
h^2	h^8	h^5	0												
h^3	h^{14}	h^9	h^6	0											
h^4	h	1	h^{10}	h^7	0										
h^5	h^{10}	h^2	h	h^{11}	h^8	0									
h^6	h^{13}	h^{11}	h^3	h^2	h^{12}	h^9	0								
h^7	h^9	h^{14}	h^{12}	h^4	h^3	h^{13}	h^{10}	0							
h^8	h^2	h^{10}	1	h^{13}	h^5	h^4	h^{14}	h^{11}	0						
h^9	h^7	h^3	h^{11}	h	h^{14}	h^6	h^5	1	h^{12}	0					
h^{10}	h^5	h^8	h^4	h^{12}	h^2	1	h^7	h^6	h	h^{13}	0				
h^{11}	h^{12}	h^6	h^9	h^5	h^{13}	h^3	h	h^8	h^7	h^2	h^{14}	0			
h^{12}	h^{11}	h^{13}	h^7	h^{10}	h^6	h^{14}	h^4	h^2	h^9	h^8	h^3	1	0		
h^{13}	h^6	h^{12}	h^{14}	h^8	h^{11}	h^7	1	h^5	h^3	h^{10}	h^9	h^4	h	0	
h^{14}	h^3	h^7	h^{13}	1	h^9	h^{12}	h^8	h	h^6	h^4	h^{11}	h^{10}	h^5	h^2	0

каждой одноразрядной ошибке соответствует свое значение синдрома, равное соответствующему столбцу матрицы. Данный код может обнаружить все произвольные двухразрядные ошибки. Это обусловлено тем, что все столбцы H-матрицы различные и сумма любых двух столбцов не равна нулю. Однако исправление одноразрядных ошибок в последнем случае невозможно.

Длина кода Хэмминга с минимальным кодовым расстоянием $d=3$ определяется выражением

$$n=2^r-1. \tag{8.11}$$

Код Хэмминга с минимальным кодовым расстоянием $d=4$ получается путем добавления к коду Хэмминга с $d=3$ одного дополнительного проверочного разряда. Длина кода при этом равна

$$n=2^{r-1}. \tag{8.12}$$

H-матрица для кода (32, 26) с $d=4$ имеет следующий вид:

$$H=\begin{bmatrix} 00000000000011111111111111111 & 100000 \\ 00001111111100000001111111 & 010000 \\ 01110001111000111100001111 & 001000 \\ 10110110011011001100110011 & 000100 \\ 11011010101101010101010101 & 000010 \\ 11101101001110100110010110 & 000001 \end{bmatrix}. \tag{8.13}$$

$и_1$ $\qquad\qquad$ $и_{26}$ c_6 $\quad c_1$

Данная H-матрица образуется из H-матриц (8.3) кода с $d=3$ путем добавления нулевого столбца и затем добавлением строки, элемент которой равен 1, если он принадлежит столбцу исходной матрицы с четным числом единиц, и равен нулю, если столбец исходной матрицы содержит нечетное число единиц. Число единиц в любом из столбцов полученной H-матрицы нечетно. Поэтому одноразрядной ошибке соответствует синдром с нечетным числом единиц, равный соответствующему столбцу H-матрицы. Двухразрядная ошибка влечет появление синдрома с четным числом единиц, так как сумма двух различных столбцов с нечетным числом единиц равна ненулевой комбинации с четным числом единиц. Таким образом, нечетность или четность полученного синдрома свидетельствует о наличии одноразрядной или двухразрядной ошибки в слове.

Разрядность ЗУ, как правило, кратна байту. Поэтому при использовании в ЗУ корректирующих кодов приходится решать задачу получения укороченных кодов с заданным минимальным кодовым расстоянием $d=4$, H-матрицы которых имеют меньшее число столбцов, например по сравнению с (8.13). Эта задача решается путем построения H-матрицы для неукороченного кода с наименьшим значением r, удовлетворяющим условию

$$2^{r-1}-r \geqslant k, \tag{8.14}$$

из которой удаляются лишние столбцы. При этом из исходной H-матрицы целесообразно исключать столбцы с максимальным числом единиц для того, чтобы уменьшить число суммируемых по модулю два слагаемых для получения контрольных разрядов и разрядов синдрома и упростить устройства кодирования и декодирования. Столбцы матрицы, содержащие по одной единице, соответствуют контрольным разрядам и исключению не подлежат.

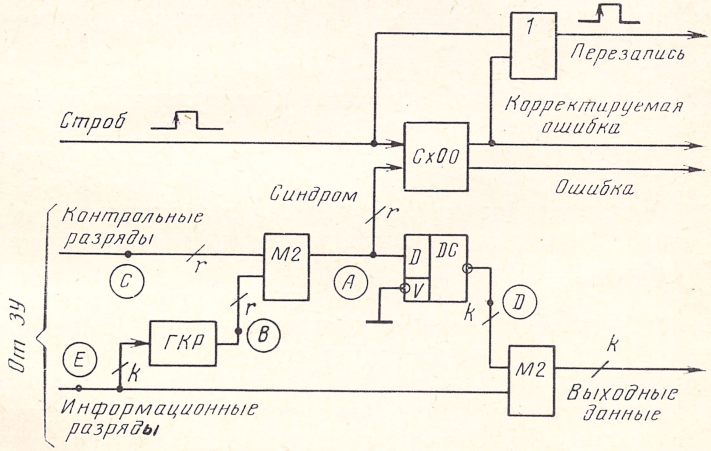


Рис. 8.1. Структурная схема устройства обнаружения и коррекции ошибок в ЗУ

Таблица 8.3

Число информационных разрядов	8	16	32	64	128
Число контрольных разрядов	5	6	7	8	9
Общее число разрядов	13	22	39	72	137

H-матрица укороченного кода (22, 16), полученная из матрицы (8.13), имеет вид

$$H = \begin{bmatrix} 0000000011111111 & 100000 \\ 0000111100001111 & 010000 \\ 0111010101010111 & 001000 \\ 1110110011001110 & 000100 \\ 1101001100111101 & 000010 \\ 1011101010101011 & 000001 \end{bmatrix} . \qquad (8.15)$$

$и_1 \qquad\qquad и_{16}\ c_6 \quad c_1$

Устройство кодирования состоит из шести сумматоров по модулю два, формирующих контрольные разряды согласно строкам H-матрицы (8.15). Структурная схема устройства обнаружения и коррекции ошибок приведена на рис. 8.1, на котором обозначены: ГКР — генератор контрольных разрядов, М2 — сумматор по модулю два, СхОО — схема обнаружения ошибок. Схема обнаружения ошибок формирует сигнал корректируемой ошибки при нечетном значении числа единиц в разрядах синдрома и некорректируемой ошибки («Ошибка»), если число единиц в разрядах синдрома четно [53].

Параметры укороченных кодов Хэмминга, исправляющих одноразрядные и обнаруживающих двухразрядные ошибки, рекомендуемых для применения в ЗУ, приведены в табл. 8.3.

8.3. КОДЫ, ИСПРАВЛЯЮЩИЕ ОДНОРАЗРЯДНЫЕ И ОБНАРУЖИВАЮЩИЕ ДВУХРАЗРЯДНЫЕ И ПАКЕТНЫЕ ОШИБКИ

В ЗУ отказы и сбои ЗЭ приводят к одноразрядным ошибкам в словах, а отказы большинства элементов электроники обрамления — к пакетным ошибкам. Интенсивность пакетных ошибок значительно меньше интенсивности одноразрядных ошибок (см. § 2.2). Поэтому целесообразно использовать корректирующие коды, исправляющие одноразрядные и обнаруживающие двухразрядные и пакетные ошибки.

Создание n-разрядного кода с указанными корректирующими свойствами, имеющего r контрольных разрядов, сводится к построению H-матрицы, содержащей r строк и n столбцов, сгруппированных в b-разрядные пакеты. H-матрица такого кода должна обладать следующими свойствами: все столбцы различны и не равны нулю, что обеспечивает исправление кодом одноразрядных ошибок; поразрядная сумма любых двух столбцов матрицы и лю-

бого количества столбцов каждого из пакетов не равна нулю и ни одному из столбцов матрицы, вследствие чего обнаруживаются все двухразрядные и пакетные ошибки.

Указанными свойствами обладают следующие корректирующие коды, первоначально полученные авторами путем компоновки столбцов H-матрицы кода Хэмминга таким образом, чтобы полученная матрица обладала сформулированными свойствами [54, 55].

Коды модификации 1. Проверочная H-матрица таких кодов имеет вид

$$H = \begin{bmatrix} h_0 & h_1 & h_2 & \dots & h_{n'} \\ I & I & I & \dots & I \end{bmatrix}, \tag{8.16}$$

где I — единичная матрица размерностью $b \times b$; $n' = 2^{r-b} - 1$; h_i — матрицы размерностью $(r-b) \times b$, столбцы $h_{j,l}$ каждой из которых представляют собой двоичный код номера i, т. е.

$$i = \sum_{j=1}^{z} h_{j,l} \cdot 2^{j-1}, \tag{8.17}$$

где $z = r - b$.

При $r = 7$, $b = 4$ матрицы I, h_i имеют следующий вид:

$$I = \begin{bmatrix} 1000 \\ 0100 \\ 0010 \\ 0001 \end{bmatrix}, \quad h_0 = \begin{bmatrix} 0000 \\ 0000 \\ 0000 \end{bmatrix}, \quad h_1 = \begin{bmatrix} 1111 \\ 0000 \\ 0000 \end{bmatrix}, \quad h_2 = \begin{bmatrix} 0000 \\ 1111 \\ 0000 \end{bmatrix}, \quad h_3 = \begin{bmatrix} 1111 \\ 1111 \\ 0000 \end{bmatrix},$$

$$h_4 = \begin{bmatrix} 0000 \\ 0000 \\ 1111 \end{bmatrix}, \quad h_5 = \begin{bmatrix} 1111 \\ 0000 \\ 1111 \end{bmatrix}, \quad h_6 = \begin{bmatrix} 0000 \\ 1111 \\ 1111 \end{bmatrix}, \quad h_7 = \begin{bmatrix} 1111 \\ 1111 \\ 1111 \end{bmatrix}.$$

H-матрица (8.16) обладает следующими свойствами:

все столбцы H-матрицы различные и содержат в младших b разрядах по одной единице (нумерация разрядов в столбце — снизу вверх);

поразрядная сумма любых двух столбцов H-матрицы содержит в младших b разрядах две или ни одной единицы и не равна ни одному из столбцов матрицы;

сумма любого количества столбцов в пределах пакета, совпадающего с матрицами I или h_i, содержит в младших b разрядах не менее двух единиц и не равна ни одному из столбцов H-матрицы;

максимальное число столбцов в H-матрице, равное длине кода,

$$n_1 = 2^{r-b}\, b. \tag{8.18}$$

Как уже отмечалось, в ЗУ с разрядностью слов, кратной байту, используются укороченные коды. С целью сохранения корректирующих свойств кодов и упрощения устройств кодирования и декодирования получение укороченных кодов должно проводиться путем исключения из H-матрицы избыточных пакетов, содержащих максимальное число единичных строк. При использовании

в ЗУ многоразрядных ЗМ или МП с разрядностью b практическое значение имеют коды с длиной n, кратной b. В этом случае необходимо знать, обеспечивает ли код требуемое количество информационных разрядов слова. В табл. 8.4 сравниваются максимальное число информационных разрядов для данных кодов при общем числе разрядов в слове, кратном b, с кодами Хэмминга и кодами модификации 2, которые будут рассмотрены ниже.

В качестве примера рассмотрим код для ЗУ с числом информационных разрядов, равным 16, реализованного на 4-разрядных ЗМ. Проверочная H-матрица размерностью 7×24 получается из H-матрицы 7×32 вида (8.16) исключением пакетов столбцов, совпадающих с матрицами h_6 и h_7:

$$H = \begin{bmatrix} 0000 & 0000 & 0000 & 0000 & 1111 & 1111 \\ 0000 & 0000 & 1111 & 1111 & 0000 & 0000 \\ 0000 & 1111 & 0000 & 1111 & 0000 & 1111 \\ 1000 & 1000 & 1000 & 1000 & 1000 & 1000 \\ 0100 & 0100 & 0100 & 0100 & 0100 & 0100 \\ 0010 & 0010 & 0010 & 0010 & 0010 & 0010 \\ 0001 & 0001 & 0001 & 0001 & 0001 & 0001 \end{bmatrix}. \qquad (8.19)$$

$c_4 \ldots c_1 \quad c_5 \quad c_6 \quad c_7 \quad p$

При нумерации столбцов H-матрицы слева направо контрольным разрядам соответствуют 1—4, 8, 12, 20-й столбцы. Остальным столбцам H-матрицы соответствуют информационные разряды слова. Один из столбцов p — резервный.

В H-матрице (8.19) лишь 4 столбца содержат по единице. Они поставлены в соответствие контрольным разрядам $c_1 \ldots c_4$. В то же время количество контрольных разрядов, равное числу строк матрицы, составляет 7. Поэтому трем контрольным разрядам ($c_5 \ldots c_7$) приходится ставить в соответствие столбцы матрицы с двумя единицами, вследствие чего значения этих разрядов будут входить в соотношение для формирования одного из контрольных разрядов [для матрицы (8.19) — c_1].

Правило определения столбцов H-матрицы, соответствующих контрольным разрядам, следующее. Рассматривается матрица вида (8.19) без одной строки (для рассмотренного примера — нижней). Столбцы полученной матрицы, содержащие по одной еди-

Таблица 8.4

Разряды	Разрядность пакетной ошибки	Число разрядов						
Информационные кода модификации 1	4	17	25	32	40	63	71	134
	8	14	22	29	37	60	68	131
Информационные кода модификации 2	4	17	25	33	41	64	72	135
Информационные кода Хэмминга	—	18	26	33	41	64	72	135
Общее число	—	24	32	40	48	72	80	144

нице, ставятся в соответствие контрольным разрядам $c_2 \dots c_7$, а нулевой столбец — разряду c_1. Тогда в полной матрице вида (8.19) столбец, соответствующий c_1, будет содержать одну единицу. Подобным образом может быть выбрано положение контрольных разрядов в матрице при других значениях n и b.

При таком выборе столбцов H-матрицы, соответствующих контрольным разрядам, значение разряда c_1 при кодировании (или разряда синдрома S_1 при декодировании) формируется с задержкой относительно значений разрядов $c_2 \dots c_7$ (или $S_2 \dots S_7$), так как значения последних необходимо суммировать для получения c_1 (или S_1).

Схемы устройства кодирования и декодирования кода (8.19) отличаются от соответствующих устройств кода Хэмминга логикой формирования сигнала ошибки. Сигнал неисправляемой ошибки (двухразрядной или пакетной) формируется при ненулевом значении синдрома и при наличии в его разрядах с номерами 1—4 более одной единицы или при отсутствии единиц [54].

Коды модификации 2. Область существования данных кодов определяется соотношением

$$r \geqslant 2(b-1)+1. \tag{8.20}$$

При $r=2(b-1)+1$ проверочная H-матрица кода модификации 2 имеет вид

$$H' = \begin{bmatrix} I_0 I_1 \dots I_{b-1} h_3 h_5 \dots h_{n''} I_0 I_0 \dots I_0 \\ I_0 I_0 \dots I_0 \quad I_0 I_0 \dots I_0 \; h_3 h_5 \dots h_{n''} \\ E\,E \dots E \quad E\,E \dots E \; E\,E \dots E \end{bmatrix}, \tag{8.21}$$

где I_0 — матрица размерностью $(b-1)\times b$, содержащая единичную матрицу $(b-1)\times(b-1)$ в первых $(b-1)$ столбцах и нулевой столбец с номером b; I_i — матрица, полученная путем циклического сдвига столбцов матрицы I_0 на i столбцов влево; h_i — матрица размерностью $(b-1)\times b$, элементы столбцов $h_{k,j}$ каждой из которой связаны с номером матрицы i выражением (8.17) при $z=b-1$, причем в каждом столбце матриц h_i содержится не менее двух единичных элементов; E — матрица размерностью $1\times b$, содержащая только единичные элементы: $n''=2^{b-1}+1$.

При $r=7$, $b=4$ матрицы I_0, I_i, h_i имеют следующий вид:

$$I_0 = \begin{bmatrix} 1000 \\ 0100 \\ 0010 \end{bmatrix}, \; I_1 = \begin{bmatrix} 0001 \\ 1000 \\ 0100 \end{bmatrix}, \; I_2 = \begin{bmatrix} 0010 \\ 0001 \\ 1000 \end{bmatrix}, \; I_3 = \begin{bmatrix} 0100 \\ 0010 \\ 0001 \end{bmatrix},$$

$$h_3 = \begin{bmatrix} 1111 \\ 1111 \\ 0000 \end{bmatrix}, \; h_5 = \begin{bmatrix} 1111 \\ 0000 \\ 1111 \end{bmatrix}, \; h_6 = \begin{bmatrix} 0000 \\ 1111 \\ 1111 \end{bmatrix}, \; h_7 = \begin{bmatrix} 1111 \\ 1111 \\ 1111 \end{bmatrix}.$$

При $r>2(b-1)+1$ проверочная H-матрица для данных кодов равна

$$H = \begin{bmatrix} H_0 \; H_1 \dots H_{q'} \\ H' \; H' \dots H' \end{bmatrix}, \tag{8.22}$$

где H_i — матрица размерностью $(r-2b+1)\times n'_2$, элементы которой при $z=r-2b+1$ связаны с номером матрицы i соотношением (8.17);

$$n'_2 = b\,[b + 2\,(2^{b-1} - b)]\;;\; q' = 2^{r-2b+1} - 1.$$

Свойства H-матрицы (8.22) следующие:

все столбцы H-матрицы различные, содержат единицу в разряде с номером 1 и не более одной единицы в одной из двух групп разрядов $(2, \ldots b)$, $(b+1, \ldots 2b-1)$;

поразрядная сумма любых двух столбцов, а также четного числа столбцов в пакете, совпадающем со столбцами матриц I_0, содержит ненулевое значение в разрядах $(2, \ldots r)$, нулевое значение в разряде 1, и не равна ни одному из столбцов матрицы;

сумма нечетного числа столбцов в пакете содержит не менее двух единиц в обеих группах разрядов $(2, \ldots b)$ и $(b+1, \ldots 2b-1)$ и не равна ни одному из столбцов H-матрицы;

максимальное число столбцов в H-матрице, определяющее длину кода,

$$n_2 = 2^{r-2b+1}\,[b + 2\,(2^{b-1} - b)]\,b. \qquad (8.23)$$

Укороченные коды данного типа образуются исключением из H-матриц избыточных пакетов, совпадающих с матрицами I_0 и содержащих максимальное число единиц. Корректирующие свойства кодов при этом не изменяются. В табл. 8.4 приведены значения максимального количества информационных разрядов для данных кодов при общем количестве разрядов в слове, кратном b.

Пример реализации кода рассмотрим на примере ЗУ с числом информационных разрядов, равным 16, реализованного на четырехразрядных ЗМ. H-матрица размерностью 7×24 получена из H-матрицы 7×48 (8.21) исключением шести пакетов:

$$H = \begin{vmatrix} 1000 & 0001 & 0010 & 0100 & 1111 & 1111 \\ 0100 & 1000 & 0001 & 0010 & 1111 & 0000 \\ 0010 & 0100 & 1000 & 0001 & 0000 & 1111 \\ 1000 & 1000 & 1000 & 1000 & 1000 & 1000 \\ 0100 & 0100 & 0100 & 0100 & 0100 & 0100 \\ 0010 & 0010 & 0010 & 0010 & 0010 & 0010 \\ 1111 & 1111 & 1111 & 1111 & 1111 & 1111 \end{vmatrix}. \qquad (8.24)$$

c_1 c_2 c_7 c_3 c_6 c_4 c_5 p

Контрольным разрядам соответствуют 4, 7, 8, 10, 12, 13, 16-й столбцы H-матрицы (выбираются так же, как для кодов модификации 1). Остальные столбцы соответствуют информационным разрядам. Последний разряд — резервный. Сигнал неисправляемой ошибки выдается при появлении ненулевого значения разрядов $S_2 \ldots S_7$ синдрома и нулевого значения разряда S_1, а также при появлении двух или большего числа единиц одновременно в группах $S_2 \ldots S_4$, $S_5 \ldots S_7$ синдрома [55].

Так же, как и коды модификации 1, данные коды требуют двухэтапного формирования контрольных разрядов при кодировании и разрядов синдрома при декодировании. Сначала формируются

контрольные разряды $c_2 \ldots c_7$ или разряды синдрома $S_2 \ldots S_7$, а затем контрольный разряд c_1 или разряд S_1 синдрома.

Сравнение рассмотренных кодов позволяет сделать следующие выводы:

коды модификации 2 имеют большую длину (см. табл. 8.4);

коды модификации 1 имеют большую область существования $1 \leqslant b \leqslant r$, в то время как разрядность пакета для кодов модификации 2 определяется выражением (8.20);

коды модификации 1 содержат в H-матрице в среднем меньшее число единиц, чем коды модификации 2, что упрощает устройства кодирования и декодирования.

Исходя из итогов сравнения следует отметить, что коды модификации 1 более экономичны. Коды модификации 2 необходимо использовать тогда, когда коды модификации 1 не обеспечивают требуемого соотношения между числом разрядов n и k.

8.4. ИСПРАВЛЕНИЕ ДВУХРАЗРЯДНЫХ ОШИБОК В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ С КОДАМИ ХЭММИНГА МЕТОДОМ ДВОЙНОГО ИНВЕРТИРОВАНИЯ

Как известно, в ЗУ возможны как отказы, так и сбои. При отказе ЗЭ находится в одном устойчивом состоянии — либо 1, либо 0, что приводит к постоянной ошибке в считанном из ЗУ слове. Ошибки из-за сбоев случайные и исправляются при последующем считывании или записи информации.

Двухразрядные постоянные или комбинированные ошибки (одна постоянная ошибка и одна случайная) могут быть исправлены кодом Хэмминга с минимальным кодовым расстоянием $d=4$ при использовании метода двойного инвертирования [56]. С этой целью считанное из ЗУ слово, содержащее двухразрядную ошибку, инвертируется вместе с контрольными разрядами и вновь записывается в ЗУ по прежнему адресу. Постоянные ошибки при этом исправляются. Затем следует считывание инверсного слова, его инвертирование и исправление случайной ошибки, если таковая имелась.

Если в разряде слова имеются две постоянные ошибки, то данные разряды имеют инверсное значение по отношению к разрядам ранее записанного слова. Поэтому записанное по данному адресу инверсное слово этих ошибок не содержит. Если инверсное слово считать и проинвертировать второй раз, то получим слово, не содержащее ошибок.

Исправление комбинированных ошибок проиллюстрируем с помощью рис. 8.2. После обнаружения двухразрядной ошибки в считанном из ЗУ слове производится его инвертирование и последующая запись в ЗУ. Все разряды слова, кроме ошибочного, будут инверсны по отношению к первоначально записанной информации. При последующем считывании и инвертировании считанного слова в нем будет один неисправный разряд. Сформированный синдром позволит исправить эту ошибку.

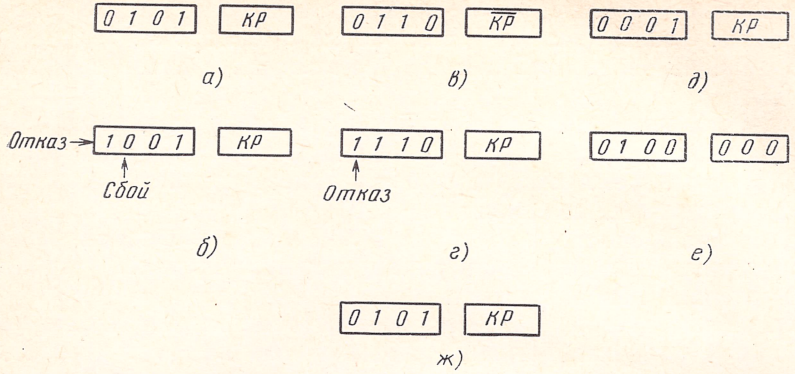


Рис. 8.2. Иллюстрация метода исправления комбинированных ошибок методом двойного инвертирования:

а) записываемое слово; *б*) считанное слово; *в*) записываемое инвертированное слово; *г*) считанное инвертированное слово; *д*) слово после второго инвертирования, постоянная ошибка исправлена; *е*) выходы дешифратора ошибок; *ж*) исправленное слово

Данный способ обеспечивает исправление двухразрядных постоянных или комбинированных ошибок кодом Хэмминга с $d=4$ без введения дополнительных контрольных разрядов. Требуется лишь дополнительный цикл записи и считывания инверсного слова по прежнему адресу и повторный цикл формирования синдрома и записи слова в прямом коде при возникновении двухразрядной ошибки.

8.5. КОДЫ БЧХ, ИСПРАВЛЯЮЩИЕ ДВУХРАЗРЯДНЫЕ И ОБНАРУЖИВАЮЩИЕ ТРЕХРАЗРЯДНЫЕ ОШИБКИ

Исправление всех двухразрядных и обнаружение трехразрядных ошибок обеспечивают коды БЧХ с минимальным кодовым расстоянием $d=6$. Коды БЧХ — циклические и названы в честь их создателей, математиков Боуза, Чоудхури и Хоквингема. Эти коды являются обобщением кодов Хэмминга на случай исправления нескольких ошибок.

Рассмотрим построение кодов БЧХ с минимальным кодовым расстоянием $d=5$, исправляющих двухразрядные ошибки. Коды БЧХ содержат в два раза больше контрольных разрядов, чем коды Хэмминга с $d=3$. Образующий многочлен кодов БЧХ имеет следующий вид:

$$G(x)=G_1(x)\,G_3(x), \tag{8.25}$$

где $G_1(x)$, $G_3(x)$ — неприводимые многочлены степени $r/2$[1].

Многочлены $G_1(x)$ и $G_3(x)$ выбираются таким образом, чтобы при одноразрядной ошибке синдром S_3, соответствующий остатку

[1] **Берлекэмп Э. Р.** Алгебраическая теория кодирования: Пер. с англ./Под ред. С. Д. Бермана. — М.: Мир, 1971. — 480 с.

от деления считанного слова на $G_3(x)$, равнялся $S^3{}_1$, соответствующему остатку от деления считанного слова на $G_1(x)$.

Тогда при наличии двухразрядной ошибки в слове

$$S_{1i}+S_{1j}=S_1,\ S_{3i}+S_{3j}=S_3, \tag{8.26}$$

где S_{1i}, S_{1j}, S_{3i}, S_{3j} — синдромы, соответствующие одиночным ошибкам в i-м и j-м разрядах по модулю $G_1(x)$ и $G_3(x)$ соответственно. Подставляя в выражение (8.26) значения $S_{3i}=S^3{}_{1i}$ и $S_{3j}=S^3{}_{1j}$, получим

$$S_{1i}+S_{1j}=S_1,\ S^3_{1i}+S^3_{1j}=S_3. \tag{8.27}$$

Решение системы (8.27) двух уравнений с двумя неизвестными позволяет определить синдромы и, следовательно, номера каждого из двух отказавших разрядов. При возникновении одиночной ошибки $S^3{}_1=S_3$, и по значению S_1 определяется положение ошибочного разряда.

Значения образующих многочленов для кодов БЧХ, пригодных к использованию в ЗУ, приведены в табл. 8.5. H-матрица кода БЧХ (31, 21), столбцы которой представляют собой остатки от деления x^i $(0\leqslant i\leqslant n-1)$ на образующий многочлен $G(x)=(x^5+x^2+1)(x^5+x^4+x^3+x^2+1)$, имеет вид

$$H=\left|\begin{array}{ll}0000000001 & 1010101111001001010 01\\ 0000000010 & 1111110001011011111011\\ 0000000100 & 0101001101111111011111\\ 0000001000 & 1010011011111110111110\\ 0000010000 & 1110011000110010101101\\ 0000100000 & 0110011110101100000011\\ 0001000000 & 1100111101011000001106\\ 0010000000 & 0011010101111001001 05\\ 0100000000 & 0110101011110010010 10\\ 1000000000 & 1101010111100100101 00\\ c_1 \qquad & c_{10}\ и_1 \qquad\qquad и_{21}\end{array}\right|. \tag{8.28}$$

Минимальное число единиц в столбцах H-матрицы (8.28), соответствующих информационным разрядам слова $и_1 \ldots и_{21}$, равно 4, следовательно, минимальное кодовое расстояние $d=5$. Если чис-

Таблица 8.5

Число контрольных разрядов	Образующий многочлен кода БЧХ с $d=5$
8	$(x^4+x+1)(x^4+x^3+x^2+x+1)$
10	$(x^5+x^2+1)(x^5+x^4+x^3+x^2+1)$
12	$(x^6+x+1)(x^6+x^4+x^2+x+1)$
14	$(x^7+x^3+1)(x^7+x^3+x^2+x+1)$
16	$(x^8+x^4+x^3+x^2+1)(x^8+x^6+x^5+x^4+x^2+x+1)$
18	$(x^9+x^4+1)(x^9+x^6+x^4+x^3+1)$
20	$(x^{10}+x^3+1)(x^{10}+x^3+x^2+x+1)$

ло контрольных разрядов кода БЧХ с $d=5$ равно r, то длина кода равна

$$n=2^{r/2}-1, \tag{8.29}$$

где r — четное число.

Коды БЧХ с минимальным кодовым расстоянием $d=6$ позволяют исправлять одноразрядные, двухразрядные и обнаруживать трехразрядные ошибки, и получаются путем добавления к коду БЧХ с $d=5$ одного проверочного разряда. Длина кода при этом равна

$$n=2^{(r-1)/2}, \tag{8.30}$$

где r — нечетное число.

H-матрица кода (32, 21) имеет следующий вид:

$$H=\begin{bmatrix} 00000000001 & 101010111100100101001 \\ 00000000010 & 111111000101101111011 \\ 00000000100 & 010100110111111011111 \\ 00000001000 & 101001101111110111110 \\ 00000010000 & 111001100011001010101 \\ 00000100000 & 011001111010110000011 \\ 00001000000 & 110011110101100000110 \\ 00010000000 & 001101010111100100101 \\ 00100000000 & 011010101111001001010 \\ 01000000000 & 110101011110010010100 \\ 10000000000 & 100110010100011100111 \\ c_1 \quad c_{11} & и_1 \quad и_{21} \end{bmatrix}. \tag{8.31}$$

Данная H-матрица образуется следующим образом. К H-матрице кода (31, 21) с $d=5$ добавляется нулевой столбец. К полученной матрице добавляется строка, элемент которой равен 1, если он принадлежит столбцу исходной матрицы с четным числом единиц, и равен 0, если столбец исходной матрицы содержит нечетное число единиц [57]. Число единиц в любом из столбцов полученной H-матрицы нечетно. Поэтому одноразрядной ошибке соответствует синдром с нечетным числом единиц, равный одному из столбцов H-матрицы. Двухразрядной ошибке соответствует синдром с четным числом единиц, равный сумме по модулю два двух столбцов H-матрицы, соответствующих неисправным разрядам. Трехразрядной ошибке соответствует синдром с нечетным числом единиц, не равный ни одному из столбцов H-матрицы.

В ЗУ с байтовой организацией используются укороченные коды. H-матрицы таких кодов имеют меньшее по сравнению с H-матрицей (8.31) число столбцов. Для получения H-матриц укороченного кода из H-матрицы полного кода удаляются столбцы, содержащие максимальное число единиц. Столбцы матрицы, содержащие по одной единице, соответствуют контрольным разрядам. Параметры некоторых укороченных кодов БЧХ приведены в табл. 8.6.

Построение устройств кодирования и декодирования для ЗУ с произвольной выборкой рассмотрим на примере кода (32, 21) с H-матрицей (8.31). Устройство кодирования представляет собой 11 сумматоров по модулю два, формирующих контрольные разряды в соответствии с H-матрицей (8.31). Схема

Таблица 8.6

Число информационных разрядов	16	24	32	48	64	80	128	256
Число контрольных разрядов	11	13	13	13	15	15	17	19
Обще число разрядов	27	37	45	61	79	95	145	275

устройства обнаружения и коррекции ошибок приведена на рис. 8.3 [57]. Рассмотрим ее работу.

Номер отказавшего разряда определяется с помощью ПЗУ. Адресом ПЗУ является $(r-1)$-разрядный синдром. Каждое считываемое из ПЗУ слово содержит две группы разрядов A и B по $(r-1)/2$ разрядов в каждой группе. В ПЗУ записаны двоичные коды номеров отказавших разрядов считанного слова. Адресом является значение синдрома. Если синдром равен одному из столбцов H-матрицы (исключая разряд c_1, соответствующий дополнительной проверке на четность), то в группе разрядов A записан адрес искаженного разряда, а в группе разрядов B — нули. При двухразрядной ошибке синдром равен сумме соответствующих столбцов H-матрицы и в обеих группах разрядов записаны адреса неисправных разрядов.

Если адрес ПЗУ соответствует синдрому, не равному ни одному из столбцов матрицы, то по данному адресу записаны нули. Максимальное число хранимых в ПЗУ слов равно 2^{r-1}, а их разрядность $r-1$. Для кода (32, 21) ем-

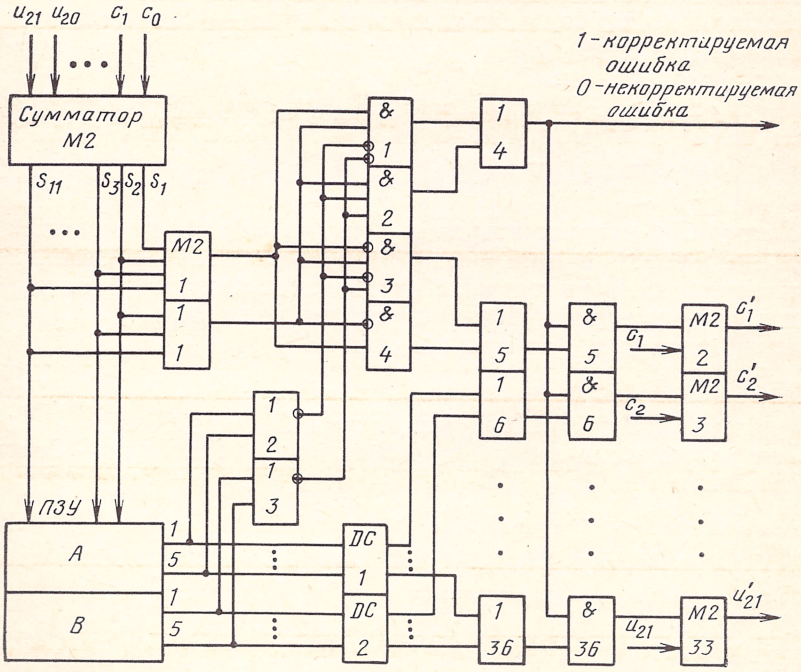


Рис. 8.3. Функциональная схема устройства обнаружения и коррекции ошибок для кода БЧХ с $d=6$

кость ПЗУ составляет 1К 10-разрядных слов. Номера ошибочных разрядов с ПЗУ поступают на дешифраторы *1* и *2*. Число выходов каждого дешифратора равно n—1. Одноименные выходы обоих дешифраторов объединены по схеме ИЛИ (элементы *6—36*). При наличии сигнала корректируемой ошибки выходные сигналы элементов *6—36* поступают на выходные сумматоры по модулю два (М2 *3—33*), где суммируются с разрядами считанного из ЗУ слова.

Сигнал коррекции ошибки в разряде c_1 формируется с помощью схемы И *4* при появлении синдрома, содержащего единицу в разряде S_1 и нули в остальных разрядах. При двухразрядной ошибке, одна из которых — в разряде c_1, разряды $S_2 \ldots S_{11}$ синдрома равны соответствующим разрядам одного из столбцов H-матрицы, а число единиц в синдроме четно. Сигнал коррекции такой ошибки формируется схемой И *3*. Сигнал некорректируемой ошибки формируется элементами И *1* и *2* при появлении синдрома, соответствующего трехразрядной ошибке или ошибке большей кратности.

8.6. КОДЫ РИДА—СОЛОМОНА И ИХ МОДИФИКАЦИИ, ИСПРАВЛЯЮЩИЕ ПАКЕТНЫЕ ОШИБКИ

Проверочные H-матрицы кодов Рида — Соломона. При построении кодов, исправляющих пакетные ошибки с разрядностью b, пакет разрядов слова рассматривают как q-значный разряд, принимающий одно из q значений от 0 до q—1. В этом случае в H-матрице элементами столбцов являются не 1 и 0, как для ранее рассмотренных кодов, а подматрицы 0, 1, h^β (8.9).

H-матрица модифицированного кода Рида — Соломона, исправляющего одиночные и обнаруживающего двойные пакеты ошибок, имеет следующий вид:

$$H = \begin{bmatrix} I & I & \ldots & I & \ldots & I & I & 0 & 0 \\ I & h^1 & \ldots & h^j & \ldots & h^{2^b-2} & 0 & I & 0 \\ I & h^2 & \ldots & h^{2j} & \ldots & h^{2(2^b-2)} & 0 & 0 & I \end{bmatrix}. \qquad (8.32)$$

В данной H-матрице вторая строка (кроме трех последних подматриц) содержит подматрицы $b \times b$ вида (8.9) всех степеней. Элементы третьей строки матрицы (кроме трех последних) равны соответствующим элементам второй строки в квадрате.[1]

Длина кода, т. е. разрядность слова ЗУ,

$$n = b\,(2^b + 2), \qquad (8.33)$$

а количество контрольных разрядов $r = 3b$.

При разрядности пакета $b = 4$ H-матрица кода Рида — Соломона имеет вид

$$H = \begin{bmatrix} I & I & I & I & I & I & I & I & I & I & I & I & I & I & I & I & I & 0 & 0 \\ I & h^1 & h^2 & h^3 & h^4 & h^5 & h^6 & h^7 & h^8 & h^9 & h^{10} & h^{11} & h^{12} & h^{13} & h^{14} & 0 & I & 0 \\ I & h^2 & h^4 & h^6 & h^8 & h^{10} & h^{12} & h^{14} & h^1 & h^3 & h^5 & h^7 & h^9 & h^{11} & h^{13} & 0 & 0 & I \end{bmatrix}, \qquad (8.34)$$

$и_1$ $\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad$ $и_{15}$ c_3 c_1

[1] **Wolf J. K.** Adding Two Information Symbols to Certain Nonbinary BCH Codes and Some Applications//Bell System Technical J. — 1969. — V. 48, N 7. — P. 2405—2424.

где $и_1 \ldots и_{15}$ пакеты информационных разрядов: $c_1 \ldots c_3$ — пакеты контрольных разрядов. Матрицы h^β имеют значения (8.10). Длина кода $n=72$, количество информационных разрядов $k=60$.

H-матрицы укороченных кодов Рида — Соломона получают исключением избыточных пакетов разрядов (матриц h^β) из матрицы (8.34).

Исправление одиночных и обнаружение двойных пакетов ошибок обеспечивают также модульные коды Рида — Соломона [58]. H-матрица модульных кодов может быть получена из H-матрицы модифицированного кода Рида — Соломона (8.32) путем выполнения операций над строками и столбцами исходной матрицы, не изменяющих корректирующих свойств кода [58]. Для этого необходимо разделить элементы второго столбца на h^1, элементы третьего столбца — на h^2, элементы i-го столбца на h^{i-1} и т. д., кроме столбцов контрольных разрядов; исключить из полученной H-матрицы первый столбец и циклически сдвинуть строки матрицы таким образом, чтобы вторая строка стала на место первой, а третья — на место второй. В результате получим H-матрицу следующего вида:

$$H = \begin{bmatrix} I & I & I & \ldots & I & I & I & \ldots & I & I & 0 & 0 \\ h^1 & h^2 & h^3 & \ldots & h^{p'} & h^{-p'} & h^{-p'+1} & \ldots & h^{-1} & 0 & I & 0 \\ h^{-1} & h^{-2} & h^{-3} & \ldots & h^{-p'} & h^{p'} & h^{p'-1} & \ldots & h^1 & 0 & 0 & I \end{bmatrix}, \qquad (8.35)$$

модуль 0 | модуль 1

в которой

$$p' = 2^{b-1} - 1, \qquad (8.36)$$

$$h^{-\beta} = I/h^\beta = h^{2^b-1-\beta}.$$

Модульным данный код называется потому, что часть проверочной матрицы, соответствующая информационным разрядам, состоит из двух модулей — 0 и 1. Так как вторая и третья строка модуля 0 равны третьей и второй строкам модуля 1 соответственно, то для этих модулей можно использовать одинаковые схемы кодирования и декодирования.

Длина кода вида (8.35)

$$n = b\,(2^b + 1), \qquad (8.37)$$

что на один пакет информационных разрядов меньше, чем для кода (8.32). Однако при использовании укороченных кодов Рида — Соломона данное отличие может не иметь значения, если оба кода обеспечивают требуемую длину слова. В этом случае модульный характер кода (8.35) может упростить построение устройств кодирования и декодирования.

В H-матрице модульного кода (8.35) произведение второго и третьего элементов каждого столбца, кроме столбцов, соответствующих контрольным разрядам, равно постоянной величине (единичной матрице). Эта величина может также выбираться равной любой ненулевой матрице h^β [58]. Например, при разрядности

пакета ошибок $b=4$ и величине произведения, равной h^{14}, проверочная H-матрица модульного кода (68, 56) имеет вид

$$H=\begin{array}{c}\begin{bmatrix} I & I & I & I & I & I & I & I & I & I & I & I & I & I & I & 0 & 0 \\ I & h^1 & h^2 & h^3 & h^4 & h^5 & h^6 & h^{14} & h^{13} & h^{12} & h^{11} & h^{10} & h^9 & h^8 & 0 & I & 0 \\ h^{14} & h^{13} & h^{12} & h^{11} & h^{10} & h^9 & h^8 & I & h^1 & h^2 & h^3 & h^4 & h^5 & h^6 & 0 & 0 & I \end{bmatrix} \\ \text{и}_1 \qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad\qquad \text{и}_{14}\ c_3 \qquad c_1 \end{array}, \tag{8.38}$$

Анализ H-матрицы (8.38) позволяет выявить ограничения на максимальное число пакетов в одном модуле p' (8.36). Если p' больше задаваемого выражением (8.36) значения, то некоторые столбцы в нулевом и первом модулях H-матрицы будут одинаковыми, вследствие чего ошибкам в различных пакетах будут соответствовать одинаковые значения синдромов. H-матрица для укороченных модульных кодов может быть получена путем исключения избыточных пакетов, соответствующих информационным пакетам разрядов.

Кодирование и декодирование кодов Рида — Соломона. Кодирование и декодирование кодов Рида — Соломона рассмотрим на примере модифицированного кода (8.34), значение синдромов которого определяется выражением (8.4).

Так как третья (верхняя) строка H-матрицы (8.34) содержит единичные подматрицы, то пакет разрядов синдрома S_3 будет содержать единицы в разрядах, соответствующих отказавшим разрядам пакета. Если ошибка сосредоточена в пределах одного пакета, соответствующего матрице h^β, то между значениями синдромов $S_1 \dots S_3$ существует связь, определяемая видом матрицы h^β. При появлении двух пакетов ошибок эта связь нарушается.

Если отказ возник в разрядах i-го пакета, то ошибка может быть представлена в виде $0 \dots 0e0 \dots 0$, где e — двоичный символ, равный единице при наличии ошибки в соответствующем разряде и нулю — при ее отсутствии; 0 — двоичный символ. Тогда с учетом (8.4) синдромы равны:

$$S_1 = h^{i1}\, e^T,\ S_2 = h^{i2}\, e^T,$$

$$S_3 = h^{i3}\, e^T, \tag{8.39}$$

где h^{i1}, h^{i2}, h^{i3} — соответственно подматрицы первой, второй и третьей строки H-матрицы для i-го пакета разрядов; e^T — матрица-столбец, обозначающая ошибку.

Учитывая, что h^{i3} — единичная матрица (8.10)

$$S_3 = e^T \text{ и } S_2 = h^{i2}\, S_3,\ S_1 = h^{i1}\, S_3$$

$$\text{или } S_2 + h^{i2}\, S_3 = 0,\ S_1 + h^{i1}\, S_3 = 0. \tag{8.40}$$

Система (8.40) является индикатором ошибок в i-м пакете. Если синдромы S_1, S_2, S_3 получены из-за ошибки в одном информационном пакете разрядов, то равенства (8.40) выполняются для

данного пакета. Например, неисправен второй пакет разрядов. Тогда (8.40) имеет вид

$$S_2 + h^1 S_3 = 0,\ S_1 + h^2 S_3 = 0. \tag{8.41}$$

Согласно (8.10) имеем

$$h^1 = \begin{bmatrix} 0100 \\ 0010 \\ 1001 \\ 1000 \end{bmatrix},\ h^2 = \begin{bmatrix} 0010 \\ 1001 \\ 1100 \\ 0100 \end{bmatrix}.$$

Тогда

$$\begin{bmatrix} S_{21} \\ S_{22} \\ S_{23} \\ S_{24} \end{bmatrix} + \begin{bmatrix} 0100 \\ 0010 \\ 1001 \\ 1000 \end{bmatrix} \cdot \begin{bmatrix} S_{31} \\ S_{32} \\ S_{33} \\ S_{34} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \end{bmatrix},$$

$$\begin{bmatrix} S_{11} \\ S_{12} \\ S_{13} \\ S_{14} \end{bmatrix} + \begin{bmatrix} 0010 \\ 1001 \\ 1100 \\ 0100 \end{bmatrix} \cdot \begin{bmatrix} S_{31} \\ S_{32} \\ S_{33} \\ S_{34} \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \tag{8.42}$$

где S_{1i}, S_{2i}, S_{3i} — значения i-го разряда первого, второго и третьего 4-разрядного синдрома соответственно.

Произведя матричное умножение выражения (8.42), получаем

$$S_{21} + S_{32} = 0,\ S_{22} + S_{33} = 0,\ S_{23} + S_{31} + S_{34} = 0,$$
$$S_{24} + S_{31} = 0,\ S_{11} + S_{33} = 0,\ S_{12} + S_{31} + S_{34} = 0,$$
$$S_{13} + S_{31} + S_{32} = 0,\ S_{14} + S_{32} = 0. \tag{8.43}$$

Система (8.43) легко реализуется на сумматорах по модулю два. При ошибке в одном из пакетов контрольных разрядов полученный синдром будет иметь вид

$$\begin{array}{lll} S_3 = 0 & S_3 = 0 & S_3 = e \\ S_2 = 0 \text{ или } & S_2 = e \text{ или } & S_2 = 0 \\ S_1 = e & S_1 = 0 & S_1 = 0. \end{array} \tag{8.44}$$

Эти ошибки обнаруживаются с помощью схем, определяющих истинность равенств

$$S_3 \,\&\, S_2 = 0,\ S_3 \,\&\, S_1 = 0,\ S_2 \,\&\, S_1 = 0, \tag{8.45}$$

где & — означает операцию логического И.

Двойная пакетная ошибка определяется при ненулевом синдроме и невыполнении условий (8.40) и (8.45) для всех пакетов разрядов.

Схема устройства кодирования для кода Рида — Соломона содержит сумматоры по модулю два, которые производят суммирование информационных разрядов в соответствии с H-матрицей. Как и для кодов, исправляющих одноразрядные ошибки, каждый контрольный разряд равен сумме по модулю два информационных разрядов, которым соответствуют единицы в соответствующей строке H-матрицы.

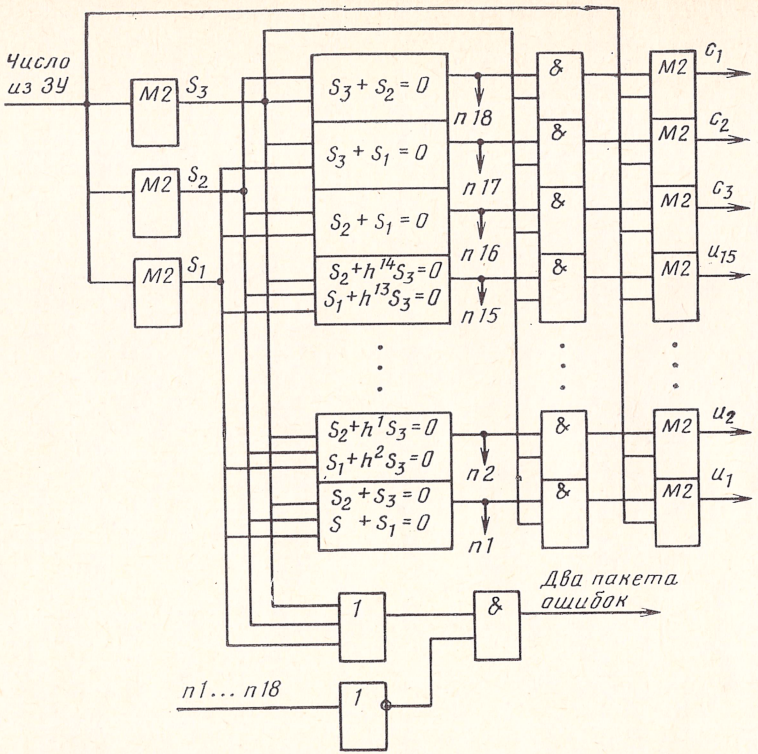


Рис. 8.4. Структурная схема устройства обнаружения и коррекция ошибок кода Рида — Соломона

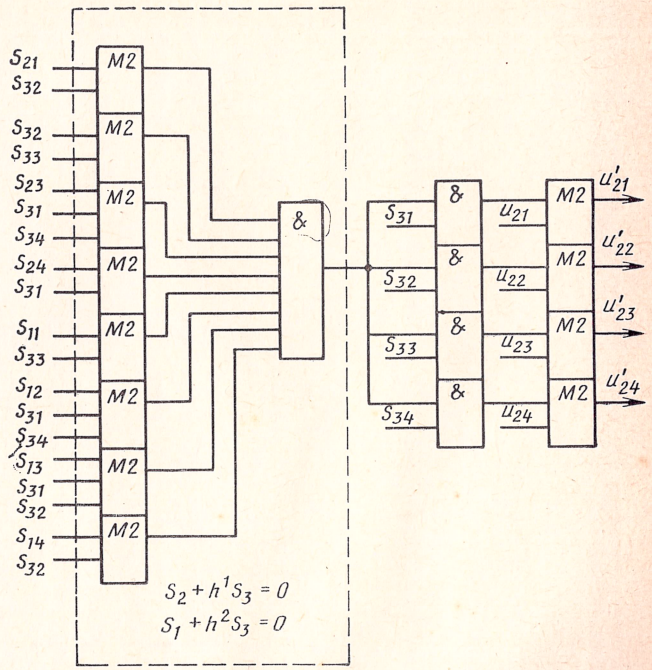


Рис. 8.5. Функциональная схема блока коррекции ошибок во втором пакете разрядов

Схема устройства обнаружения и коррекции ошибок для кода (8.34) приведена на рис. 8.4, а схема исправления ошибок для второго пакета разрядов этого же кода — на рис. 8.5.

Реализация устройств кодирования и декодирования кода Рида — Соломона на микросхемах малой и средней степени интеграции требует значительных аппаратных затрат. При числе информационных разрядов в слове, равном 64, количество корпусов микросхем в устройствах примерно равно 200. Временные задержки в устройстве декодирования примерно равны задержкам на коррекцию одиночных ошибок кодом Хэмминга и составляют около 100—150 нс при использовании ТТЛ ИС [59].

8.7. КОДЫ ФАЙРА, ИСПРАВЛЯЮЩИЕ ОДИНОЧНЫЕ ПАКЕТЫ ОШИБОК, И ИХ МОДИФИКАЦИИ

Коды Файра предназначены для исправления одиночных пакетов ошибок с разрядностью b и обнаружения пакетов ошибок с разрядностью $l_{ош}$. Положение пакета ошибок в кодовой комбинации может быть произвольным. Рассмотрим циклические коды с последовательным кодированием и декодированием.

Для циклических кодов, исправляющих пакеты ошибок, образующий многочлен $G(x)$ представляет собой произведение неприводимого многочлена степени m на другой многочлен, вид которого определяется типом кода, а старшая степень c — длиной исправляемого пакета ошибок. Образующий многочлен $G(x)$ двоичного кода Файра определяется по формуле

$$G(x)=(x^c+1)\,G_1(x), \tag{8.46}$$

где $G_1(x)$ — неприводимый многочлен степени m; $c=2b-1$, c не делится на (2^m-1) [34]. Период многочлена (x^c+1) равняется c, т. е. через $i=c$ остатки от деления x^i на (x^c+1) будут повторяться. Период многочлена $G(x)$ и, соответственно, максимальное число символов в кодовой комбинации n равно общему наименьшему кратному c и (2^m-1), т. е.

$$n=c\,(2^m-1). \tag{8.47}$$

Число контрольных разрядов в слове

$$r=c+m. \tag{8.48}$$

Для исправления пакетов ошибок длины b требуется не менее $(3b-1)$ контрольных разрядов.

Используя коды Файра, можно исправлять одиночный пакет ошибок длиной b и одновременно обнаруживать любой пакет ошибок длиной $l_{ош}\geqslant b$ при условии

$$b+l_{ош}-1\leqslant c,\ b\leqslant m. \tag{8.49}$$

Если код Файра предназначается только для обнаружения одной пакетной ошибки, то длина пакета не должна превышать числа проверочных символов, т. е. $b\leqslant m+c$.

Проверочные соотношения, связанные с множителем x^c+1, представляют собой c перемежающихся, равномерно расположенных проверок на четность. Поскольку символы, входящие в каждое из проверочных соотношений, располагаются на расстоянии c друг от друга, то при возникновении пакетной ошибки с разрядностью b или меньше будут искажаться не более одного символа в любом из проверочных соотношений. При этом по меньшей мере в $(c—b)$ последовательных проверочных соотношениях не будет ни одного искаженного символа. Поэтому можно определить, какой символ стоит в начале пакета. Дополнительная информация, требуемая для определения положения пакета, обеспечивается сомножителем $G_1(x)$.

Кодирование и декодирование кодов Файра. При построении устройств декодирования циклических кодов используются два следующих свойства синдрома ошибки, доказательство которых приведено в [34]:

1) пусть $S(x)$ — синдром кодовой комбинации $B(x)$ длиной n, т. е. остаток от деления $B(x)$ на образующий многочлен $G(x)$. Тогда синдром циклического сдвига $B(x)$ получается в результате одного сдвига формирователя синдрома, в котором первоначально содержался $S(x)$;

2) если в комбинации ошибок, которая может быть исправлена, все ошибки расположены в $r=n—k$ старших разрядах, то синдром совпадает с последовательностью ошибок $e(x)$.

Схема устройства формирования контрольных разрядов приведена на рис. 8.6, где g_i — коэффициенты образующего многочлена кода $G(x)$. В этой схеме как только символ поступает в сдвиговый регистр, производится автоматическое умножение его на x^{n-k}. Кодирование производится следующим образом:

k информационных символов последовательно поступают в устройство формирования контрольных разрядов и одновременно в ЗУ. Ключ К при этом включен. Как только все информационные символы поступят в сдвиговый регистр, совокупность $(n—k)$ символов, находящихся в этот момент в регистре, совпадает с остатком от деления входной последовательности на $G(x)$, т. е. с совокупностью контрольных символов;

в сдвиговом регистре с помощью ключа отключается линия обратной связи;

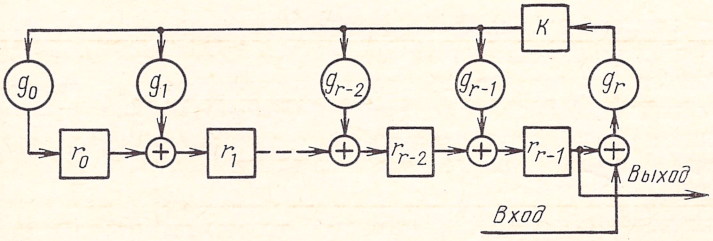


Рис. 8.6. Структурная схема устройства формирования контрольных разрядов циклического кода

производится сдвиг содержимого регистра. Символы, появляющиеся на выходе, являются контрольными и вместе с k информационными символами образуют n-разрядную кодовую комбинацию.

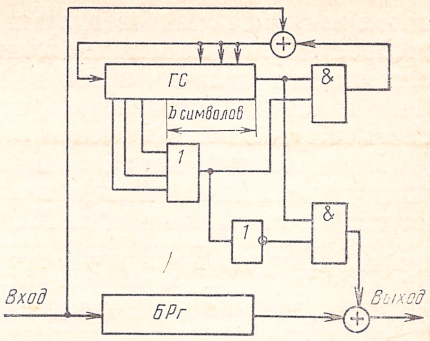


Рис. 8.7. Структурная схема устройства обнаружения и коррекции ошибок циклического кода, исправляющего пакетные ошибки

Схема устройства обнаружения и коррекции пакетных ошибок с разрядностью b приведена на рис. 8.7. Принятая кодовая комбинация поступает бит за битом в буферный регистр (БРг) и в генератор синдрома (ГС), которым является схема деления на $G(x)$ с предварительным умножением на x^{n-k}. После приема кода в генераторе содержится синдром, равный $x^{n-k}S(x)$.

Предположим, что появился пакет ошибок длиной b или меньше. Схема вычисляет синдром комбинации ошибок, которая имеется в принятом слове. Если пакет ограничен b старшими разрядами слова, то в b справа расположенных ячейках генератора синдрома находится пакет ошибок, а $(n—k—b)$ ячеек слева будут содержать нули. Элемент ИЛИ обнаруживает эту ситуацию. Поскольку его выходной сигнал при этом равен нулю, обратная связь генератора синдрома закрыта, а вход в двоичный сумматор открыт. По мере сдвига содержимого генератора синдрома и буферного регистра, в котором хранится принятое слово, синдром, который является пакетом ошибок, складывается с принятым словом, тем самым исправляя его.

Если бы пакет ошибок был расположен в другом месте последовательности, то он мог бы быть исправлен таким же путем. После сдвигов пакет займет b старших разрядов буфера. В то же время b символов синдрома старшего порядка будут совпадать, как и прежде, с пакетом ошибок.

Число тактов сдвига, необходимых для исправления ошибки, равно $2n$. В течение первых n тактов производятся запись принятого слова в буферный регистр, представляющий n-разрядный сдвиговый регистр, и формирование r-разрядного синдрома. Далее осуществляются еще n тактов сдвига, в процессе которых считывается кодовая комбинация из буферного регистра и исправляются ошибки. Если после $2n$ тактов элемент ИЛИ не зафиксирует нулевое состояние $(n—k—b)$ разрядов генератора, то ошибка является неисправляемой, т. е. разрядность пакета больше b.

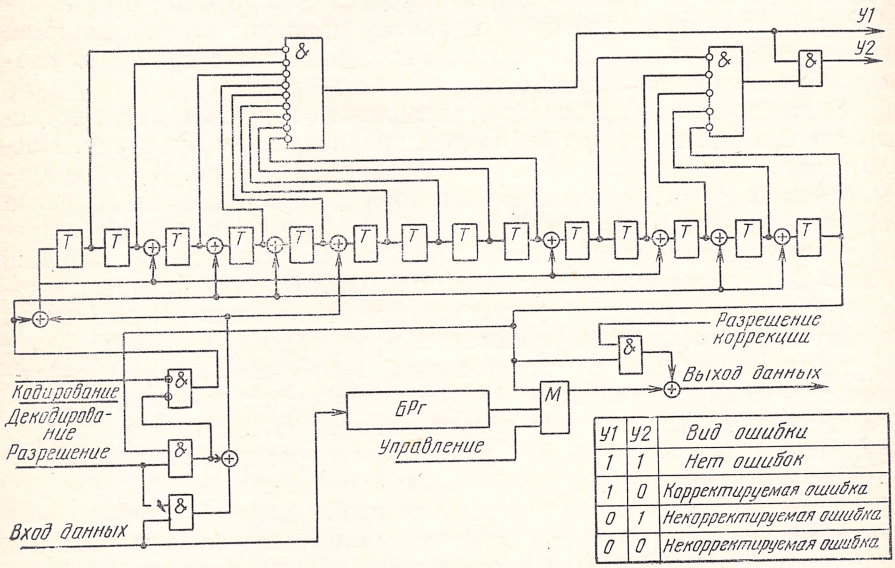
В ряде случаев может оказаться необходимым укоротить код вследствие того, что общая его длина или число информационных символов ограничены требованиями, накладываемыми на ЗУ. Код можно укоротить, заменяя некоторые из его информационных сим-

волов высших порядков нулями и отбрасывая их [34]. Это не потребует изменения методов кодирования, поскольку при этом несущественно наличие нулей в начале информационных символов. Однако такая замена потребует изменения описанного выше процесса исправления ошибки.

Предположим, что используется код, естественная длина которого равна n, но n_0 информационных символов его отброшены. Тогда для исправления ошибок первоначальным способом до того, как начинается считывание полученной кодовой комбинации из буферного регистра, потребуется n_0 сдвигов, соответствующих n_0 информационным символам, в предположении, что эти символы равны нулю. Один из способов некоторого ускорения этого процесса состоит в предварительном автоматическом умножении полученной комбинации на x^{n_0} по модулю $G(x)$ с помощью схемы умножения. Поскольку для ускорения процесса декодирования поступившее число умножается на x^{n-k} (рис. 8.6), то для декодирования укороченного кода Файра необходимо кодовую комбинацию предварительно умножить на x^{n-k+n_0} по модулю $G(x)$.

В качестве примера на рис. 8.8 приведена схема блока коррекции ошибок фирмы Intel Magnetics [28]. Код позволяет исправить пакет ошибок длиной до 5 бит в 256-битной последовательности данных. Число контрольных разрядов равно 14. Образующий многочлен кода $G(x) = (x^9+1)(x^5+x^2+1)$.

Модификации кодов Файра. Применение кодов Файра приводит к значительным временны́м затратам на обнаружение и коррекцию ошибок (n тактов на обнаружение и n тактов на исправление ошибки). Поскольку первые



У1	У2	Вид ошибки
1	1	Нет ошибок
1	0	Корректируемая ошибка
0	1	Некорректируемая ошибка
0	0	Некорректируемая ошибка

Рис. 8.8. Схема блока обнаружения и коррекции ошибок

n тактов совпадают с операцией считывания, то в этой части процесса декодирования задержка не возникает. Вторые n тактов определяют задержку в устройстве декодирования, особенно заметную при большой разрядности контролируемых слов. При разрядности слов от 512 до 2048 бит и реализации устройства декодирования на элементах серии К133 задержка составляет от 20 до 100 мкс [60], что может оказаться совершенно неприемлемым для быстродействующих ЗУ. Возникает задача при сохранении общей структуры кода так изменить алгоритм декодирования, чтобы уменьшить число тактов, необходимых для коррекции ошибки.

Данная задача решается благодаря тому, что образующий многочлен кода Файра состоит из двух сомножителей [см. (8.46)], каждый из которых может быть обработан независимо от другого точно так же, как и общий многочлен Поскольку цикл повторяемости для каждого из сомножителей много меньше цикла повторяемости образующего многочлена в целом, то пакет ошибок может быть локализован для каждого из сомножителей за меньшее количество тактов.

Для независимой обработки каждого сомножителя образующего многочлена используют два сдвиговых регистра с обратной связью, один из которых осуществляет деление принятой комбинации $B(x)$ на (x^c+1), а другой — деление на $G_1(x)$ [60]. Оба регистра работают синхронно как в процессе приема информации (обнаружения ошибки), так и в процессе локализации пакета ошибок.

Очевидно, что если $B(x)$ делится без остатка на $G(x)$, то он делится без остатка на любой из сомножителей (x^c+1) и $G_1(x)$. Это значит, что через n тактов оба регистра будут содержать нули. Если принятый многочлен имеет вид $B_1(x)=B(x)+e(x)$, то через n тактов содержимое регистров будет равно

$$\begin{aligned} &S_c(x)=x^l e(x) \text{ по модулю } (x^c+1);\\ &S_m(x)=x^i e(x) \text{ по модулю } G_1(x). \end{aligned} \tag{8.50}$$

Если продолжать синхронно сдвигать содержимое регистров, то последовательные значения синдромов равны

$$\begin{aligned} &S_c(x)=x^l e(x),\quad S_c^1(x)=x^{l-1}e(x),\ \ldots,\ S_c^l(x)=e(x) \text{ по модулю } (x^c+1);\\ &S_m(x)=x^i e(x),\quad S_m^1(x)=x^{i-1}e(x),\ \ldots,\ S_m^i(x)=e(x) \text{ по модулю } G_1(x), \end{aligned} \tag{8.51}$$

Таким образом, при совпадении содержимого b старших разрядов первого и второго регистров ошибка оказывается локализованной, а такт, на котором произойдет совпадение, соответствует последнему безошибочному разряду в кодовом многочлене. Поскольку для регистра, реализующего деление на (x^c+1), имеет место повторяемость его содержимого каждые c тактов, то в целях сокращения общего числа тактов на декодирование можно произвести подсчет числа сдвигов r_c в этом регистре до первого обнаружения нулей в его $(c-b)$ младших разрядах, т. е. $i=r_c$ по модулю c.

После этого сдвиг информации в первом регистре прекращается, а во втором — продолжается до момента совпадения с содержимым b старших разрядов первого регистра. Поскольку «картина заполнения» этого регистра повторяется каждые L_1 тактов, то число сдвигов r_m от окончания приема информации в декодирующее устройство будет связано с i соотношением $i=r_m$ по модулю L_1.

Зная значения r_c по модулю c и r_m по модулю L_1, можно вычислить i. Вычислить величину i можно независимо от работы декодирующего устройства. Возможно дальнейшее сокращение временны́х затрат на декодирование путем преобразования структуры порождающего многочлена с целью максимального распараллеливания его обработки при исправлении ошибок. Пусть порождающий многочлен $G(x)$ имеет вид

$$G(x) = (x^c + 1) \prod_{j=1}^{m_G} G_j(x), \tag{8.52}$$

где $G_j(x)$ — неприводимый многочлен степени m_j с периодом L_j, причем c не делится на L_j. Длина кода n равна наименьшему общему кратному (c, L_1, L_2, ..., L_{m_G}).

Код, порождаемый таким многочленом, исправляет одиночные пакеты ошибок длиной b и обнаруживает пакеты ошибок длиной $l_{\text{ош}}$ при условии

$$c \geqslant b + l_{\text{ош}} - 1; \quad b \leqslant \sum_{j=1}^{m_G} m_j.$$

Аппаратно этот код реализуется на (m_G+1) сдвиговых регистрах, один из которых осуществляет деление принятого кодового многочлена на (x^c+1), а остальные — на $G_j(x)$. Алгоритм деления аналогичен описанному ранее. После прохождения n разрядов кодового многочлена схема проверки на ноль анализирует содержимое младших $(c-b)$ разрядов регистра сдвига, осуществляющего деление на (x^c+1). При ненулевом значении младших разрядов принятая комбинация ошибочна. Производится подсчет числа сдвигов содержимого этого регистра до момента получения сигнала от схемы проверки на ноль. После этого сдвиг его содержимого прекращается, так как в b старших разрядах находится пакет ошибок, а зафиксированное в счетчике число связано с номером последнего безошибочного разряда тем же соотношением, что и в случае двух сомножителей.

С момента обнаружения ошибки продолжается сдвиг информации и в остальных регистрах, а в счетчиках, соответствующих каждому из них, происходит подсчет числа сдвигов до момента совпадения содержимого этих регистров с пакетом ошибок. Из полученных соотношений типа

$$i = r_c \text{ по модулю } c, \quad i = r_{m_1} \text{ по модулю } L_1, \ \ldots, \ i = r_{m_G} \text{ по модулю } L_{m_G} \tag{8.53}$$

однозначно может быть определен номер последнего безошибочного разряда i.

Использование порождающего многочлена в виде произведения нескольких сомножителей-многочленов позволяет получать коды, обеспечивающие высокую скорость декодирования. Вместо n тактов, необходимых для обнаружения местоположения пакета ошибок кодом Файра, данный код производит указанную операцию за $(c+\max L_j)$ тактов, что значительно меньше n. В табл. 8.7 приведены оценки временны́х затрат, выраженных в числе тактов работы корректирующего устройства.[1]

[1] **Андреева И. Н.** Разработка методов повышения надежности внешней памяти на основе избыточного кодирования. — Автореферат канд. диссертации. — М.: МЭИ, 1983. — 20 с.

Таблица 8.7

Вариант декодирования	Затраты времени на декодирование, такты		
	Код Файра	Модифицированный код Файра	Код с быстрым декодированием
$n=1\,155$, $b=6$	1155	82	26
$n=3\,255$, $b=8$	3255	268	46
$n=7\,905$, $b=9$	7905	527	48
$n=37\,107$, $b=11$	37107	2065	82
$n=82\,677$, $b=12$	82677	4115	148
$n=633\,857$, $b=15$	633857	32786	150

Недостатком рассмотренных модификаций кодов являются повышенные аппаратные затраты для устройства обнаружения и коррекции ошибок по сравнению с обычным кодом Файра.

ГЛАВА 9. НАДЕЖНОСТЬ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С КОРРЕКЦИЕЙ ОШИБОК

9.1. БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ ОБНАРУЖЕНИЯ И ИСПРАВЛЕНИЯ ОШИБОК

Высокие требования к надежности ЗУ обусловили, наряду с другими способами повышения надежности, использование в них корректирующих кодов, позволяющих обеспечить работоспособность ЗУ при возникновении сбоев и отказов составляющих его элементов.

В ЗУ, выполненных на одноразрядных ЗМ, отказ одной ЗМ приводит к одноразрядным ошибкам в считанных словах. Вероятность появления двухразрядных ошибок, вызванных отказами двух ЗМ по одному адресу, значительно меньше вероятности появления одноразрядных ошибок, а вероятность трехразрядных ошибок — меньше, чем двухразрядных, и т. д. Поэтому в таких ЗУ исправление одноразрядных и обнаружение двухразрядных ошибок существенно повышает надежность. Для обнаружения отказов элементов электроники обрамления, приводящих к пакетным ошибкам с разрядностью, большей двух, используются коды, исправляющие одноразрядные и обнаруживающие двухразрядные и пакетные ошибки. При высоких требованиях к надежности ЗУ особенно большой информационной емкости применяют корректирующие коды, исправляющие двухразрядные ошибки.

Объем оборудования устройств кодирования и декодирования даже для простейших корректирующих кодов, исправляющих одноразрядные ошибки, составляет несколько десятков корпусов при использовании микросхем малой и средней степени интеграции. Стремление разработчиков ЗУ уменьшить аппаратные затраты на

реализацию устройств коррекции ошибок и большой объем выпускаемых ЗУ обусловили создание больших интегральных схем обнаружения и исправления ошибок (БИС ОИО). Технические характеристики выпускаемых зарубежными фирмами БИС ОИО приведены в табл. 9.1 [19, 61].

БИС ОИО предназначены в основном для исправления одноразрядных и обнаружения двухразрядных ошибок в ЗУ с произвольной выборкой. В них используется код Хэмминга с минимальным кодовым расстоянием $d=4$. Микросхема DP 8400 фирмы National Semiconductor обеспечивает также исправление двухразрядных ошибок (две постоянные ошибки или одна постоянная и одна случайная) методом двойного инвертирования [56].

Отечественной промышленностью выпускается БИС ОИО К555ВЖ1, исправляющая одиночные и обнаруживающая двухразрядные ошибки, а также ошибки типа «все нули» и «все единицы» в ЗУ с 16-разрядным форматом данных [62]. В данной БИС используется код Хэмминга (22, 16) с минимальным кодовым расстоянием $d=4$, H-матрица которого имеет вид (8.15). Для обнаружения ошибок типа «все нули» значения контрольных разрядов c_3, c_4 H-матрицы (8.15) инвертируются. Вследствие этого при нулевой 16-разрядной информационной последовательности сформируется 22-разрядное слово, содержащее единицы в разрядах c_3, c_4, а нулевая кодовая комбинация является запрещенной, ошибочной. Кодовая комбинация, содержащая все единицы, также является запрещенной.

Структурная схема БИС К555ВЖ1 приведена на рис. 9.1, временные диаграммы ее работы — на рис. 9.2, а характеристики режимов работы — в табл. 9.2.

В режиме формирования контрольных разрядов информация, подлежащая записи в ЗУ по входам $и_1$—$и_{16}$ через блок задания направления обмена информационными разрядами (БЗНОИ) поступает на входы генератора контрольных разрядов (ГКР), в котором формируются контрольные разряды c_1—c_6 в соответствии с H-матрицей (8.15). Сформированные контрольные разряды c_3 и c_4 инвертируются. Далее контрольные разряды через генератор синдрома (ГС) и блок задания направления обмена контрольными и синдромными разрядами (БЗНОК) поступают в ЗУ.

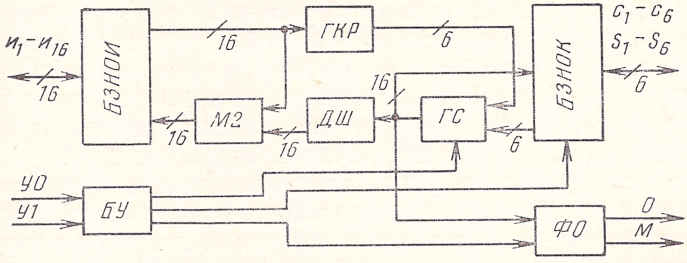


Рис. 9.1. Организация микросхемы обнаружения и исправления ошибок К555ВЖ1

Таблица 9.1

Фирма, страна-изготовитель	Тип микросхемы	Код	Разрядность	Возможность увеличения разрядности	Напряжение питания, В	Длительность задержки, нс		Технология изготовления	Тип корпуса, число выводов
						при записи	при считывании		
Texas Instruments, США	SN54/74LS630(631)	22,16	16	—	+5,0	35	45	ТТЛШ	DIP,28
	SN54/74ALS632(633)	39,32	32 (8×4)	—	+5,0	37	41	ТТЛШ	DIP,52
	SN54/74ALS634(635)	39,32	32	—	+5,0	37	41	ТТЛШ	DIP,48
	SN54/74ALS636(637)	13,8	8	—	+5,0	27	45	ТТЛШ	DIP,20
Motorola, США	MC 10905	22,16	16	+	+5,2	10,7	27,9	ЭСЛ	МК,68
	MC 34040	22,16	16	+	+5,0	50	80	ТТЛШ	DIP,48
	MC 4041	7,4	4	—	+5,0	—	—	ТТЛ	DIP,20
Fairchild, США	74418	39,32	32	—	+5,0	—	—	ТТЛ	DIP,48
Advanced Micro Devices, США	Am 2960	22,16	16	+	+5,0	30	50	ТТЛШ ЭСЛ	DIP,48
Siemens, ФРГ	Masterslice LSI	72,64	64	—	—4,5	22	30	ЭСЛ	Pinpock, 64 или Jedes,68
Fujitsu, Япония	MB 1412A	—	8	+	+5,0	45	47	ТТЛШ	DIP,64
Intel, США	8206	22,16	16	+	+5.0	52	65	*n*-МОП	DIPM,68
National Semiconductor, США	DP 8400	22,16	16	+	+5,0	20	30	ТТЛШ	DIP,48

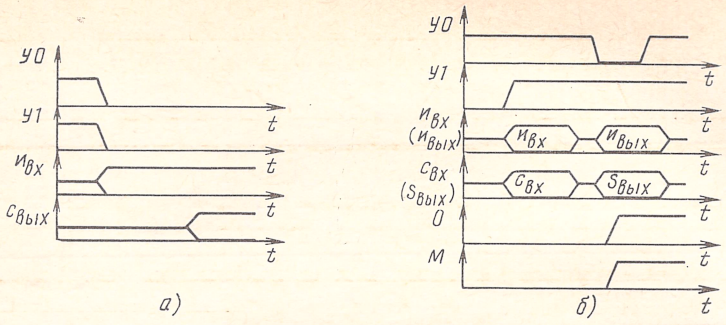


Рис. 9.2. Временны́е диаграммы работы микросхемы К555ВЖ1 в режимах: *а*) записи (формирования контрольных разрядов); *б*) считывания (обнаружения и исправления ошибок)

В режиме обнаружения и исправления ошибок информационные и контрольные разряды поступают на входы БЗНОИ и БЗНОК. Генератор синдрома ошибки на основе значений поступивших из блока БЗНОК контрольных разрядов и новых, сформированных на базе считанной из ЗУ информации, формирует синдром ошибки S_1—S_6 в соответствии с H-матрицей. Дешифратор адреса ошибки (ДШ) в случае одиночной ошибки определяет ее адрес, по которому ошибка исправляется в корректирующем устройстве (М2).

Исправленная информация поступает на выходы БЗНОИ. На основе значений синдрома блок формирования флагов (признаков) ошибки (ФО) формирует два флага ошибок: одноразрядной (О) и многоразрядной (М).

Входы и выходы БИС К555ВЖ1 по уровням сигналов сопрягаются с ТТЛ ИС. Время формирования контрольных разрядов — до 65 нс, флагов одиночной и многоразрядной ошибок 30 и 40 нс соответственно.

Таблица 9.2

Входы управления		Цикл памяти	Режим работы БИС ОИО	Флаги ошибок О и М
УО	У1			
0	0	Запись	Формирование контрольных разрядов	Запрещены
1	0	Считывание	Запись информационных и контрольных разрядов из ЗУ в БИС	»
1	1	»	Блокировка информации и разрешение флагов ошибок	Разрешены
0	1	»	Выдача исправленного информационного слова и синдрома ошибок	»

9.2. ОРГАНИЗАЦИЯ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С КОРРЕКЦИЕЙ ОШИБОК

Запоминающие устройства с коррекцией ошибок отличаются от ЗУ без коррекции ошибок наличием блока хранения контрольных разрядов и устройства кодирования и декодирования кода. Структурная схема ЗУ с коррекцией одноразрядных и обнаружением двухразрядных ошибок приведена на рис. 9.3. ЗУ состоит из двух блоков памяти, один из которых (ЗУ ИР) предназначен для хранения информационных разрядов, другой (ЗУ КР) для хранения контрольных разрядов слов. Генератор контрольных разрядов (ГКР) формирует контрольные разряды слова по значению входных информационных разрядов в соответствии с *H*-матрицей используемого корректирующего кода. Генератор синдрома (ГС) по значению информационных и контрольных разрядов считанного слова формирует синдром, указывающий место ошибки в слове. Дешифратор синдрома (ДШ) формирует сигнал коррекции ошибочного разряда в считанном слове в соответствии со значением сформированного синдрома. Сумматор по модулю два (М2) предназначен для исправления ошибок в считанных словах. Узел перезаписи информации (УПИ) осуществляет автоматическую запись в ЗУ исправленной информации после цикла считывания с ошибкой. Формирователь сигнала ошибки (ФО) по значению синдрома формирует признак ошибки: одноразрядной (О) и двухразрядной или многоразрядной (М).

Применение БИС ОИО в ЗУ с двунаправленной магистралью данных предопределяет ряд особенностей построения ЗУ и режима его работы. Рассмотрим эти особенности на примере структурной схемы сопряжения БИС ОИО с ЗУ (рис. 9.4). На рисунке обозначено: ЦП — центральный процессор; РгС — регистр состояния, предназначенный для хранения признака ошибки (О или М) и значения синдрома.

При такой схеме включения на временно́й диаграмме работы ЗУ необходим этап ожидания в каждом цикле считывания данных, длительность которого определяется временны́ми задержками на обнаружение ошибок БИС ОИО.

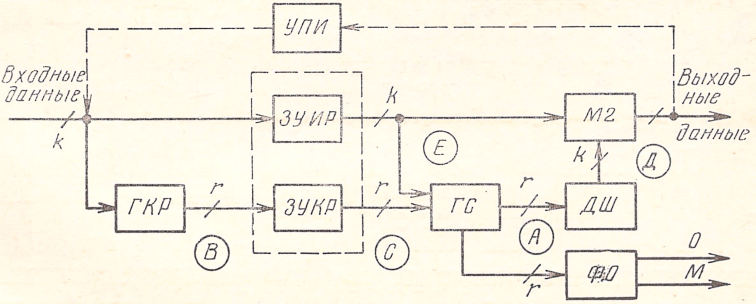


Рис. 9.3. Структурная схема ЗУ с коррекцией одноразрядных ошибок

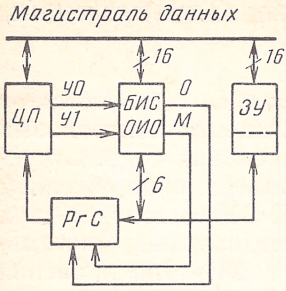


Рис. 9.4. Схема включения БИС ОИО в ЗУ с интерфейсом «общая шина»

В режиме записи данные поступают из ЦП на магистраль данных и по ней на информационные входы ЗУ. Одновременно ЦП формирует уровень логического 0 на входах У0, У1, по которому заносятся данные в БИС ОИО (рис. 9.2,*а*). Через время, равное задержке формирования контрольных разрядов в БИС ОИО, контрольные разряды поступают на входы ЗУ и записываются по выбранному адресу вместе с информационными разрядами.

В режиме считывания на вход У0 БИС ОИО подается уровень логической 1, на вход У1 — уровень логического 0 (рис. 9.2,*б*). Считанные из ЗУ информационные и контрольные разряды слова записываются в БИС ОИО. Через время, равное задержке формирования признака ошибки, сигналы на выходах О и М БИС ОИО поступают в РгС, а с него — в ЦП. Кроме того, БИС ОИО выдает в РгС синдром ошибки, который может использоваться для диагностирования ЗУ. На этом этапе ожидания заканчивается и производится считывание данных в ЦП. Если ошибки не обнаружены, то данные считываются из ЗУ. При наличии одноразрядной ошибки осуществляется блокировка выдачи данных из ЗУ. Считывание данных производится из БИС ОИО, для чего на ее входе У0 формируется уровень логического 0 (рис. 9.2,*б*). Обнаружение некорректируемой многоразрядной ошибки является условием прерывания передачи данных из ЗУ.

При такой схеме включения БИС ОИО в ЗУ усложняется синхронизация работы БИС ОИО и интерфейсных схем шин данных, что приводит к увеличению временны́х задержек. Упрощение схемы синхронизации и уменьшение временны́х задержек обеспечивает применение двух БИС ОИО, первая из которых используется в качестве кодирующего устройства, вторая — в качестве декоди-

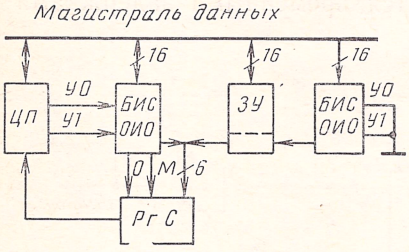


Рис. 9.5. Схема включения двух БИС ОИО в ЗУ

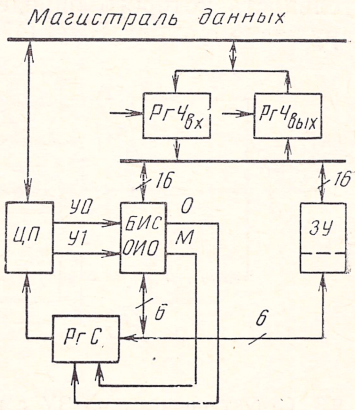


Рис. 9.6. Структурная схема быстродействующего ЗУ с одной БИС ОИО

рующего (рис. 9.5). Указанный эффект в этом случае обеспечивается за счет разделения управления режимами работы БИС ОИО.

Бóльшее быстродействие ЗУ обеспечивает схема включения БИС ОИО, представленная на рис. 9.6. Блок обнаружения и исправления ошибок дополнительно содержит входной ($РгЧ_{вх}$) и выходной ($РгЧ_{вых}$) регистры числа, с помощью которых организована внутренняя шина данных. В цикле записи информация с внешней магистрали данных через входной регистр поступает на БИС ОИО для генерации контрольных разрядов. При этом поступившая информация хранится в $РгЧ_{вх}$, что дает возможность освободить внешнюю магистраль данных для организации передачи данных следующего цикла. Это обеспечивает повышение быстродействия системы в режиме записи.

Повышение быстродействия системы в режиме считывания данных обеспечивается использованием специального режима «Прямая передача». В этом режиме информация, считываемая из ЗУ, заносится в выходной регистр, с которого передается во внешнюю магистраль данных. При отсутствии ошибок такая организация работы не снижает быстродействия ЗУ. При обнаружении одиночной ошибки сигнал признака ошибки О разрешает запись в выходной регистр исправленной информации из БИС ОИО и ее дальнейшую передачу во внешнюю магистраль данных. С помощью сигнала прерывания процессор может быть оповещен о наличии ошибки в слове, первоначально записанном в выходной регистр.

Основные характеристики отечественных ЗУ с коррекцией одноразрядных ошибок приведены в табл. 9.3 [47, 63—65]. В ЗУ СМ ЭВМ используются БИС ОИО К555ВЖ1.

9.3. НАДЕЖНОСТЬ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С КОРРЕКЦИЕЙ ОШИБОК, ВОЗНИКАЮЩИХ ИЗ-ЗА СБОЕВ

Оперативные ЗУ большой информационной емкости в настоящее время создают в основном с использованием динамических ЗМ. Все ЗУ, параметры которых приведены в табл. 9.3, реализо-

Таблица 9.3

Тип ЗУ	Емкость, Кбайт	Разрядность слова	Время выборки/цикла, нс	Тип и организация ЗМ
ЗУ-248-001	248	16	650/800 (сч), 1100 (зп)	К565РУ3 16К×1
ЗУ СМ 3509	256	16	500/600	К565РУ1 4К×1
ЗУ БЭ 9851	256	16	400/500	К565РУ3 16К×1 К565РУ5 64К×1
ЗУ СМ 1644	4096	16	550/650	К565РУ5 64К×1
ЗУ ЕС-1036	4096	72 (зп), 144 (сч)	700/750 (зп), 1100 (сч)	К565РУ3 16К×1
ЗУ ЕС-3269	8192	144	550/700	К565РУ3 16К×1
ВЗУП СМ ЭВМ	4096	16	Скорость передачи 13,3 Мбит/с	К565РУ5 16К×1

ваны на динамических ЗМ. Это обусловлено большой информационной емкостью динамических ЗМ, примерно в 4 раза превышающей емкость статических ЗМ. Существенным недостатком динамических ЗМ является высокая интенсивность сбоев вследствие воздействия на них альфа-частиц, примерно на порядок превышающая интенсивность их отказов (см. § 2.2). При этом возникающие в ЗУ ошибки — одноразрядные и исправляются при перезаписи информации по искаженному адресу. Наибольшая эффективность корректирующих кодов обеспечивается именно по отношению к сбоям.

Вероятность безотказной работы ЗУ по отношению к сбоям зависит от емкости ЗУ, времени его работы и интенсивности сбоев ЗМ. Существенное влияние на эффективность коррекции ошибок оказывает такой параметр организации ЗУ, как соотношение между разрядностью и числом хранимых слов при постоянной его емкости. Поскольку отказ ЗУ с коррекцией одноразрядных ошибок возникает при совпадении двух сбоев по одному адресу, то большей надежностью при постоянной емкости обладает ЗУ с малой разрядностью хранимых слов. В таких ЗУ вероятность совпадения двух сбоев по одному адресу меньше, чем в ЗУ с бо́льшей разрядностью слов. Аналогичная закономерность характерна и для ЗУ с коррекцией двухразрядных ошибок и ошибок более высокой разрядности.

В табл. 9.4 приведены значения вероятности безотказной работы $P(t)$ и средней наработки до отказа $t_{о\,ср}$ для ЗУ различной емкости и организации, рассчитанные по формуле, приведенной в табл. 3.2 при $N_{ЗМ} = 16$ кбит, интенсивности сбоев ЗМ $\lambda_{ЗМсб} = 10^{-5}$ 1/ч. Данные табл. 9.4 показывают, что коррекция одноразрядных или двухразрядных ошибок существенно повышает показатели надежности ЗУ по отношению к сбоям. При этом эффективность коррекции двухразрядных ошибок существенно выше, чем

Таблица 9.4

ЗУ	$P(t)$ для интервала времени				$t_{о\,ср}$, ч
	24 ч	720 ч	8760 ч	43 800 ч	
	Емкость ЗУ 128К 16-разрядных слов				
Без коррекции ошибок	0,969 747	0,397 882	0,000 014	<0,000 001	780
С коррекцией одноразрядных ошибок (код Хэмминга)	>0,999 999	0,999 994	0,999 135	0,978 601	260000
С коррекцией двухразрядных ошибок (код БЧХ)	>0,999 999	>0,999 999	>0,999 999	0,999 993	2000000
	Емкость ЗУ 512К 128-разрядных слов				
Без коррекции ошибок	0,374 172	<0,000 001	<0,000 001	<0,000 001	24
С коррекцией одноразрядных ошибок (код Хэмминга)	>0,999 999	0,999 058	0,869 742	0,003 074	21000
С коррекцией двухразрядных ошибок (код БЧХ)	>0,999 999	>0,999 999	0,999 960	0,995 039	230000

одноразрядных. Однако применение кодов БЧХ, исправляюших двухразрядные ошибки, ведет к существенному увеличению объема оборудования. Для 16-разрядных слов применение кодов Хэмминга, исправляющих одноразрядные и обнаруживающих двухразрядные ошибки, приводит к увеличению разрядности ЗУ до 22 разрядов, в то время как при использовании кодов БЧХ с минимальным кодовым расстоянием $d=6$ разрядность ЗУ равна 27. При числе информационных разрядов, равном 128, исправление одноразрядных и обнаружение двухразрядных ошибок требует дополнительно 9 контрольных разрядов, а для кодов БЧХ необходимо 17 дополнительных разрядов.

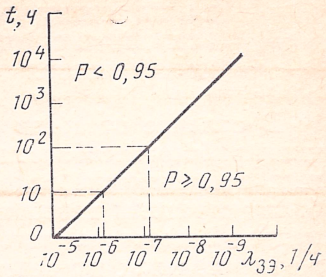


Рис. 9.7. Зависимость периода контроля ЗУ от интенсивности сбоев ЗЭ

Высокое значение вероятности безотказной работы ЗУ с коррекцией одноразрядных ошибок можно обеспечить за счет организации периодического считывания содержимого ЗУ, во время которого обнаруживаются и исправляются ошибки в считанных словах с последующей перезаписью исправленных слов по прежним адресам. Введение такого контроля исключает эффект накопления ошибок из-за сбоев в ЗЭ, вследствие чего вероятность отказа ЗУ первоначально уменьшается. Уменьшая интервалы времени между циклами контроля, можно увеличить вероятность безотказной работы ЗУ с коррекцией одноразрядных ошибок до требуемого уровня. График зависимости периода контроля от интенсивности сбоев ЗЭ, обеспечивающего вероятность безотказной работы не менее 0,95 для ЗУ емкостью 512К 128-разрядных слов с коррекцией одноразрядных ошибок, приведен на рис. 9.7. Из рисунка следует, что использование периодического считывания информации с устранением накопленных ошибок обеспечивает высокую вероятность безотказной работы ЗУ при значительной интенсивности сбоев. Так, контроль ЗУ с периодичностью 10 ч обеспечивает вероятность безотказной работы $P_{ЗУ}(t) \geqslant 0{,}95$ при интенсивности сбоев ЗЭ $\lambda_{ЗЭ} \approx 8{,}3 \cdot 10^{-7}$ 1/ч, что соответствует интенсивности сбоев ЗМ емкостью 16 кбит $\lambda_{ЗМ\,сб} \approx 1{,}4 \cdot 10^{-2}$ 1/ч. Такую же вероятность безотказной работы обеспечивает контроль ЗУ с периодичностью 1 ч работы при интенсивности сбоев ЗЭ $\lambda_{ЗЭ} \approx 8{,}3 \cdot 10^{-6}$ 1/ч и $\lambda_{ЗМ\,сб} \approx 1{,}4 \cdot 10^{-1}$ 1/ч.

Высокую эффективность имеет метод контроля динамических ЗУ во время регенерации информации, рассмотренный в § 5.4. Без дополнительных затрат времени на контроль этот метод обеспечивает периодичность контроля и исправления ошибок в ЗУ, не превышающую единиц секунд, и близкую к единице вероятность безотказной работы ЗУ.

9.4. НАДЕЖНОСТЬ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С КОРРЕКЦИЕЙ ОШИБОК, ВОЗНИКАЮЩИХ ИЗ-ЗА ОТКАЗОВ

В отличие от сбоев отказы приводят к необратимым нарушениям работоспособности элементов ЗУ. Ошибки в считанных данных, возникающие вследствие отказов элементов ЗУ, не могут быть устранены повторным считыванием или перезаписью информации. Вследствие этого отказы накапливаются и приводят к снижению надежности резервированных ЗУ с течением времени. (Нерезервированные ЗУ при одном отказе элемента неработоспособны.)

Другой особенностью отказов полупроводниковых ЗУ является сложный характер распределения ошибок при их возникновении. В ЗМ, составляющих основную долю оборудования ЗУ, наблюдается 4 основных вида отказов: отказы одиночных бит, отказы строк ЗЭ, отказы столбцов ЗЭ, полные отказы ЗМ (см. § 2.2).

Отказы элементов электроники обрамления ЗУ (адресных и разрядных формирователей, формирователей режима, усилителей считывания) приводят к ошибкам в группе разрядов всего адресного поля ЗУ, а отказы формирователей выбора кристалла — к отказам столбцов ЗМ. Интенсивность отказов этих элементов значительно ниже интенсивности отказов ЗМ, однако в ряде случаев при исследовании и обеспечении надежности ЗУ этими отказами пренебречь нельзя.

Расчет надежности ЗУ с коррекцией ошибок методом наихудшего случая, при котором все отказы ЗМ считаются полными, приводит к существенно заниженным оценкам показателей надежности ЗУ. Если же все отказы считать однобитовыми, то результат расчета дает завышенные оценки показателей надежности.

В табл. 9.5 приведены значения вероятности безотказной работы ЗУ с коррекцией одноразрядных ошибок для различных моделей отказов, рассчитанные по формуле табл. 3.2. Емкость ЗМ принята равной 16 кбит, интенсивность отказов ЗМ 10^{-6} 1/ч. При рассмотрении четырех видов отказов ЗМ доля однобитовых отказов ω_1 принята равной 0,33, доля отказов строк и столбцов ЗЭ $\omega_2 + \omega_3 = 0{,}34$, доля полных отказов ЗМ $\omega_4 = 0{,}33$.

Таблица 9.5

Виды отказов ЗМ	$P(t)$ для интервала времени			
	24 ч	720 ч	8760 ч	43 800 ч
	Емкость ЗУ 128К 16-разрядных слов			
Однобитовые	>0,999 999	>0,999 999	>0,999 999	>0,999 999
Четырех видов	>0,999 999	0,999 965	0,995 097	0,908 285
Полные	>0,999 999	0,999 105	0,881 474	0,108 209
	Емкость ЗУ 512К 128-разрядных слов			
Однобитовые	>0,999 999	>0,999 999	>0,999 999	>0,999 999
Четырех видов	0,999 984	0,994 561	0,708 397	0,532 697
Полные	0,999 840	0,866 110	0,000 002	<0,000 001

Использование статистических данных по видам и соотношениям различных отказов позволяет более точно рассчитать надежность ЗУ. Расхождения в значениях вероятностей безотказной работы ЗУ при разных моделях отказов возникают вследствие различного количества неисправных адресов. Вследствие этого вероятности совпадения двух отказов по одному адресу, что является критерием отказа ЗУ, отличаются при разных моделях отказов. Это ведет к разным значениям $P_{ЗУ}(t)$. Отличия наиболее сильно проявляются при больших значениях наработки ЗУ, что объясняется эффектом накопления отказов с течением времени.

В табл. 9.6 приведены значения вероятностей безотказной работы $P(t)$ и средней наработки до отказа $t_{о\,ср}$ накопителя ЗУ без коррекции ошибок и с коррекцией одноразрядных и двухразрядных ошибок, а также аналогичные показатели надежности для элементов электроники обрамления ЗУ — адресных и разрядных формирователей, формирователей режима, формирователей выбора строки, а также усилителей считывания при интенсивности отказов микросхем обрамления $\lambda_{обр}=10^{-8}$ 1/ч.

Надежность элементов электроники обрамления ограничивает надежность ЗУ с коррекцией ошибок в накопителе. Если не принимать специальных мер по исправлению ошибок из-за отказов элементов электроники обрамления, то преимущества кода, исправляющего двухразрядные ошибки в ЗУ, незначительны по сравнению с кодом, исправляющим одноразрядные ошибки. Для существенного повышения надежности ЗУ путем коррекции двухразрядных ошибок необходимо исправлять ошибки, возникающие

Таблица 9.6

Узлы ЗУ	$P(t)$ для интервалов времени				$t_{о\,ср}$, ч
	24 ч	720 ч	8760 ч	43 800 ч	
Емкость ЗУ 128К 16-разрядных слов					
Накопитель					
без коррекции ошибок	0,996 933	0,911 959	0,325 862	0,003 674	7800
с коррекцией одноразрядных ошибок	>0,999 999	0,999 965	0,995 097	0,908 285	2900000
с коррекцией двухразрядных ошибок	>0,999 999	>0,999 999	0,999 823	0,982 767	21000000
Элементы электроники обрамления					
без коррекции ошибок	0,999 991	0,999 748	0,996 939	0,984 787	2400000
с коррекцией двухразрядных пакетов ошибок	0,999 998	0,999 950	0,999 384	0,996 870	4000000
Емкость ЗУ 512К 128-разрядных слов					
Накопитель					
без коррекции ошибок	0,906 373	0,052 386	<0,000001	<0,000001	240
с коррекцией одноразрядных ошибок	0,999 984	0,994 561	0,708 397	0,532 697	230000
с коррекцией двухразрядных ошибок	0,999 999	0,999 931	0,918 473	0,668 924	2400000
Элементы электроники обрамления					
без коррекции ошибок	0,999 822	0,994 686	0,937 232	0,723 163	110000
с коррекцией двухразрядных пакетов ошибок	0,999 964	0,998 933	0,986 794	0,929 810	240000

вследствие отказов элементов электроники обрамления. Если добиться, что разрядность таких ошибок будет не больше 2, то они исправляются кодами БЧХ. При этом вероятность безотказной работы элементов электроники обрамления приближается к вероятности безотказной работы накопителя.

Для повышения надежности ЗУ при использовании кодов, исправляющих одноразрядные ошибки, желательно хотя бы обнаруживать отказы элементов электроники обрамления. При разрядности этих ошибок, равной двум, они могут быть обнаружены кодом с $d=4$. Эффективными методами обнаружения ошибок, возникающих из-за отказов элементов электроники обрамления, являются: периодический контроль содержимого ЗУ; использование кодов, исправляющих одноразрядные и обнаруживающих двухразрядные и пакетные ошибки; подключение элементов электроники обрамления к ЗМ, обеспечивающее уменьшение разрядности ошибок из-за их отказов.

В ЗУ большой емкости с коррекцией двухразрядных ошибок число подключаемых к формирователю строк ЗМ не должно превышать двух. В этом случае разрядность ошибок при отказах формирователей не превышает 2, что обеспечивает их исправление кодом с минимальным кодовым расстоянием $d=5$. Следует, однако, отметить, что при коррекции двухразрядных ошибок возрастает избыточность элементов в ЗУ, особенно в ЗУ малой разрядности. Например, при числе информационных разрядов, равном 16, разрядность ЗУ с коррекцией одноразрядных ошибок равна 22, а с коррекцией двухразрядных ошибок — 27. При $k=128$ разрядность ЗУ составляет соответственно 137 и 145 разрядов. Поэтому использование кодов, исправляющих двухразрядные и обнаруживающих трехразрядные независимые ошибки, оправдано лишь в ЗУ большой емкости с большой длиной слова, если по условиям его применения замена отказавших МП или ЗМ невозможна или нежелательна в течение длительных периодов времени. В ЗУ малой разрядности целесообразно применять метод двойного инвертирования совместно с коррекцией одноразрядных ошибок (см. § 8.4). Однако в этом случае ЗУ должно работать в асинхронном режиме, так как исправление двухразрядной ошибки приводит к существенному увеличению цикла обращения.

Эффективным средством повышения надежности восстанавливаемых ЗУ являются периодические профилактические работы, во время которых производится замена или ремонт отказавших элементов. В этом случае достаточно использовать в ЗУ простейшие корректирующие коды, исправляющие одноразрядные ошибки. Поскольку максимальный интервал времени, в течение которого происходит накопление отказов, равен времени между соседними профилактиками, то ежедневные профилактические работы обеспечивают вероятность безотказной работы ЗУ с коррекцией одноразрядных ошибок не менее 0,999 при емкости ЗУ 8 Мбайт, а ежемесячные профилактические работы ЗУ такой же емкости — $P(t)$ не менее 0,99 (см. табл. 9.6).

ГЛАВА 10. НАДЕЖНОСТЬ ВНЕШНИХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

10.1. НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА ЦИЛИНДРИЧЕСКИХ МАГНИТНЫХ ДОМЕНАХ С КОРРЕКЦИЕЙ ПАКЕТНЫХ ОШИБОК

Запоминающие устройства на ЦМД в настоящее время используются в электронно-вычислительной аппаратуре с повышенными требованиями к ее надежности, вследствие чего в большинстве ЦМД ЗУ применяются средства коррекции ошибок. Пакетный характер ошибок из-за сбоев в ЦМД ЗУ (см. § 2.4) обусловил использование с целью повышения их надежности кодов Файра, исправляющих произвольно расположенные одиночные пакеты ошибок.

В настоящее время выпускаются наборы интерфейсных схем, предназначенных для построения ЦМД ЗУ [66, 67]. Структурная схема ЦМД ЗУ с интерфейсными ИС приведена на рис. 2.12. Усилитель считывания модели 7242 фирмы Intel Magnetics содержит

Таблица 10.1

Тип сбоя	ЦМД ЗУ фирмы Texas Instruments			ЦМД ЗУ фирмы Intel Magnetics		
	Вероятность появления 256-битовой страницы со сбоем	Доля обнаруживаемых ошибок, %	Доля исправляемых ошибок, %	Вероятность появления 256-битовой страницы со сбоем	Доля обнаруживаемых ошибок, %	Доля исправляемых ошибок, %
Одиночный случайный сбой	$3 \cdot 10^{-4}$	100	100	10^{-6}	100	100
Одиночный постоянный сбой	$3 \cdot 10^{-6}$	100	100	10^{-7}	100	100
Два независимых случайных сбоя	$3 \cdot 10^{-8}$	100	50	10^{-12}	100	—
Пакет из двух случайных сбоев	$3 \cdot 10^{-9}$	100	100	—	100	100
Пакет из двух постоянных сбоев	$3 \cdot 10^{-11}$	100	100	—	100	100
Пакет из трех-пяти случайных сбоев	$2 \cdot 10^{-11}$	100	—	10^{-9}	100	100
Два независимых постоянных сбоя	$3 \cdot 10^{-12}$	100	50	10^{-14}	100	—
Три независимых случайных сбоя	$3 \cdot 10^{-12}$	87	—	10^{-17}	100	—
Одиночный случайный сбой и пакет из двух случайных сбоев	$8 \cdot 10^{-13}$	100	—	—	100	—
Необнаруживаемые и некорректируемые сбои	$4 \cdot 10^{-13}$	—	—	10^{-13}	—	—

схемы кодирования и декодирования, исправляющие 5-разрядные пакетные ошибки в 256-битовой последовательности данных (рис. 8.8). Наборы интерфейсных ИС других фирм, например Texas Instruments, также включают в себя средства обнаружения и коррекции ошибок [67].

Эффективность корректирующих кодов по отношению к характерным для ЦМД ЗУ ошибкам очень высока. Коды обеспечивают исправление или обнаружение большинства сбоев ЗУ (табл. 10.1).

Характер отказов ЦМД ЗУ (сбои в считанных и хранимых данных) очень благоприятен для использования корректирующих кодов. Если при обнаружении ошибок в считанных данных, возникающих из-за сбоев, производится перезапись исправленной информации, то ошибки не накапливаются. Поэтому применение кодов обеспечивает значительное уменьшение вероятности отказа ЦМД ЗУ и увеличение средней наработки на отказ. В табл. 10.2 приведены данные по надежности ЦМД ЗУ емкостью 1 Мбит фирмы Intel Magnetics.

Вследствие высокой эффективности корректирующие коды широко используются в ЦМД ЗУ. В табл. 10.3 приведены параметры надежности некоторых серийно выпускаемых ЦМД ЗУ.

Таблица 10.2

Температура окружающей среды, °С	ЦМД ЗУ без коррекции ошибок		ЦМД ЗУ с коррекцией ошибок	
	Вероятность появления отказа	Наработка на отказ, ч	Вероятность появления отказа	Наработка на отказ, лет
25	10^{-9}	4	10^{-16}	10^{3}
0; 50	10^{-7}—10^{-8}	0,04—0,4	10^{-12}—10^{-14}	0,58—60

Таблица 10.3

Тип ЦМД ЗУ, фирма, страна	Емкость, Мбайт	Скорость передачи данных, кбит/с	Наработка на отказ, тыс. ч.	Средства коррекции ошибок
MP E-140, Siemens, ФРГ	1	800	44	Код Файра $n=270$, $b=5$
i SBC 250, Intel, США	0,128	100	150	То же
x BUB 1, Xcalibur Computers, Великобритания	0,128	100	87	—
DR 3101, Targa Electronics Systems, Канада	0,256	200	Вероятность отказа 10^{-14}	—
ЗУ специального назначения, Bell Telephone Laboratories, США	5	1600	8	Циклический код, обнаруживающий пакеты ошибок $n=4096$, $b=32$. Повторное считывание

10.2. СОВМЕСТНОЕ КОДИРОВАНИЕ ДАННЫХ В СИСТЕМЕ НАКОПИТЕЛЕЙ НА МАГНИТНЫХ ДИСКАХ

Эффективным способом повышения надежности систем накопителей на магнитных дисках (НМД) является способ совместного кодирования данных.[1] Совместное кодирование данных системы НМД с целью защиты от отказа любого накопителя состоит в записи на один избыточный, контрольный (k_0+1)-й накопитель проверочной информации, представляющей собой поразрядную сумму по модулю два одноименных секторов k_0 основных (информационных) накопителей. Обновление данных контрольного НМД происходит при обновлении любых данных системы. Предполагается, что каждый накопитель содержит средства, позволяющие обнаружить его отказ. В качестве таких средств могут использоваться коды, обнаруживающие и исправляющие ошибки.

Для защиты системы от отказов двух НМД необходимо ввести бо́льшее число контрольных НМД, чем при защите от отказов одного НМД. Число контрольных НМД в этом случае зависит от числа основных.

Алгоритм считывания и записи информации при защите системы НМД от отказа одного накопителя. При установке пакетов дисков производится вычисление проверочных данных и запись их на контрольный НМД. Вычисление проверочных данных требует считывания всех данных с основных НМД. Если сектор не заполнен данными или заполнен не полностью, то подразумевается, что он заполнен нулями.

Алгоритм считывания информации следующий.

1. При отсутствии сбоев в режиме считывания информации с НМД работа осуществляется без использования проверочной информации.

2. При отказе накопителя, с которого осуществляется считывание информации, производится чтение одноименных секторов со всех работоспособных НМД, входящих в систему накопителей, объединенных совместным кодированием, в том числе проверочного. Восстановление поля данных требуемого сектора производится сложением по модулю 2 считанных полей данных.

Алгоритм записи состоит в обновлении требуемого сектора и одноименного сектора проверочного НМД. Новые проверочные данные определяются выражением

$$c = \tilde{и}_i + \tilde{c} + и_i, \qquad (10.1)$$

где $\tilde{c}$ — старые проверочные данные, $\tilde{и}_i$ и $и_i$ — соответственно старые и новые данные.

Таким образом, для получения нового проверочного сектора необходимо считать его старое поле данных, старое поле данных

---

[1] **Шамаев Ю. М., Огнев И. В., Столяренко Д. А.** Повышение надежности большой системы накопителей на магнитных дисках//Тез. науч. сообщ. Всесоюз. конф. «Вычислительные системы, сети и центры коллективного пользования», ч. 3. — СО АН СССР. — Новосибирск, 1978. — С. 11—14.

обновляемого сектора и произвести сложение их по модулю 2 с новыми данными. Обращение к одному сектору на выбранном и контрольном накопителях происходит дважды, т. е. необходим добавочный оборот носителя.

Процедура восстановления информации в накопителе сходна с процедурой начального формирования проверочных данных. Различие заключается в том, что роль контрольного НМД играет восстанавливаемый НМД.

Алгоритм считывания и записи информации при защите системы НМД от отказа двух накопителей. Для защиты системы НМД от отказа двух любых накопителей используется метод, аналогичный методу, использующему код Хэмминга. В этом случае для четырех основных НМД ($k_o=4$) необходимо 3 контрольных НМД, при $5\leqslant k_o\leqslant 11$ необходимо 4 контрольных НМД, при $12\leqslant k_o\leqslant 26$ — 5 контрольных НМД. Для примера рассмотрим алгоритмы считывания и записи для системы НМД с 8 основными накопителями. Методика построения алгоритмов для любого k_o аналогична. Совместное кодирование для $k_o=8$ заключается в связи одноименных секторов основных и проверочных накопителей посредством поразрядного суммирования информации по модулю два. Организация связи иллюстрируется с помощью H-матрицы (10.2):

$$H=\begin{bmatrix} 00001111 & 1000 \\ 01110001 & 0100 \\ 10110110 & 0010 \\ 11011010 & 0001 \end{bmatrix}, \qquad (10.2)$$

$$\begin{matrix} и_1 & и_8 & c_4 & c_1 \end{matrix}$$

где $и_1$—$и_8$ — номера основных НМД, c_1—c_4 — номера контрольных НМД.

Если накопитель работоспособен, то считывание информации производится обычным образом без использования проверочной информации. При отказе выбранного для считывания данных накопителя используется сложение по модулю два содержимого одноименных секторов одного контрольного и соответствующей группы работоспособных накопителей, определяемых H-матрицей (10.2).

При записи обновление одноименных секторов происходит на двух или трех контрольных накопителях [см. H-матрицу (10.2)]. Алгоритм записи информации аналогичен алгоритму записи при одном контрольном НМД.

Аппаратурные затраты в системе НМД с совместным кодированием данных. Экономичность системы НМД при совместном кодировании данных достигается за счет малых дополнительных аппаратных затрат. При защите системы от отказа одного НМД требуется один проверочный накопитель. В случае защиты системы от отказа двух накопителей число контрольных НМД может быть определено из выражения (8.11), если принять r — число контрольных НМД; n — общее число основных и проверочных НМД. В табл. 10.4 представлены дополнительные аппаратурные затраты

системы НМД с совместным кодированием данных (по отношению к нерезервированной системе) для случаев защиты от отказа одного и от отказа двух НМД, а также дублирования.

Таблица 10.4

Количество основных НМД	Дополнительные аппаратурные затраты системы НМД, %		
	с совместным кодированием (отказ одного НМД)	с совместным кодированием (отказ двух НМД)	с дублированием
2	50	100	100
3	33	100	100
4	25	75	100
8	13	50	100
16	6	31	100

Увеличение количества НМД в системе ведет, как правило, к увеличению количества устройств управления (УУ). Так, если к одному УУ можно подключить до 8 НМД, то для системы из 6 НМД при дублировании потребуется два УУ; при совместном кодировании с защитой от отказа одного НМД можно обойтись одним УУ.

Совместное кодирование данных требует запаса производительности процессора, работающего с системой НМД, для вычисления проверочных данных и при восстановлении утраченных данных. Этот запас необходим для выполнения сложения по модулю 2 слов при обращении к системе НМД в режиме записи (2 сложения) и при обращении в режиме считывания с отказавшего НМД (k_0—1 сложений, где k_0 — число основных НМД).

В оперативном ЗУ необходимо предусмотреть буферную зону. Ее емкость определяется временем суммирования по модулю 2 двух секторов. Если суммирование производится в темпе поступления считываемых с НМД данных, то необходимая емкость буферной зоны равна двойной длине поля данных сектора. В буферной зоне хранятся записываемые данные и получаемые в темпе чтения результаты суммирования по модулю 2 старых данных выбранного накопителя и старых проверочных данных. Для реализации алгоритма чтения с отказавшего НМД необходимо хранить только полученную в темпе чтения сумму по модулю 2 данных одноименных секторов исправных накопителей, т. е. необходимая емкость буферной зоны равна емкости сектора.

Если суммирование не производится в темпе поступления считываемых данных, то необходим большой объем буферной зоны. При записи информации необходимый объем составляет тройную длину поля данных сектора для хранения всех слагаемых. При чтении с отказавшего НМД необходимый объем составляет k_0 секторов. При реализации как записи, так и чтения с отказавшего НМД промежуточная сумма по модулю 2 записывается в буферной зоне на место одного из слагаемых.

Надежность системы НМД с совместным кодированием данных. Основная цель совместного кодирования данных в системе НМД — повышение надежности НМД без больших аппаратных затрат. Оценку эффективности метода проведем без учета надежности устройств управления. Распределение наработки на отказ и времени восстановления примем экспоненциальным. Среднюю наработку на отказ одного НМД будем считать равной 1000 ч, сред-

Таблица 10.5

Число основных НМД	Анализируемый интервал времени, ч	Вероятность безотказной работы системы НМД			
		без резервирования	с совместным кодированием (отказ одного НМД)	с совместным кодированием (отказ двух НМД)	с дублированием
3	720	0,115	0,991	0,9999	0,996
	8760	$0{,}4\cdot10^{-11}$	0,901	0,9995	0,949
8	720	0,03	0,950	0,9995	0,989
	8760	$0{,}4\cdot10^{-30}$	0,538	0,9940	0,870

нее время восстановления — 1 ч. Следовательно, интенсивность отказов $\lambda_{НМД} = 10^{-3}$ 1/ч, интенсивность восстановления $\mu_{НМД} = 1$ 1/ч.

В табл. 10.5 приведены показатели надежности системы НМД при различных значениях избыточности, рассчитанные по формулам, приведенным в табл. 3.3. Анализ результатов показывает, что дублирование и совместное кодирование НМД с защитой от отказов одного накопителя дают близкие значения вероятностей безотказной работы. При совместном кодировании данных в системе НМД с защитой от отказа двух НМД вероятность безотказной работы системы близка к вероятности системы с кратностью резерва, равной двум. Это объясняется тем, что для обоих методов работоспособность системы НМД нарушается при отказах двух НМД.

Недостатком метода совместного кодирования данных в системе НМД является увеличение временны́х затрат в режимах записи вследствие необходимости обращения к требуемому и контрольному накопителям и двухкратного обращения к каждому из этих накопителей для считывания старых и записи новых данных. Поэтому метод целесообразно применять в информационно-справочных системах, в которых основной операцией является считывание данных, а запись новой информации производится редко.

ЧАСТЬ 4
СТРУКТУРНЫЕ МЕТОДЫ ПОВЫШЕНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

ГЛАВА 11. ПОВЫШЕНИЕ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ МЕТОДАМИ РЕЗЕРВИРОВАНИЯ

11.1. КЛАССИФИКАЦИЯ МЕТОДОВ РЕЗЕРВИРОВАНИЯ

В теории надежности под резервированием понимается применение дополнительных средств и (или) возможностей с целью сохранения работоспособного состояния объекта при отказе одного или нескольких его элементов. Рассмотрим структурное, информационное и временно́е резервирование.

Структурное резервирование предусматривает применение резервных элементов объекта. Суть его заключается в том, что в минимально необходимый вариант устройства, элементы которого называются основными, вводятся дополнительные элементы либо вместо одного устройства предусматривается использование нескольких идентичных устройств. При этом назначение резервных элементов заключается в том, чтобы взять на себя выполнение рабочих функций при отказе соответствующих основных элементов.

Информационное резервирование предусматривает применение резерва информации. Простейшим примером информационного резервирования является многократная передача одного и того же сообщения по каналу связи. К информационному резервированию относится также использование корректирующих кодов, обнаруживающих и исправляющих ошибки, которые возникают в результате сбоев и отказов аппаратуры.

Временно́е резервирование предусматривает использование резервов времени. Реализация метода предполагает возможность возобновления функционирования аппаратуры, прерванного в результате ее отказа. При этом на выполнение аппаратурой необходимой работы отводится время, заведомо большее минимально необходимого.

Перечисленные виды резервирования могут быть применены либо к устройству в целом, либо к отдельным его элементам или к их группе. В первом случае резервирование называется общим, во втором — раздельным.

При структурном резервировании большое значение имеет режим работы резервных элементов до и после появления отказа в основных элементах, а также кратность резервирования. По этим признакам структурное резервирование классифицируется на постоянное, скользящее и резервирование замещением.

Постоянным называется резервирование, при котором резервные элементы участвуют в функционировании объекта наравне с основными. Для постоянного резервирования существенно, что в случае отказа основного элемента не требуется специальных устройств, вводящих в действие резервный элемент, поскольку он вводится в действие одновременно с основным.

Резервирование замещением — резервирование, при котором функции основного элемента передаются резервному только после отказа основного. При резервировании замещением необходимы контролирующие и переключающие устройства для обнаружения отказа основного элемента и подключения резервного.

Скользящее резервирование — это резервирование замещением, при котором группа основных элементов объекта резервируется одним или несколькими резервными элементами, каждый из которых может заменить любой отказавший элемент в данной группе.

В зависимости от режима работы резервных элементов различают нагруженный, облегченный и ненагруженный резервы.

Нагруженный резерв — резервный элемент находится в том же режиме, что и основной. При этом принимается, что характеристики надежности резервных элементов в период их пребывания в качестве резервных и в период их использования вместо основных после отказа последних остаются неизменными [29].

Облегченный резерв — резервный элемент находится в менее нагруженном режиме, чем основной. При этом принимается, что характеристики надежности резервных элементов в период их пребывания в качестве резервных выше, чем в период их применения вместо основных после отказа последних.

Ненагруженный резерв — резервный элемент не несет нагрузки. Принимается, что такой резервный элемент, находясь в резерве, отказывать не должен, т. е. обладает в этот период идеальной надежностью. В период использования резервного элемента вместо основного после отказа последнего надежность резервного элемента становится равной надежности основного.

Аппаратурные затраты на резервирование объекта характеризуются кратностью резервирования — отношением числа резервных элементов к числу основных. Различают резервирование с целой и дробной кратностью.

Резервирование с целой кратностью имеет место, когда один основной элемент резервируется одним или более резервными элементами. Резервирование с дробной кратностью имеет место, когда два и более однотипных элементов резервируются одним или более резервными элементами. Обычно при резервировании с дробной кратностью число основных элементов превышает число резервных. Резервирование, кратность которого равна единице, называется дублированием.

При мажоритарном резервировании вместо одного включаются три идентичных устройства, выходы которых подаются на мажоритарный орган. На выходе мажоритарного органа будет сигнал, совпадающий с большинством одинаковых сигналов на его входах, т. е. мажоритарный орган осуществляет операцию голосования или выбора по большинству.

Надежность резервированных систем в значительной степени определяется тем, применено ли резервирование с восстановлением или без него.

Резервирование, при котором работоспособность любого основного и резервного элементов объекта в случае возникновения отказов подлежит восстановлению в процессе эксплуатации объекта, называется резервированием с восстановлением. В противном случае имеет место резервирование без восстановления.

В данной главе на примере полупроводниковых ЗУ рассмотрены различные методы структурного резервирования ЗУ и их эффективность.

В ЗУ получили распространение как нагруженное, так и ненагруженное дублирование, мажоритарное резервирование, скользящее резервирование. Резервирование с кратностью резерва больше 2 широкого распространения не получило вследствие большой аппаратурной избыточности и рассматриваться не будет.

11.2. ДУБЛИРОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С НАГРУЖЕННЫМ РЕЗЕРВОМ

В дублированных ЗУ с нагруженным резервом питание одновременно подается на основной и резервный модули памяти (МП) (рис. 11.1). Запись информации производится одновременно в оба МП, что обеспечивает идентичность хранимой в них информации. Считывается информация только из одного МП. В случае ошибки в считанном из первого МП слове производится считывание данных по тому же адресу из второго МП [68]. Для обнаружения ошибок в МП используется контроль по модулю два.

В дублированных ЗУ с нагруженным резервом возможны две стратегии работы с отказавшим МП.

Стратегия 1. При возникновении отказа в первом рабочем МП модуль отключается, и работа продолжается со вторым, резервным МП до его отказа. При возникновении отказа во втором модуле памяти ЗУ считается неисправным.

Стратегия 2. При появлении отказа в первом МП считывание производится из второго МП. Последующие данные записываются в оба МП. При возникновении отказа во втором МП считывание производится из первого МП. В случае нового отказа первого МП или обращения к ранее отказавшим ЗМ осуществляется считывание из второго МП и так далее, пока в обоих МП не возникнут отказы по одинаковым адресам.

Относительный объем оборудования резервированного ЗУ по отношению к ЗУ без резервирования

$$\delta Q_{\text{ЗУ д}} = 2\,(1 + 1/k). \qquad (11.1)$$

где k — число информационных разрядов в слове.

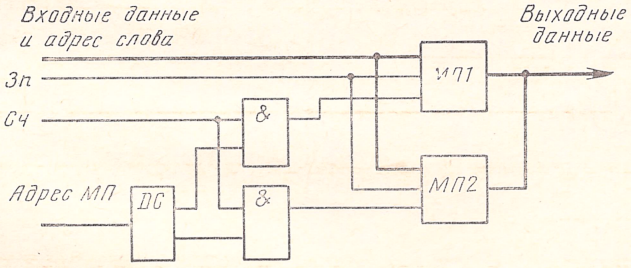


Рис. 11.1. Структурная схема дублированного ЗУ с нагруженным резервом

11.3. ДУБЛИРОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С НЕНАГРУЖЕННЫМ РЕЗЕРВОМ

Дублированное ЗУ с ненагруженным резервом состоит из двух идентичных МП. Во время работы питание подано только на один, работающий МП (рис. 11.2,*а*). Для обнаружения ошибок в МП используется контроль по модулю два. При возникновении отказа в работающем МП подается питание на резервный МП, с которым продолжается работа. Отказавший МП отключается путем снятия с него питающих напряжений.

Так же, как и при нагруженном резерве, данная схема включения резервного МП обеспечивает две стратегии работы с отказавшими МП.

Стратегия 1. При возникновении отказа работающий МП отключается и работа продолжается со вторым МП. Отказы обоих МП приводят к отказу всего ЗУ.

Стратегия 2. После возникновения отказа в первом МП он отключается, работа продолжается со вторым МП. После появления отказа во втором МП он отключается, и опять включается первый МП и так до тех пор, пока в обоих модулях памяти не возникнут отказы по совпадающим адресам.

Нетрудно заметить, что стратегия 2 может использоваться только в ЗУ, сохраняющих информацию при отключении питания. Стратегия 1 может применяться в ЗУ с разрушением информации при отключении питания, если имеется возможность перезаписи содержимого памяти с внешнего источника или повторения выполнения программы.

Объемы оборудования дублированных ЗУ с ненагруженным и нагруженным резервом примерно одинаковы и определяются по формуле (11.1).

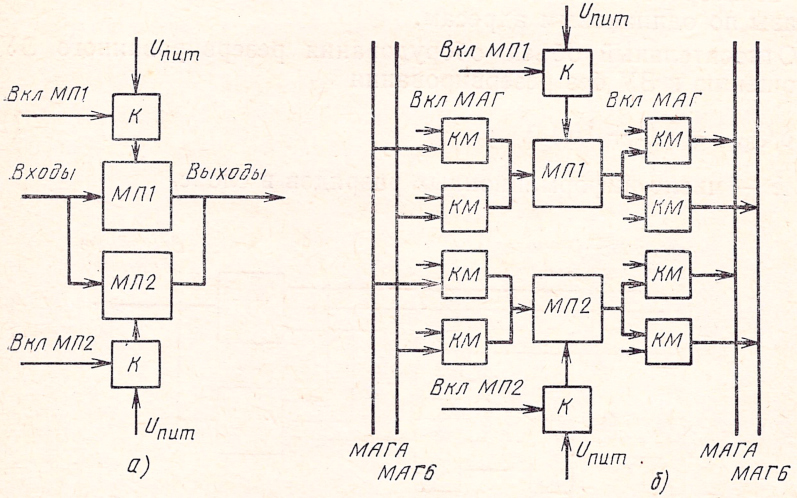


Рис. 11.2. Структурная схема дублированного ЗУ с нагруженным резервом с общими (*а*) и дублированными (*б*) магистралями адреса, данных и управления

На практике дублированные ЗУ часто используют в составе вычислительных или управляющих систем с помодульным резервированием. В этих системах каждый функционально законченный модуль имеет свой резервный модуль. Для предотвращения выхода из строя сразу обоих дублированных модулей при отказах во входных или выходных цепях одного из них предусматривается дублирование магистралей, связывающих различные модули системы. Схемы подключения дублированного ЗУ к основной и резервной магистралям приведена на рис. 11.2,*б*, на котором МАГА, МАГБ — магистрали А и Б, КМ — коммутатор магистралей, ВКЛ МАГ — сигнал включения магистрали.

11.4. МАЖОРИТАРНОЕ РЕЗЕРВИРОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

При использовании мажоритарного резервирования ЗУ состоит из трех идентичных МП, находящихся во включенном состоянии (рис. 11.3,*а*). Обращение в режимах записи и считывания производится одновременно ко всем трем МП. Выходные данные с модулей поступают на мажоритарные органы (МО). Выходной сигнал мажоритарного органа формируется по совпадению большинства входных сигналов, т. е. правильное считывание данных возможно при отказе не более одного МП. Схема мажоритарного элемента и таблица истинности, иллюстрирующая его работу, приведены на рис. 11.4.[1] Так как мажоритарный орган имеет три входа и один выход, то в 14-выводном корпусе размещаются три таких элемента.

Относительный объем оборудования троированного ЗУ по сравнению с нерезервированным равен 3.

Запоминающие устройства с мажоритарным резервированием в основном используются в высоконадежных вычислительных и управляющих системах с помодульным мажоритарным резервированием. Все основные функциональные модули в них имеют по два резервных модуля, включенных по схеме мажоритарного резерви-

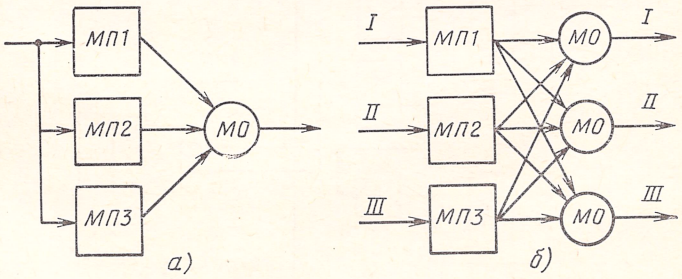
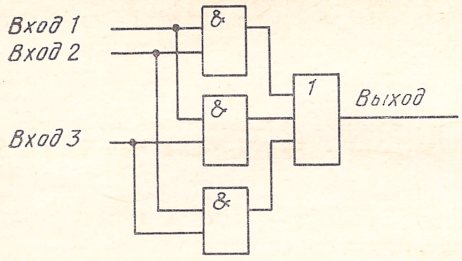


Рис. 11.3. Структурная схема ЗУ с мажоритарным резервированием (*а*) и схема подключения МП в троированных системах (*б*)

[1] **Уокерли Дж.** Повышение надежности микро-ЭВМ путем тройного резервирования модулей//ТИИЭР. — 1976. — Т. 64, № 6. — С. 68—75.



а)

Вход 1	Вход 2	Вход 3	Выход
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

б)

Рис. 11.4. Функциональная схема (*а*) и таблица истинности (*б*) мажоритарного элемента

рования. Схема подключения резервированного ЗУ в таких системах приведена на рис. 11.3,*б*, где I, II, III — номера магистралей резервированной системы.

11.5. СКОЛЬЗЯЩЕЕ РЕЗЕРВИРОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Модульное ЗУ состоит из набора однотипных модулей памяти, что позволяет иметь в резерве только один или несколько МП. Резервный МП может заменять любой из отказавших, поэтому дан-

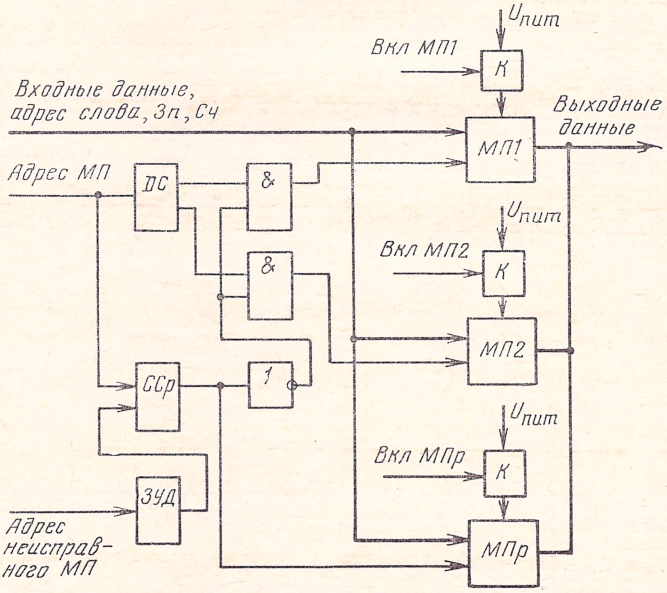


Рис. 11.5. Структурная схема ЗУ со скользящим резервированием МП

ный вид резервирования называется скользящим. В общем случае для k_o основных МП имеется $l_р$ резервных (рис. 11.5). При работе ЗУ резервные МП находятся в выключенном состоянии. В случае возникновения отказа в одном из работающих МП определяется его адрес. Адрес отказавшего МП заносится в ЗУ адреса дефекта (ЗУД) и с помощью схемы сравнения (ССр) адреса обращения и неисправного адреса вместо неисправного подключается резервный модуль памяти (МПр). Для обнаружения отказа используется контроль по модулю два. При замене основного МП резервным необходимо либо заново записать данные в ЗУ из внешнего источника, либо повторить выполнение программы.

Так как число основных МП превышает число резервных, то скользящее резервирование нельзя использовать в постоянных ЗУ. Это вызвано тем, что заранее не известно, какой МП откажет, а в различных МП в общем случае могут храниться различающиеся данные.

Относительный объем оборудования ЗУ с использованием скользящего резервирования определяется по формуле

$$\delta Q_{ЗУ\,с} = (1 + l_р/k_о)\,(1 + 1/k). \qquad (11.2)$$

11.6. АНАЛИЗ ЭФФЕКТИВНОСТИ МЕТОДОВ РЕЗЕРВИРОВАНИЯ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Повышение надежности резервированных ЗУ обеспечивается за счет введения дополнительных аппаратурных затрат. Достигаемые значения показателей надежности определяются параметрами и способом резервирования ЗУ. В табл. 11.1 приведены значения вероятностей безотказной работы накопителей полупроводниковых ЗУ, рассчитанные по формулам табл. 3.2, а на рис. 11.6 — зависимости относительного объема оборудования при использовании различных способов резервирования. Расчеты выполнены для ЗМ со следующими параметрами: емкость ЗМ 16×1 кбит, интенсивность отказов ЗМ 10^{-6} 1/ч, доля однобитовых отказов от общего числа отказов ЗМ 0,33, доля отказов строк и столбцов ЗЭ 0,34, доля полных отказов ЗМ 0,33.

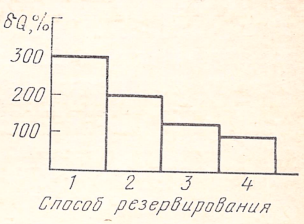


Рис. 11.6. Зависимости относительного количества оборудования резервированных ЗУ от способа резервирования:

1 — мажоритарное резервирование; *2* — дублирование; *3* — скользящее резервирование; *4* — без резервирования

Параметры ЗУ являются типичными для класса устройств, в которых применяется структурное резервирование. Анализируя результаты табл. 11.1 и рис. 11.6, можно сделать следующие выводы.

1. Максимальную надежность обеспечивает мажоритарное резервирование ЗУ. Дублирование с нагруженным и ненагруженным включением резервного МП уступает по надежности мажоритарному резервированию даже при использовании наиболее эффективной

Таблица 11.1

ЗУ	$P(t)$ для интервалов времени			
	24 ч	720 ч	8760 ч	43 800 ч
Емкость ЗУ 32К 8-разрядных слов				
Без резервирования	0,999 616	0,988 546	0,869 219	0,496 188
Дублированное с нагруженным резервом, стратегии 1/2	>0,999 999/> >0,999 999	0,999 834/ 0,999 972	0,978 720/ 0,996 184	0,702 508/ 0,932 841
Дублированное с ненагруженным резервом, стратегии 1/2	>0,999 999/> >0,999 999	0,999 917/ 0,999 986	0,988 801/ 0,998 040	0,812 956/ 0,961 171
С мажоритарным резервированием	>0,999 999	0,999 992	0,998 794	0,972 601
Емкость ЗУ 128К 16-разрядных слов				
Без резервирования	0,996 933	0,911 959	0,325 862	0,003 674
Дублированное с нагруженным резервом, стратегии 1/2	0,999 989/ 0,999 999	0,991 299/ 0,999 606	0,515 316/ 0,952 245	0,005 170/ 0,683 391
Дублированное с ненагруженным резервом, стратегии 1/2	0,999 995/> >0,999 999	0,995 508/ 0,999 802	0,665 752/ 0,974 153	0,018 005/ 0,737 433
С мажоритарным резервированием	>0,999 999	0,999 934	0,990 471	0,834 067
Со скользящим резервированием ($k_0=8$, $l_p=1$)	0,999 995	0,996 005	0,691 245	0,024 274

стратегии 2 работы с отказавшими МП, когда отказ ЗУ наступает только при возникновении отказов в совпадающих столбцах ЗМ основного и резервного МП. Это обусловлено тем, что контроль по четности, используемый для обнаружения неисправностей в дублированных ЗУ, определяет лишь факт наличия отказа в столбце из $n_{зу}$ запоминающих микросхем и не позволяет указать номер неисправной ЗМ в столбце. Поэтому отказ одной ЗМ выводит из строя целый столбец ЗМ. В то же время при мажоритарном резервировании при одиночном отказе неисправна лишь одна ЗМ. Несмотря на то, что при мажоритарном резервировании и при дублировании по стратегии 2 работа ЗУ продолжается до появления двух отказов в совпадающих адресных полях основного и резервного МП, размер этих полей при мажоритарном резервирования в $n_{зу}$ раз меньше, чем при дублировании. Поэтому вероятность совпадения отказавших адресов в основном и резервном МП при мажоритарном резервировании меньше, чем при дублировании по стратегии 2, вследствие чего надежность ЗУ при использовании мажоритарного резервирования выше.

При уменьшении разрядности ЗУ эффективность дублирования приближается к эффективности мажоритарного резервирования из-за уменьшения числа ЗМ в столбцах. Как следствие этого, уменьшается емкость адресных полей, вышедших из строя при одиночном отказе. Однако для практически используемых значе-

ний разрядности ЗУ ($n_{зу} \geqslant 8$) мажоритарное резервирование более эффективно по надежности, чем различные варианты дублирования.

Недостатком мажоритарного резервирования является большой объем оборудования резервированного ЗУ, в три раза превышающий объем оборудования ЗУ без резервирования.

2. Надежность дублированных ЗУ при стратегии 2 значительно выше, чем надежность дублированных ЗУ с использованием стратегии 1. Это объясняется тем, что при стратегии 1 появление первого отказа приводит к прекращению использования одного МП, а появление второго отказа (во втором МП) — к отказу ЗУ, т. е. работа с ЗУ продолжается до второго отказа. При обработке отказов по стратегии 2 работа с ЗУ продолжается до появления отказов в двух совпадающих столбцах ЗМ из разных МП. Так как МП содержит несколько столбцов ЗМ, то допустимое число отказов, при котором ЗУ работоспособно, больше двух. Следовательно, средняя наработка на отказ и вероятность безотказной работы ЗУ в течение заданного интервала времени выше.

3. Надежность дублированных ЗУ с ненагруженным резервом выше, чем с нагруженным. Интенсивность отказов выключенного МП, находящегося в ненагруженном резерве, ниже, чем для включенного. Поскольку при нагруженном дублировании одновременно включены и работают оба МП, то вероятность появления в них отказа выше, чем для случая, когда один из МП выключен.

4. Запоминающее устройство со скользящим резервированием не уступает по надежности дублированному ЗУ с ненагруженным резервом и обработкой отказов по стратегии 1. При числе резервных МП $l_р = 1$ формулы для расчета вероятностей безотказной работы при обоих способах резервирования одинаковы (см. табл. 3.2). Это обусловлено тем, что в обоих случаях включены ЗУ одинаковой емкости и оба работают до возникновения второго отказа. Отличие заключается в том, что в дублированном ЗУ при отказе заменяется все ЗУ, а при скользящем резервировании — лишь его часть. Так как интенсивность отказов ЗМ в течение периода нормального функционирования не изменяется (см. рис. 3.1), то после ремонта ЗУ, который является нулевой точкой отсчета для дальнейшего функционирования, вероятность безотказной работы замененных и работавших ранее МП одинакова.

Аналогично можно показать, что при скользящем резервировании надежность ЗУ, имеющего более одного резервного МП, будет выше надежности дублированного ЗУ, так как допустимое число отказов при скользящем резервировании больше. Большим достоинством скользящего резервирования являются меньшие аппаратурные затраты на его реализацию по сравнению с другими способами резервирования.

По результатам анализа различных способов резервирования ЗУ можно определить предпочтительные области применения каждого из них (см. табл. 11.2).

Таблица 11.2

Вид резервирования	Предпочтительный тип ЗУ	Достоинства	Недостатки
Нагруженное дублирование, стратегия 1	ОЗУ, ПЗУ, ППЗУ, РПЗУ	Умеренный объем оборудования Сохранность и обновление данных при записи	Необходимость дополнительного цикла считывания при возникновении отказа Невысокая надежность
Нагруженное дублирование, стратегия 2	То же	Умеренный объем оборудования Сохранность и обновление данных при записи Более высокая, чем для стратегии 1, надежность	Необходимость дополнительного цикла считывания при возникновении отказа
Ненагруженное дублирование, стратегия 1	ПЗУ, ППЗУ, РПЗУ, ОЗУ, допускающие перезапись информации при отказе	Умеренный объем оборудования Большая, чем для нагруженного дублирования (стратегия 1), надежность	Отсутствие обновления данных при записи (для ОЗУ) Необходимость реконфигурации ЗУ при отказе Необходимость перезаписи данных при переходе на резервный МП (для ОЗУ) Необходимость дополнительного цикла считывания при возникновении отказа
Ненагруженное дублирование, стратегия 2	ПЗУ, ППЗУ, РПЗУ	Умеренный объем оборудования Бо́льшая надежность, чем для стратегии 1 и нагруженного дублирования	Как для стратегии 1, кроме пунктов, относящихся к ОЗУ
Мажоритарное резервирование	ОЗУ, ПЗУ, ППЗУ, РПЗУ	Наибольшая надежность Не требуется дополнительных операций при возникновении отказа	Большой объем оборудования
Скользящее резервирование	ОЗУ, РПЗУ, допускающие перезапись информации при отказе	Малый объем оборудования Надежность не хуже, чем для ненагруженного резервирования стратегии 1	Необходимость реконфигурации ЗУ при отказе Необходимость перезаписи данных при отказе

Резервирование следует использовать в ЗУ малой емкости и разрядности (например, при $n_{ЗУ} = 8$). Корректирующие коды в таких ЗУ малоэффективны вследствие больших аппаратурных затрат на реализацию схем кодирования и декодирования и блока хранения контрольных разрядов.

Мажоритарное резервирование ЗУ целесообразно использовать в высоконадежных вычислительных и управляющих системах, основные блоки которых троированы. Оно обеспечивает непре-

рывное функционирование устройств даже при возникновении отказов. Устранение последствий отказов не требует дополнительных переключений или обращений к ЗУ.

Дублированные ЗУ чаще используются в дублированных вычислительных и управляющих системах с помодульным нагруженным и ненагруженным резервом.

В постоянных и репрограммируемых ЗУ целесообразно использовать ненагруженный резерв, который обеспечивает более высокую надежность, чем нагруженный. В то же время в ПЗУ не требуется осуществлять перезапись информации, и информация в них, как правило, сохраняется при отключении питания.

Для оперативных ЗУ наиболее эффективным является нагруженный резерв, обеспечивающий обновление и сохранение данных в резервном МП во время работы. Это особенно важно для полупроводниковых ЗУ, в которых информация при снятии питающих напряжений разрушается. Ненагруженное дублирование оперативных ЗУ можно применять в системах, допускающих перезапись информации из внешних источников или повторение выполнения программ при переходе на резервный МП.

Скользящее резервирование целесообразно использовать для замены отказавших МП оперативных ЗУ большой емкости, если ЭВМ или вычислительная аппаратура, в которой применяется ЗУ, допускает восстановление информации в ЗУ.

ГЛАВА 12. РЕЗЕРВИРОВАНИЕ КАК СРЕДСТВО ПОВЫШЕНИЯ ВЫХОДА ГОДНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

12.1. ПРИБЛИЖЕННЫЕ МЕТОДЫ РАСЧЕТА ВЫХОДА ГОДНЫХ РЕЗЕРВИРОВАННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Одним из методов повышения выхода годных ЗУ при их изготовлении является скользящее резервирование. Возможность его использования обусловлена тем, что запоминающие устройства состоят из большого числа однотипных элементов, которые могут быть заменены резервными. В ЗУ на ферритовых сердечниках резервируемыми элементами являются адресные или разрядные шины накопителя, в полупроводниковых ЗМ — строки и столбцы ЗЭ, в ЦМД микросхемах — регистры хранения информации.

При анализе эффективности скользящего резервирования предполагают, что дефекты в ЗУ случайны и распределены равномерно. Сами дефекты малы и приводят к отказам не более одного элемента ЗУ, вследствие чего вероятность появления дефектного элемента одинакова для всех элементов ЗУ.

Устройство, содержащее k_0 основных и $l_р$ резервных элементов, может быть переведено в работоспособное состояние, если оно содержит не более $l_р$ дефектов. Вероятность отсутствия дефектов в

устройстве (или выход годных) определяется по формуле биномиального распределения

$$P_{зу} = \sum_{i=0}^{l_р} C^{i}_{k_о+l_р} (1 - P_{зэ})^{i} P^{k_о+l_р-i}_{зэ}, \qquad (12.1)$$

где $P_{зэ}$ — вероятность отсутствия дефекта в ЗЭ.

При больших значениях $(k_о+l_р)$ и малой величине $(1-P_{зэ})$ биномиальный закон с высокой точностью аппроксимируется распределением Пуассона [69]:

$$P_{зу} \approx \sum_{i=0}^{l_р} \frac{M_п^{i}}{i!} e^{-M_п}, \qquad (12.2)$$

где

$$M_п = (k_о + l_р)(1 - P_{зэ}) \qquad (12.3)$$

— математическое ожидание числа дефектных элементов в устройстве. Для ряда значений $M_п$ функция (12.2) табулирована. Среднее квадратическое отклонение для пуассоновского распределения

$$\sigma_п = \sqrt{M_п}. \qquad (12.4)$$

При невысоких значениях вероятности отсутствия дефекта в ЗЭ, $P_{зэ} < 0{,}8$, биномиальный закон распределения может быть аппроксимирован нормальным законом. График плотности распределения для нормального закона имеет характерную колоколообразную форму (рис. 12.1). Так как число отказов в ЗУ — целое, положительное, то основным условием применения нормального закона распределения для аппроксимации биномиального распределения является равенство нулю вероятности появления бездефектного устройства.

Нормированная функция распределения для нормального закона определяется выражением

$$\Phi_0'(x) = \frac{1}{\sqrt{2\pi}} \int_0^{x} e^{-\frac{z^2}{2}} dz. \qquad (12.5)$$

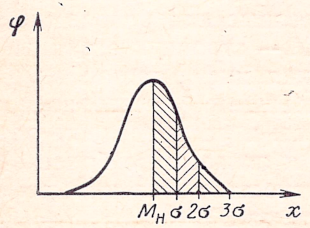


Рис. 12.1. Плотность распределения вероятностей для нормального закона

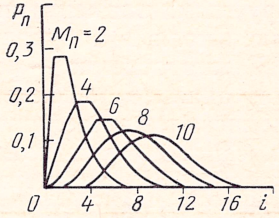


Рис. 12.2. Распределение вероятностей появления i событий для закона Пуассона

Значение функции $\Phi_0(x)$ определяется по таблицам, приведенным, например, в [69]. Предел интегрирования в (12.5) вычисляется по формуле

$$x = \left[\frac{l_р - M_н}{\sigma_н}\right], \tag{12.6}$$

где $M_н$, $\sigma_н$ — математическое ожидание и среднее квадратическое отклонение для нормального закона распределения.

При аппроксимации биномиального закона распределения нормальным параметры $M_н$, $\sigma_н$ вычисляются по формулам

$$M_н = (k_0 + l_р)(1 - P_{зэ}), \tag{12.7}$$

$$\sigma_н = \sqrt{(k_0 + l_р)(1 - P_{зэ}) P_{зэ}}. \tag{12.8}$$

Функция выхода годных определяется по формуле

$$P_{зу} = \begin{cases} 0{,}5 + \Phi_0(x), & \text{если } (l_р - M_н)/\sigma_н \geqslant 0, \\ 0{,}5 - \Phi_0(x), & \text{если } (l_р - M_н)/\sigma_н \leqslant 0. \end{cases} \tag{12.9}$$

Ошибка аппроксимации биномиального закона распределения нормальным тем меньше, чем меньше значение вероятности $P_{зэ}$ отличается от 0,5. При $P_{зэ} \leqslant 0{,}8$ следует использовать аппроксимацию нормальным законом. Если вероятность $P_{зэ}$ близка к 1, а математическое ожидание $M_п < 10$, то следует использовать аппроксимацию биномиального закона распределения пуассоновским.

При увеличении математического ожидания распределение Пуассона приближается к нормальному (рис. 12.2). Поэтому при значении математического ожидания, большем или равном 10, и вероятности отсутствия дефектов в элементе $P_{зэ} > 0{,}8$ может применяться как пуассоновская аппроксимация, так и аппроксимация нормальным законом распределения.

12.2. СВОЙСТВА ФУНКЦИИ ВЫХОДА ГОДНЫХ

1. Если число резервных элементов равно математическому ожиданию числа дефектных элементов, то значение функции выхода годных лежит в пределах от 0,75 до 0,5, приближаясь к 0,5 с увеличением математического ожидания числа дефектных элементов (рис. 12.3). С увеличением математического ожидания функция плотности распределения для биномиального закона распределения и закона Пуассона приобретает симметричную колоколообразную форму, характерную для нормального закона распределения (рис. 12.2). Для нормального закона площадь под кривой, ограниченная справа математическим ожиданием, равна 0,5, чем и объясняется значение предела, к которому стремится функция выхода годных при увеличении математического ожидания числа резервных элементов [69].

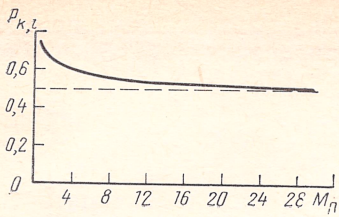


Рис. 12.3. Выход годных устройств со скользящим резервированием при числе резервных элементов, равном математическому ожиданию числа дефектных элементов

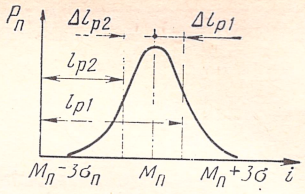


Рис. 12.4. Аппроксимация вероятности появления i дефектных элементов функцией $P_п(i)$ закона Пуассона

Расчеты также показывают, что значение функции выхода годных при числе резервных элементов $l_р=M-3\sigma$ не превышает 0,001, а при $l_р=M+3\sigma$ больше 0,995.

2. Если вероятность отсутствия дефектов в элементе и кратность резерва элементов массива неизменны, то с ростом числа элементов выход годных растет при числе резервных элементов, большем математического ожидания числа дефектных элементов, и уменьшается в противном случае [70].

Для удобства выводов будем использовать отношение числа резервных элементов к общему числу основных и резервных элементов в устройстве:

$$R=l_р/(k_о+l_р). \qquad (12.10)$$

Рассмотрим прежде случай, когда число резервных элементов в устройстве больше числа дефектных элементов. На рис. 12.4 изображена аппроксимация вероятности появления i дефектных элементов функцией $P_п(i)$ по закону Пуассона. Обозначим $\Delta l_{p1}=l_{p1}-M_п$, где $\Delta l_{p1}>0$. Для доказательства свойства 2 найдем отношение

$$\delta l_{p1}=\Delta l_{p1}/3\sigma_п=(l_{p1}-M_п)/3\sigma_п.$$

Подставив значения $M_п$ и l_{p1} в соответствии с (12.3) и (12.10) и выполнив преобразования, получим

$$\delta l_{p1}=\frac{R-1+P_{зэ}}{3\sqrt{1-P_{зэ}}}\sqrt{k_о+l_р}. \qquad (12.11)$$

Первый сомножитель от $(k_о+l_р)$ не зависит. Следовательно, с ростом числа элементов $(k_о+l_р)$ величина δl_{p1} будет также возрастать, т. е. происходит смещение l_{p1} относительно $M_п$. Так как выход годных равен сумме всех $P_п(i)$ при изменении i от 0 до l_{p1}, то это смещение будет означать рост выхода годных с увеличением $(k_о+l_р)$. При $\delta l_{p1}=1$ величина l_{p1} переходит в область максимума и выход годных становится примерно равным 1.

Рассмотрим второй случай, когда некоторое значение $l_{p1}<M_п$. Обозначим $\Delta l_{p2}=M_п-l_{p2}$, где $\Delta l_{p2}>0$ (рис. 12.4). Найдем отно-

шение $\delta l_{р2}=\Delta l_{р2}/3\sigma_п$. После соответствующих преобразований получим

$$\delta l_{р2}=\frac{1-P_{ЭЭ}-R}{3\sqrt{1-P_{ЭЭ}}}\sqrt{k_о+l_р}. \qquad (12.12)$$

Здесь также первый сомножитель — постоянная величина, и с ростом числа элементов $(k_о+l_р)$ значение $\delta l_{р2}$ возрастает. Это означает, что при этом $l_{р2}$ как бы «отодвигается» от $M_п$. Следовательно, с ростом $(k_о+l_р)$ выход годных уменьшается. При $\delta l_{р2}=1$ параметр $l_{р2}$ переходит в область минимума, где выход годных примерно равен 0.

На рис. 12.5 дан пример изменения выхода годных $(P_п)$ с ростом числа элементов в устройстве, иллюстрирующий доказанное свойство.

3. При постоянных значениях кратности резерва и вероятности отсутствия дефекта в элементе выход годных массива элементов уменьшается, если массив разбить на секции и замену дефектных элементов в пределах секции производить только резервными элементами данной секции.

Выход годных при общем подключении резервных элементов равен вероятности того, что число дефектных элементов массива не превысит величины $l_{р\,с}r_с$, где $l_{р\,с}$ — число резервных элементов в секции; $r_с$ — число секций в устройстве. Дефектные элементы в этом случае могут располагаться в массиве произвольно: равномерно или группироваться в пределах одной секции.

Если резервные элементы могут заменять дефектные только в пределах своей секции, то общее число дефектных элементов также может достигать величины $l_{р\,с}r_с$. Однако при этом не допускается число отказов в секции, большее $l_{р\,с}$. Это означает, что выход годных массива элементов в этом случае меньше, чем для общего подключения резервных элементов, на значение вероятности того, что число дефектных элементов в секции превышает $l_{р\,с}$. Эта вероятность является числом положительным, т. е. рассматриваемое свойство доказано.

4. Данное свойство выхода годных характерно для тех ЗУ, в которых отказы отвечают пуассоновскому распределению: дефек-

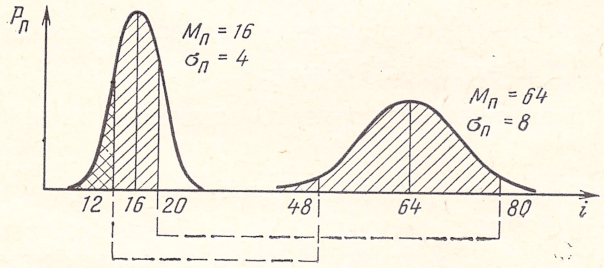


Рис. 12.5. Изменение выхода годных с ростом числа элементов в устройстве при постоянной кратности резерва

ты независимы, распределены случайно и равномерно, их плотность мала. В этом случае вероятность отсутствия дефектов в резервируемом элементе равна

$$P_{\text{РЭ}} = e^{-\rho N_{\text{ЗЭ}}}, \tag{12.13}$$

где ρ — средняя плотность дефектов на один ЗЭ; $N_{\text{ЗЭ}}$ — число ЗЭ в резервируемом узле ЗУ.

Выражение (12.13) хорошо описывает дефекты в матрицах ЗУ на ферритовых сердечниках [31]. В них неисправности координатных шин с сердечниками возникают в основном из-за дефектов ФС. Некачественные пайки как источники дефектов не рассматриваются, так как они могут быть восстановлены без использования резервных шин. Дефекты доменопродвигающих структур регистров хранения ЦМД микросхем также описывается выражением (12.13) [70].

Рассматриваемое свойство выхода годных следующее. Если кратность резерва элементов массива неизменна, то при увеличении в v раз числа элементов в массиве и одновременном уменьшении в v раз емкости каждого резервируемого элемента выход годных увеличивается.

Разложим экспоненциальную функцию (12.13) в степенной ряд:

$$P_{\text{РЭ}} = 1 - \rho N_{\text{ЗЭ}} + \frac{(\rho N_{\text{ЗЭ}})^2}{2!} - \frac{(\rho N_{\text{ЗЭ}})^3}{3!} + \ldots$$

Так как $\rho N_{\text{ЗЭ}} < 1$, можно ограничиться двумя слагаемыми: $P_{\text{РЭ}} \approx 1 - \rho N_{\text{ЗЭ}}$. Математическое ожидание числа дефектных регистров согласно (12.3)

$$M_{\text{п}} = (k_0 + l_{\text{р}})(1 - P_{\text{РЭ}}) \approx (k_0 + l_{\text{р}})\,\rho N_{\text{ЗЭ}}. \tag{12.14}$$

Пусть число резервируемых элементов увеличилось в v раз, одновременно в v раз уменьшается емкость каждого элемента (общая емкость массива при этом не изменяется). Тогда новые значения числа элементов в массиве и емкости резервируемого элемента:

$$(k_0 + l_{\text{р}})' = v\,(k_0 + l_{\text{р}}),\ N'_{\text{ЗЭ}} = N_{\text{ЗЭ}}/v. \tag{12.15}$$

Новое значение числа резервных элементов можно найти как

$$l''_{\text{р}} = (k_0 + l_{\text{р}})'\,R = v\,(k_0 + l_{\text{р}})\,R = v l_{\text{р}}. \tag{12.16}$$

Новое значение математического ожидания числа дефектных элементов

$$M'_{\text{п}} = (k_0 + l_{\text{р}})'\,\rho N'_{\text{ЗЭ}} = (k_0 + l_{\text{р}})\,\rho N_{\text{ЗЭ}} = M_{\text{п}}. \tag{12.17}$$

Сравнивая (12.17) с (12.16) можно убедиться, что значение математического ожидания числа дефектных элементов не изменялось, в то время как число резервных элементов возросло в v раз. В соответствии с (12.2) значение выхода годных возрастает, так как к сумме добавляются новые слагаемые.

Описанные свойства ЗУ с резервными элементами позволяют оценить значение выхода годных для выбранной структуры, определить тенденции его изменения при изменении числа основных и резервных элементов, а также емкости резервируемых элементов.

12.3. ОРГАНИЗАЦИЯ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ МИКРОСХЕМ С РЕЗЕРВИРОВАНИЕМ СТРОК И СТОЛБЦОВ ЗАПОМИНАЮЩИХ ЭЛЕМЕНТОВ

Степень интеграции полупроводниковых ЗУ увеличивается примерно в четыре раза каждые три года [71]. Однако по мере уменьшения геометрических размеров элементов интегральных ЗМ уменьшается и минимальный размер дефектов, способных вывести микросхемы из строя. В результате этого снижается вероятность выхода годных микросхем. С целью повышения выхода годных ЗМ в их состав включаются резервные строки и столбцы ЗЭ с элементами их дешифрации. Данный способ повышения выхода годных ЗМ незначительно увеличивает площадь кристалла и время выборки информации.

По оценке специалистов [72] вместо имеющихся 1—2% выхода годных кристаллов с пластины применение резервных ЗЭ в микросхемах позволит получить пластины, содержащие порядка 50% годных кристаллов. А на пластинах, выпускаемых с помощью хорошо освоенных и отработанных технологических процессов, будут работоспособны большинство кристаллов памяти.

Эффективным способом повышения выхода годных ЗМ является резервирование строк и столбцов ЗЭ на кристалле. При резервировании строк ЗЭ в состав кристалла вводятся резервные строки со своими дешифраторами (рис. 12.6). Для выбора резервной строки служат схемы сравнения (ССр), каждая из которых сравнивает соответствующие разряды адреса выбираемой строки в буфере адреса (БА) с разрядами адреса дефектной строки. При равенстве адресов схема сравнения выдает сигнал на дешифратор резервной строки (ДШр). При равенстве всех разрядов поступившего адреса с адресом дефектной строки дешифратор выбирает резервную строку и выдает сигнал на формирователь запрета (ФЗ), который запрещает выбор основных строк.

При резервировании нескольких строк для каждой из них требуется свой дешифратор, схемы сравнения, ЗУ адреса дефекта (ЗУД). Формирователь запрета является общим для всего кристалла. Для приема сигналов от всех дешифраторов резервных строк на входе формирователя запрета включается схема ИЛИ (на рис. 12.6 не показана).

При резервировании столбцов ЗЭ в состав кристалла вводятся резервные столбцы ЗЭ со своими усилителями записи-считывания и дешифраторами (рис. 12.7). Выбор резервного столбца производится при равенстве кода адреса столбца с адресом дефектного

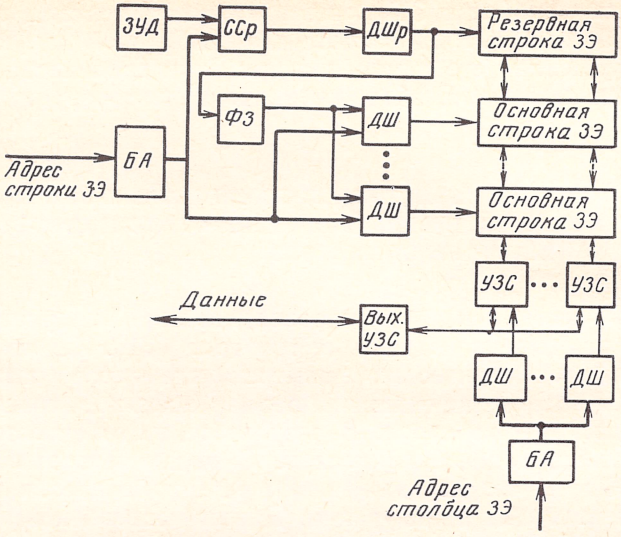


Рис. 12.6. Структурная схема ЗМ с резервной строкой

столбца. Сигнал с основных столбцов запрещается ключом К по сигналу с дешифратора резервного столбца.

В многоразрядных ЗМ резервирование столбцов связано со сложностью мультиплексирования резервного столбца между многочисленными шинами данных. Поэтому в таких ЗМ предпочтительным является резервирование строк, которое организуется аналогично резервированию строк в одноразрядных ЗМ.

Замена дефектных строк или столбцов производится на этапе контроля полупроводниковых пластин. После определения неисправных строк или столбцов их адреса заносятся в ЗУ адре-

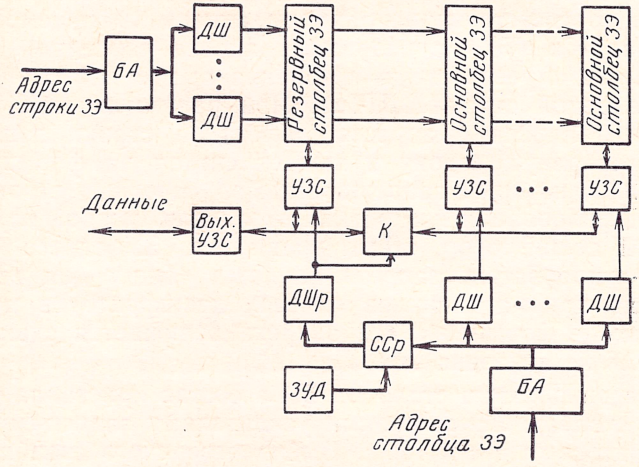


Рис. 12.7. Структурная схема ЗМ с резервным столбцом

сов дефектов, в результате чего вместо дефектных элементов выбираются резервные.

Выбор способа резервирования определяется вероятностью возникновения различных типов дефектов на кристалле.

Отказы ЗЭ могут быть устранены при использовании как резервных строк, так и резервных столбцов. Запоминающие элементы объединяются в строки посредством общих адресных шин, а в столбцы — с помощью разрядных шин. Адресные и разрядные шины выполняются на различных этапах технологического процесса изготовления кристалла с помощью различных операций. Вероятность отказов строк и столбцов определяется конструкцией ЗЭ и технологией изготовления ЗМ. Поэтому эффективность различных способов резервирования не одинакова.

Таблица 12.1

Отказавший элемент	Доля неисправностей	
	устранимых	неустранимых
Строка ЗЭ	0,0654	0,0665
Столбец ЗЭ	0,342	0,05
Периферийные узлы ЗМ	—	0,4761

Следует отметить, что не все отказы могут быть устранены с помощью резервирования строк и столбцов. Отказы входных и выходных регистров, тактовых цепей и шин питания обычно невозможно устранить. Для ЗЭ, не содержащих шин питания, например однотранзисторных, процент устранимых отказов выше, чем для статических ЗЭ микросхем оперативных ЗУ. Если не учитывать неустранимые отказы в матрице ЗЭ, то отношение количества неустранимых отказов к количеству устранимых определяется отношением площади кристалла, занятой периферийными узлами ЗМ, к площади кристалла, занятой матрицей памяти [73]. Данные о соотношении устранимых и неустранимых неисправностей при различных способах резервирования для статических ЗМ типа IMS 1400 фирмы Inmos Corporation емкостью 16 Кбит приведены в табл. 12.1. Как следует из таблицы, отношение устранимых отказов в столбцах к устранимым отказам в строках равно 5,23, т. е. для данной микросхемы наиболее эффективным является резервирование столбцов.

Для хранения адресов дефектов широко используются поликремниевые перемычки, пережигаемые электрическим путем или лучом лазера в процессе испытаний на пластине.

12.4. ЭЛЕКТРИЧЕСКОЕ ПРОГРАММИРОВАНИЕ СОЕДИНЕНИЙ

Электрическое программирование выполняется с помощью стандартного испытательного оборудования, что является главной причиной широкого распространения этого метода при изготовлении полупроводниковых ЗМ. Наиболее широко используются поликремниевые плавкие перемычки биполярных программируемых ПЗУ, имеющие высокую надежность (см. § 2.2). Для уменьшения пережигающего тока над перемычками в пассивирующих слоях вытравливаются окна. Для устранения возможности загряз-

нения активных областей подвижными ионами используют кольцевые охранные структуры вокруг перемычек, а также другие методы защиты.

Вариант схемы электрического программирования плавкой перемычки совместно со схемой сравнения для одного разряда адреса приведен на рис. 12.8 [74]. Адрес неисправного элемента (строки или столбца ЗЭ) записывается в программирующие элементы с помощью их настройки на поразрядное пропускание либо прямого, либо инверсного кода соответствующего разряда.

Процесс пережигания перемычки начинается с подачи программирующего сигнала $\bar{P}$ уровня логического 0. Одновременно уровень сигнала логического 0 подается на вход инверсного адресного кода $\bar{A}_i$, в результате чего на затвор программирующего транзистора VT4 подается уровень логической 1. Через плавкую перемычку начинает течь большой ток, который ее пережигает. При разрушенной перемычке транзистор VT5 заземляет затвор транзистора VT6 и вход инвертора. Инвертор включает транзистор VT7, который пропускает на выход схемы прямой код адреса. При сохранении в данном элементе перемычки код логической 1 будет поступать на затвор транзистора VT6, и на выходе схемы будет инверсный код адреса.

Высокое программирующее напряжение $U_{пр}$ используется только для пережигания перемычек. На кристалле предусматривается дополнительная контактная площадка, через которую в процессе испытаний пластин на схему подается это напряжение.

Требуемое число перемычек определяется числом используемых резервных блоков. Если число основных блоков (строк или столбцов ЗЭ) равно 2^{k_0}, то для каждого резервного блока требуется как минимум k_0+1 перемычка. Из них k_0 перемычек предназначены для хранения кода адреса дефектного блока (по одной на каждый разряд), а одна перемычка разрешает прохождение сигнала выбора через дешифратор резервного блока при его использовании.

Особенностью электрического программирования перемычек является неравноценность способов резервирования строк и столб-

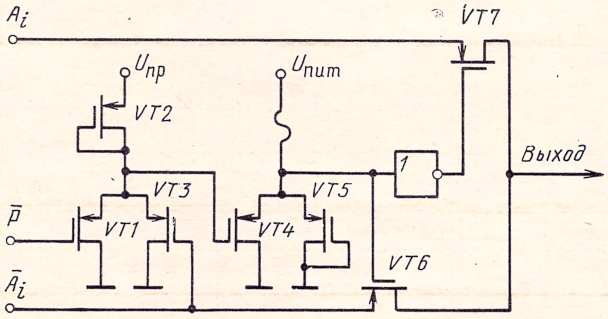


Рис. 12.8. Схема сравнения разряда адреса с адресом дефектного элемента

цов с точки зрения времени выборки считанной информации. Так как для пережигания каждой перемычки требуется разместить на кристалле дополнительные схемы, то число перемычек делают минимально возможным, а сами перемычки размещают во входых цепях. Поскольку сигнал выбора основной строки формируется в начале цикла обращения, то задержки его формирования приводят к увеличению времени выборки информации при резервировании строк ЗЭ.

При выборе резервной строки блокировка основных строк происходит с запаздыванием на время задержки формирователя запрета (рис. 12.6). Время выборки резервной строки после выборки основной незначительно отличается от среднего времени выборки строки. Однако время выборки основной строки после резервной значительно увеличивается. До момента, когда на выходе дешифратора основной строки с заданным адресом начнет формироваться сигнал выборки, на выходе дешифратора резервной строки должен закончиться сигнал выбора, а на выходе формирователя сигнала запрета должен сформироваться сигнал разрешения выбора основных строк. При наличии нескольких резервных строк необходимо также учесть задержку схемы ИЛИ, на которую поступают сигналы с выходов дешифраторов резервных строк. При типовой задержке одного каскада порядка 3,5 нс (ТТЛ схемы) резервирование строк увеличивает время выборки на 10,5 нс.

При резервировании столбцов отпадает необходимость блокировки дешифраторов при отключении основных столбцов от цепи прохождения данных. Достаточно с помощью ключа К отключить от числовой шины шины ввода-вывода усилителей записи-считывания (рис. 12.7). Ключом управляет сигнал выбора резервных столбцов.

При выборе основного столбца после резервного вносится дополнительная задержка на время выключения резервного дешифратора, которая незначительно увеличивает время выборки [73].

Учитывать задержки выборки при различных способах резервирования необходимо лишь для быстродействующих ЗМ.

12.5 ЛАЗЕРНОЕ ПРОГРАММИРОВАНИЕ СОЕДИНЕНИЙ

В отличие от электрически пережигаемых перемычек, для программирования которых требуются вспомогательные мощные транзисторы и логические схемы на кристалле, перемычки, пережигаемые лазером, имеют минимальные размеры. Поэтому их количество на кристалле может быть достаточно велико. Их размещение на кристалле — произвольное, так как для них не требуется соседство с шинами питания. Перемычки можно без ухудшения характеристик микросхемы разместить между дешифратором и матрицей памяти в виде жестко скоммутированных логических схем. Перемычки выполняются из поликремния, хорошо поглоща-

ющего энергию лазерного луча. Размеры перемычек для микросхем оперативных ЗУ емкостью 64 Кбит порядка 3×14 мкм [75].

После пережигания перемычек образовавшиеся отверстия в покрытии кристалла закрывают защитным слоем нитрида кремния, который наносят по стандартной МОП технологии.

При программировании перемычек лазерным лучом запоминание адресов дефектов и сравнение их с адресом выбираемого блока производится в резервном дешифраторе (рис. 12.9,*а*). Перемычки в ДШр пережигаются таким образом, чтобы при поступлении адреса, равного адресу дефектного блока, вырабатывался адрес резервного столбца. Если резервный блок не используется, то дешифратор отключается от него с помощью пережигаемой перемычки. Отключение дешифратора от основной строки также осуществляется с помощью перемычки (рис. 12.9,*б*). Число перемычек в резервном дешифраторе равно удвоенному количеству разрядов адреса блока. Из них пережигается (n_a+1), где n_a — число разрядов адреса соответствующего блока [75]. При лазерном программировании не требуется формировать сигнал запрета дешифратора резервного блока, так как он отключается от строки с помощью пережигаемой перемычки. Поэтому подключение резервных элементов не влияет на быстродействие ЗМ.

Аппаратура для пережигания перемычек состоит из лазерной установки с системой позиционирования луча, тестера для проверки ЗУ и мини-ЭВМ. Для резервирования динамических ЗМ емкостью 64 Кбит фирмы Bell Laboratories с размерами элементов порядка 3—5 мкм потребовался диаметр светового пятна, создаваемого лазером, порядка 7—8 мкм и точность позиционирования ±1 мкм [75].

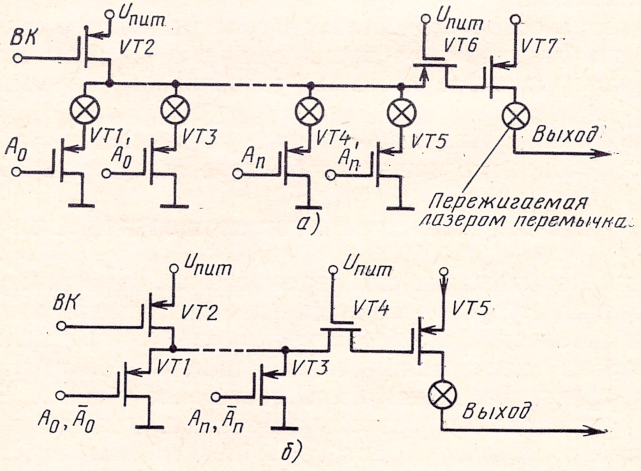


Рис. 12.9. Схемы резервного (*а*) и основного (*б*) дешифраторов при использовании лазерного программирования перемычек (на затвор *VT3* подается $\bar{A}'_0$, а на затвор *VT5* — $\bar{A}'_п$)

В качестве показателя эффективности резервирования в ряде случаев используют коэффициент повышения выхода годных — $K_{вг}$, равный отношению вероятности отсутствия дефектов в резервированном ЗУ к вероятности отсутствия дефектов в ЗУ без резервирования $P_{зу}$. На рис. 12.10 приведены расчетная и экспериментально полученные зависимости коэффициента повышения выхода годных от вероятности отсутствия дефектов ЗУ без резервирования для ЗМ IMS 1400 емкостью 16 Кбит, содержащих 128 основных и 2 резервных столбца [73]. Отклонение реальной зависимости от расчетной обусловлено наличием на кристалле неисправимых дефектов и отклонениями реального распределения дефектов от принятого.

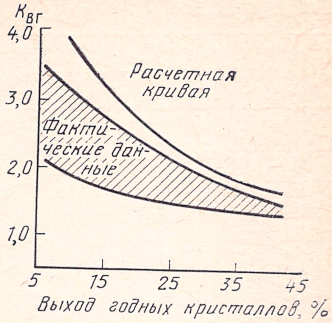


Рис. 12.10. Значения коэффициента повышения выхода годных микросхем IMS 1400 при 128 основных и двух резервных столбцах

Приведенные данные позволяют сделать следующие выводы. Коэффициент повышения выхода годных в рассмотренном диапазоне исходного выхода годных оказался несколько ниже расчетного, но тем не менее лежит в пределах от 1,5 до 3,5. Даже при очень высоком выходе годных без резервирования, равном 40%, замена дефектных элементов резервными увеличивает его до 60%.

Высокая эффективность резервирования строк и столбцов ЗЭ в полупроводниковых ЗМ обусловила широкое использование этого метода повышения выхода годных в современных ЗМ (табл. 12.2) [76].

12.6. РЕЗЕРВИРОВАНИЕ ЗАПОМИНАЮЩИХ ЭЛЕМЕНТОВ В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ НА ФЕРРИТОВЫХ СЕРДЕЧНИКАХ

Технология производства матриц для накопителей ЗУ на ферритовых сердечниках состоит из ряда последовательных этапов: изготовление и разбраковка ФС, установка сердечников в маску, прошивка координатных шин и выходных обмоток.[1] При автоматическом контроле и разбраковке сердечников допустимый процент брака составляет 0,005—0,01%.

При установке и прошивке сердечников возможно их повреждение, что вызывает либо полное отсутствие считанного сигнала, либо снижение его ниже допустимой нормы. Статистические данные показывают, что при прошивке процент бракованных ФС

[1] **Гуральник А. К., Мелик-Оганжанян П. Б.** Устройства памяти современных и перспективных ЦВМ (конструкции и технология). — М.: Сов. радио, 1976. — 344 с.

Таблица 12.2

Тип ЗМ, фирма-изготовитель	Емкость, Кбит	Резервные элементы	Программирование
Статические оперативные			
IMS1400, Inmos	16	2 столбца	Электрическое
2167, Intel	16	3 строки	— » —
МК4167, Mostek	16	4 столбца	Лазерное
Motorola	16	2 строки	— » —
TMS4016, Texas Instruments	64	4 строки	Электрическое
Toshiba	64	2 строки	Лазерное
Динамические оперативные			
21821, Intel	32	8 строк	Электрическое
21834, Intel	64	4 строки и 4 столбца	— » —
2164, Intel	64	То же	— » —
IMS2600, Inmos	64	В каждом квадранте 4 строки и 2 столбца	— » —
Bell Labs	64	В каждом квадранте 2 строки, в паре квадрантов 4 столбца	Лазерное
IBM	72	4 строки	Электрическое
Fujitsu	256	2 строки и 1 столбец	— » —
Motorola	256	8 строк и 4 столбца	Лазерное
Toshiba	256	4 строки и 4 столбца	— » —
Mitsubisi	256	То же	— » —
Программируемые			
Intel	32	4 строки	Электрическое
Репрограммируемые			
National Semiconductor	16	2 строки	Электрическое *
МК2764, Mostek	64	2 одноразрядные матрицы	Электрическое

* В качестве программируемых элементов используются МОП-транзисторы с плавающим затвором.

в матрице увеличивается на 0,01%.[1] Промежуточный контроль уровня выходных сигналов после прошивки координатных шин выборки не позволяет полностью выявить и устранить дефекты [77].

Возникающие при производстве матриц дефекты взаимонезависимы и носят случайный характер. Стабильность технологического процесса обеспечивает постоянную среднюю плотность дефектов, т. е. количество дефектов в матрице зависит только от ее емкости. При этих условиях вероятность появления в матрице

[1] **Калашников В. В., Лаут В. Н., Штильман Д. Г.** Коррекция ошибок в ЗУ большой емкости. — М.: ИТМ и ВТ АН СССР, 1974. — 10 с.

определенного количества дефектов определяется законом Пуассона.

Резервируемым элементом матрицы является либо адресная, либо разрядная шина. Вероятность получения бездефектной шины вычисляется по формуле

$$P_{ш} = e^{-\rho N_{ш}}, \qquad (12.18)$$

где $N_{ш}$ — число сердечников на шине; ρ — плотность дефектов.

Опыт показывает, что обеспечить высокий процент выхода годных матриц без их ремонта невозможно. Микроминиатюризация сердечников делает ремонт матриц достаточно трудоемким. Поэтому при изготовлении матриц большой емкости вводятся резервные элементы, которые подключаются вместо дефектных.

Применение скользящего резервирования для повышения выхода годных матриц рассмотрим на примере ЗУ типа 2,5Д 3w, наиболее широко используемого для построения памяти большой емкости.

Наиболее просто осуществляется скользящее резервирование координатных шин. Замена дефектных координатных шин исправными производится их перепайкой на внешних контактах матрицы. Возможны два способа резервирования (рис. 12.11): 1) резервирование разрядных шин; 2) резервирование адресных шин.

Координатная шина является дефектной, если на ней расположен хотя бы один дефектный сердечник. При обоих способах резервирования замену дефектной шины резервной необходимо производить в пределах одной секции выходной обмотки. В ЗУ большой емкости количество секций выходной обмотки на один разряд может достигать нескольких десятков. Выход каждой секции подключен к определенному усилителю считывания, управление которыми осуществляется в соответствии с адресом выбранного слова и его принадлежностью к определенной секции выходной обмотки. При перераспределении адресов между секциями выходной обмотки в результате ремонта необходимо вносить коррективы в схему управления усилителями считывания, что приводит к дополнительным аппаратурным затратам.

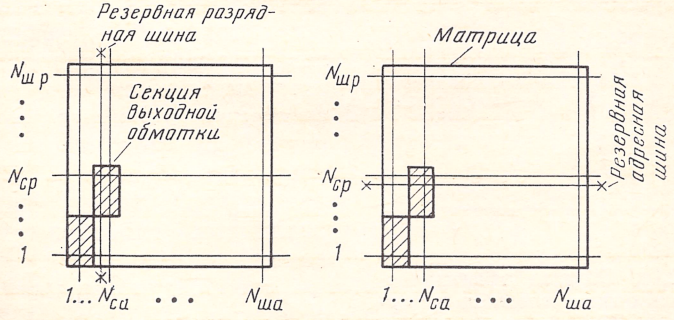


Рис. 12.11. Способы резервирования ЗЭ в матрице ЗУ типа 2,5Д 3w

Эффективность способов резервирования определяется конфигурацией матрицы и секции выходной обмотки. Для уменьшения помехи от полувыбранных сердечников число ФС, прошиваемых секцией выходной обмотки в разрядном направлении ($N_{ср}$), делают больше, чем в адресном ($N_{са}$), а ток считывания в адресную шину подается с задержкой относительно тока в разрядной шине. В этом случае число адресных шин, охваченных одной секцией выходной обмотки, больше числа разрядных шин в данной секции (рис. 12.11). Следовательно, при одинаковой кратности резерва в матрице количество резервных адресных шин в одной секции выходной обмотки будет больше, чем разрядных. Тогда, если рассматривать область матрицы с одинаковым числом координатных шин, по каждой из координат равным $N_{ср}$, то резервирование разрядных шин будет соответствовать раздельному, а резервирование адресных шин — общему способу подключения резерва. При одинаковой вероятности отсутствия дефекта в адресной и разрядной шинах, что соответствует квадратной конфигурации матрицы, вероятность получения работоспособной матрицы для общего способа включения резерва выше, чем для раздельного (см. § 12.2).

Таким образом, при квадратной конфигурации матрицы, т. е. при

$$K_{фм} = N_{шр}/N_{ша} = 1, \qquad (12.19)$$

где $N_{шр}$ и $N_{ша}$ — количество ФС на разрядной и адресной шинах, более эффективным является резервирование адресных шин.

При коэффициенте формы матрицы $K_{фм} \geqslant 1$ резервирование адресных шин более эффективно, чем резервирование разрядных шин.

При уменьшении $K_{фм}$ число сердечников на адресной шине возрастает, а само число адресных шин уменьшается, что ведет к уменьшению вероятности получения бездефектной матрицы при резервировании адресных шин. В то же время увеличивается число разрядных шин и пропорционально уменьшается число сердечников на них, вследствие чего возрастает выход годных матриц при резервировании разрядных шин. При определенном значении коэффициента формы матрицы $K_{фм0}$ эффективность резервирования разрядных шин становится выше, чем при резервировании адресных шин. Значения $K_{фм0}$ можно определить в результате расчета и сравнения выхода годных матриц для различных способов резервирования.

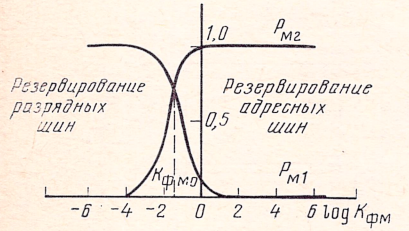


Рис. 12.12. Области эффективного использования способов резервирования ЗЭ для матриц различной конфигурации

Преобразуя выражение (12.1) с учетом (12.18) и (12.19), получаем формулы для расчета вы-

Таблица 12.3

Параметры	ЕС-3203	МБП-0,6	МБП-2,4
Общее число адресных шин в матрице, шт.	256	528	1056
Общее число разрядных шин в матрице, шт.	306	576	1152
Число резервных шин, шт.	18	16	32
Резервируемые шины	Разрядные	Адресные	Адресные
Отношение числа резервных шин к числу основных, %	6,25	3,125	3,125

хода годных матриц при резервировании разрядных $P_{м1}$ и адресных $P_{м2}$ шин [31]:

$$P_{м1} = \left\{ \sum_{i=0}^{N_{са}R'} C^{i}_{N_{са}(1+R')} [1 - \exp(-\rho \sqrt{N_м K_{фм}})]^i \times \right.$$

$$\left. \times \exp(-\rho \sqrt{N_м K_{фм}} [N_{са}(1+R') - i]) \right\}^{\sqrt{N_м}/N_{са} \sqrt{K_{фм}}}, \qquad (12.20)$$

$$P_{м2} = \left\{ \sum_{i=0}^{N_{ср}R'} C^{i}_{N_{ср}(1+R')} [1 - \exp(-\rho \sqrt{N_м/K_{фм}})]^i \times \right.$$

$$\left. \times \exp(-\rho \sqrt{N_м/K_{фм}} [N_{ср}(1+R') - i]) \right\}^{\sqrt{N_м K_{фм}}/N_{ср}}, \qquad (12.21)$$

где $N_м$ — емкость матрицы; R' — отношение числа резервных шин к числу основных (кратность резервирования).

На рис. 12.12 приведены зависимости выхода годных от коэффициента формы матриц для обоих способов резервирования. Емкость матрицы — 20 Кбит, емкость секции выходной обмотки — 4096 бит, параметры секции 64×32×2, избыточность матрицы $R'=6{,}25\%$. Резервирование адресных шин для рассмотренного примера целесообразно применять при $K_{фм} \geqslant 1/2$, резервирование разрядных шин — при $K_{фм} \leqslant 1/4$.

Параметры некоторых резервированных матриц, используемых в ЗУ на ферритовых сердечниках, приведены в табл. 12.3.[1]

12.7. РЕЗЕРВИРОВАНИЕ РЕГИСТРОВ ХРАНЕНИЯ ЦМД ЗАПОМИНАЮЩИХ МИКРОСХЕМ

Основным фактором, обеспечивающим возможность использования резервирования в ЦМД ЗМ и, как следствие, решения

[1] **Модули** памяти на ферритовых сердечниках для построения устройств большой емкости/ А. Ф. Иоффе, А. А. Крупский, С. Л. Куперман и др.//Тез. докл. Всесоюз. научн.-техн. конф. «Дальнейшее развитие техники запоминающих устройств». — Тбилиси, 1976. — С. 89—91.

Основная оперативная память на сердечниках с циклом работы 1,25 мкс для ЭВМ ЕС-1030 и ЕС-1050/Ю. Г. Андреев, И. М. Андреева, Г. П. Берендеев и др.//Вопросы радиоэлектроники. Сер. ЭВТ. — 1974. — Вып. 5. — С. 28—43.

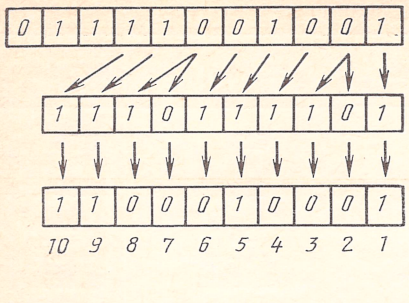


Рис. 12.13. Преобразование входной информационной последовательности в страницу записываемых данных в соответствии с картой годности регистров

проблемы увеличения выхода годных кристаллов, явилась разработка параллельно-последовательной структуры доменных ЗУ. Наибольшее распространение в ЦМД ЗМ получила организация с раздельными регистрами ввода и вывода (рис. 2.13).

Важнейшим достоинством параллельно-последовательной организации доменной памяти является возможность введения резервных регистров хранения для замены дефектных РгХ с целью повышения выхода годных устройств. Выход годных массива регистров хранения, содержащего резервные регистры, может быть определен по формуле биномиального распределения (12.1). Практически все современные ЦМД микросхемы содержат резервные регистры хранения (табл. 12.4) [5].

В отличие от полупроводниковых ЗЭ и ЗУ на ферритовых сердечниках, в которых неисправные элементы отключаются посредством внесения изменений в схему, в ЦМД ЗУ неисправные регистры хранения не отключаются, а их обход осуществляется преобразованием записываемой последовательности данных.

Информацию о номере неисправного регистра хранения несет карта годности регистров. Карта годности представляет собой последовательность единиц и нулей, каждый разряд которой поставлен в соответствии своему регистру хранения (рис. 12.13).

Таблица 12.4

Параметр	IM7110, Intel Magnetics	RBM 411, Rockwell International	TIB1000, Texas Instruments	NBM2201, National Semiconductor	FBM54CA, Fujitsu
Число секций	4	2	2	1	2
Емкость РгХ, бит	4096	2052	2049	2048	2053
Общее число РгХ	320	572	600	583	600
Число отдельно управляемых РгХ	2	0	2	2	0
Число годных РгХ	270	527	548	524	544
Число РгХ для введения информационного резервирования (включены в число годных)	14	—	36	12	32
Число резервных РгХ	50	45	52	59	56
Отношение числа резервных РгХ к числу годных, %	18,52	8,54	9,49	11,26	10,29

При этом, как правило, годному регистру хранения соответствует 1, а дефектному — 0. При поступлении очередного разряда входной информационной последовательности анализируется соответствующий разряд карты годности. Если последний равен 1, то входной бит включается в состав записываемых данных. Если разряд карты годности равен 0, то в записываемую последовательность включается 0 и анализируется следующий разряд карты годности. В дефектные регистры хранения записывается 0, что соответствует отсутствию домена, для того чтобы предотвратить переход доменов из дефектных в соседние исправные регистры и искажение информации в последних.

На практике получили распространение три способа хранения карты годности: в ППЗУ или РПЗУ, в отдельно управляемом регистре хранения ЦМД микросхемы и в основных регистрах хранения ЦМД ЗУ по специальному адресу [5].

Структурная схема блока управления резервированного ЦМД ЗУ при хранении карты годности в ППЗУ приведена на рис. 12.14 [5]. В режиме записи устройство управления (УУ) передает побайтно поток данных в интерфейсный адаптер (ИА), который под управлением информации, подаваемой из ППЗУ, добавляет нули в соответствующие дефектным регистрам позиции и передает полученную таким образом информационную последовательность в последовательно-параллельный регистр (РгПП), который передает их для записи в накопитель на ЦМД (в рассматриваемом устройстве, созданном фирмой Rockwell International для ЗУ на микросхемах ВМ256, параллельно записывается байт данных). В режиме считывания данные из накопителя побайтно подаются в последовательно-параллельный регистр. Регистр преобразует их в последовательный поток, из которого адаптер под управлением информации из ППЗУ удаляет информацию, считанную из дефектных регистров хранения, и формирует байты для передачи в УУ.

Достоинством способа хранения карты годности в ППЗУ являются малые временные затраты при считывании карты годности из ППЗУ. Недостаток — относительно большие аппаратурные затраты по сравнению с другими способами хранения карты годности. Если ЗУ содержит значительное число ЦМД микросхем, то необходимо для каждой из них предусмотреть адреса в

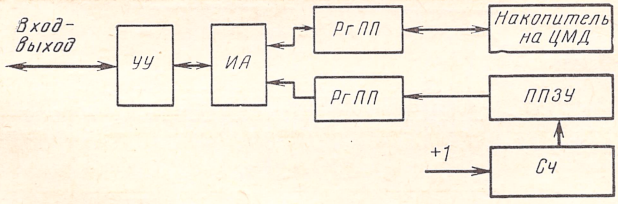


Рис. 12.14. Структурная схема блока управления резервированного ЦМД ЗУ при хранении карты годности регистров в ППЗУ

ППЗУ для хранения карты годности, вследствие чего емкость ППЗУ возрастает. Кроме этого, в ряде специальных применений ППЗУ может оказаться наименее надежным элементом системы.

Если карта годности регистров хранится в ЦМД микросхеме, то в контроллере предусматривается оперативное буферное ЗУ, куда она считается при первом обращении к соответствующей микросхеме. Емкость буферного ЗУ равна числу регистров хранения в одной ЦМД ЗМ. При обращении к другой микросхеме карта годности в ЗУ заменяется на другую.

При хранении карты годности в отдельно управляемом регистре ЦМД микросхемы в последней предусматриваются отдельно управляемые регистры хранения со своими переключателями и репликаторами. Карта годности хранится в них вслед за маркером, указывающим на начало страницы. Маркер для возможности его выделения содержит такое количество следующих друг за другом единиц, которое превышает число регистров хранения в ЦМД микросхеме. Поскольку для запоминания маркера необходимо использовать отдельный регистр, то хранение карты годности в этом случае не влечет потерю емкости ЦМД микросхемы. Для увеличения выхода годных обычно предусматривают два регистра для хранения карты годности, один из которых может быть дефектным.

Недостатком данного способа по сравнению со способом хранения карты годности в ППЗУ являются потери времени на считывание карты годности в оперативное ЗУ. Кроме этого, требуются дополнительные выводы ЦМД микросхемы для управления регистрами, хранящими карту годности. Достоинствами способа является уменьшение дополнительных аппаратурных затрат и упрощение устройства управления.

Данный способ хранения карты годности благодаря его преимуществам получил широкое использование. Многие ЦМД микросхемы емкостью 1 Мбит содержат отдельно управляемые регистры для хранения карты годности (см. табл. 12.4).

На рис. 12.15 проиллюстрирован способ хранения карты годности в специальной странице данных [78]. Регистры хранения

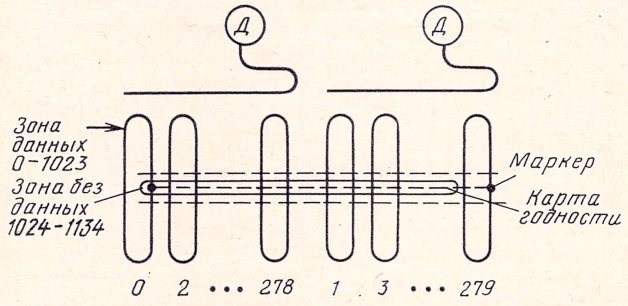


Рис. 12.15. Организация ЦМД микросхемы при хранении карты годности в странице данных

Таблица 12.5

Способ хранения карты годности	Требуемый объем дополнительной памяти	Дополнительные затраты времени при обращении к новой микросхеме
В ППЗУ	$(N_{ЗУ}/N_{ЗМ})(k_0 + l_р)$	Отсутствуют
В отдельно управляемом РгХ	$k_0 + l_р$	$\approx t_{в\ стр}$
В специальной странице данных	$k_0 + l_р$	$\approx t_{в\ стр}$

Примечание. $t_{в\ стр}$ — среднее время выборки страницы данных из ЦМД ЗУ.

и 2 на рисунке дефектные. При реализации данного способа число бит, хранимых в регистре хранения, превышает стандартный размер страницы данных, кратный 2^k. Карта годности хранится в области памяти, не предназначенной для хранения данных. Она содержит единицы в исправных регистрах хранения и нули в дефектных, причем в дефектных регистрах записаны нули во всех страницах данных. Место страницы с картой годности указывает маркер, заносимый в специально отведенный регистр хранения.

Достоинством данного способа хранения карты годности по сравнению с использованием отдельно управляемых регистров является отсутствие специальных выводов для записи и считывания карты годности и относительно большой выход годных кристаллов. Преимущества и недостатки обоих способов хранения карты годности в ЦМД микросхеме по сравнению с использованием для этих целей ППЗУ примерно одинаковы.

Сравнительные характеристики рассмотренных способов хранения карты годности приведены в табл. 12.5.

ГЛАВА 13. СТРУКТУРНЫЕ МЕТОДЫ ПОВЫШЕНИЯ КОНТРОЛЕПРИГОДНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

13.1. ПОВЫШЕНИЕ КОНТРОЛЕПРИГОДНОСТИ МОДУЛЕЙ ПАМЯТИ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

В модулях памяти полупроводниковых ЗУ ряд сигналов подается одновременно на все ЗМ, (рис. 2.5). К таким сигналам относятся сигналы Зп/Сч, выбор столбца ЗЭ для ЗМ с мультиплексированием кода адреса, а также сигналы, поступающие на адресные входы ЗМ. В одноразрядных МП к таким сигналам относятся также входные и выходные данные.

Наличие на печатных платах проводников, к которым подключено большое число ЗМ, затрудняет поиск места дефекта в МП.

Наиболее трудно локализуемыми для таких проводников являются следующие типы дефектов:

замыкание входов или выходом ЗМ на общую шину или шину питания. В этом случае трудно определить, в какой из подключенных к проводнику ЗМ произошло замыкание;

замыкание между проводниками, по которым подаются сигналы адреса, Зп/Сч, выбора столбца ЗЭ. Вследствие малого сопротивления проводников необходимо использовать специальную аппаратуру для поиска места замыкания.

Повышение контролепригодности МП по отношению к подобным дефектам достигается секционированием нагрузки формирователей, работающих на большое число ЗМ. Вместо мощных формирователей, к каждому из которых могут быть подключены все ЗМ МП, используется несколько маломощных формирователей. Каждый из этих формирователей подключается к секции ЗМ, которая включает в себя одну или несколько строк или столбцов ЗМ в МП.

В качестве формирователей чаще всего используются маломощные одновходовые инверторы. Для МОП и ТТЛ ЗМ формирователями являются ТТЛ интегральные микросхемы (ИС). Число формирователей в одной ИС ограничивается числом выводов корпуса и для 14-выводного корпуса ИС равно 6. Нагрузочная способность формирователя при работе на ТТЛ ЗМ равна 10, при работе на МОП ЗМ — 16—24.

При секционировании нагрузки число ЗМ, подключаемых к одному формирователю, уменьшается. Вследствие этого поиск места замыкания облегчается как при замыкании входов ЗМ на общую шину и шину питания, так и при замыкании различных шин.

13.2. СПОСОБЫ МИНИМИЗАЦИИ РАЗРЯДНОСТИ ОШИБОК В ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ

Наибольший объем оборудования и максимальная интенсивность отказов в МП полупроводниковых ЗУ приходится на запоминающие микросхемы. Однако доля оборудования элементов электроники обрамления в общем объеме оборудования МП достигает 25% (см. рис. 2.6). Поэтому для повышения надежности ЗУ с коррекцией ошибок важно обнаруживать отказы данных элементов.

Одним из путей решения данной задачи является уменьшение разрядности ошибок, возникающих вследствие отказов элементов электроники обрамления, до кратности, меньшей кратности ошибок, обнаруживаемых корректирующим кодом.

В МП типа 2Д разрядные формирователи и усилители считывания подключаются к строкам матрицы ЗМ (см. рис. 2.5). Их отказы проводят к одноразрядным ошибкам в словах. Формирователи выбора кристалла подключаются к ЗМ одного столбца. Кроме данных элементов, в состав МП входят адресные формиро-

ватели и формирователи режима, сигналы с которых должны поступать одновременно на все ЗМ модуля памяти. В ЗМ с мультиплексированием адреса имеется дополнительный вход выбора столбца запоминающих элементов в ЗМ, в то время как вход выбора кристалла осуществляет выбор строки [39, 40]. Сигнал выбора столбца ЗЭ подключается ко всем ЗМ модуля памяти, а сигнал выбора строки — только к ЗМ одного столбца.

В МП большой емкости ЗМ модуля памяти разбивают на секции, к каждой из которых подключается свой формирователь режима и адресные формирователи. Секция содержит несколько столбцов или строк ЗМ.

При подключении формирователей к столбцу ЗМ максимальная разрядность ошибки при отказах формирователя равна разрядности МП (рис. 13.1,*а*). На рисунке: Ф — формирователь с нагрузочной способностью $K_{\Phi}=16$. Так как разрядность МП типа 2Д, как правило, кратна байту, то обнаружение данных ошибок требует существенного увеличения разрядности ЗУ.

Существенное уменьшение разрядности ошибок достигается при подключении формирователей к ЗМ строки (рис. 13.1,*б*). Разрядность ошибки в этом случае

$$n_{\Phi}=\left[\frac{K_{\Phi}}{M_{\text{ст}}}\right]_{\text{бц}}, \tag{13.1}$$

где $[\cdot]_{\text{б ц}}$ — ближайшее большее целое число.

Если нагрузочные способности формирователей режима и адреса равны, то матрицу ЗМ можно разбить на секции по n_{Φ} строк, к каждой из которых подключаются свои формирователи. В этом случае ошибки при отказах каждого из рассматриваемых формирователей — пакетные с разрядностью

$$b=n_{\Phi}. \tag{13.2}$$

В табл. 13.1 приведены значения разрядности секции для различной организации МП при подключении формирователей к ЗМ строки матрицы. Там же показана доля формирователей, подключаемых в ЗМ не более одной секции. Результаты получения для $K_{\Phi}=16$; ЗМ содержит 8 мультиплексированных адресных входов.

В качестве формирователей чаще всего используются однавходовые ТТЛ-инверторы, число которых в 14-выводном корпусе

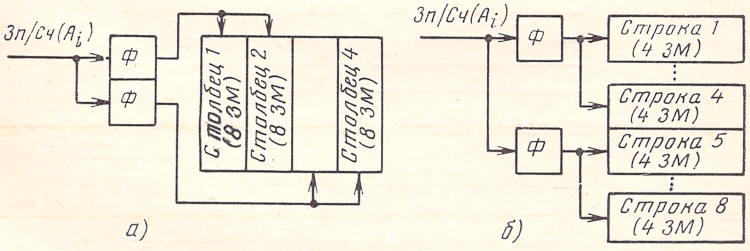


Рис. 13.1. Схемы подключения формирователей режима и адреса к столбцам (*а*) и к строкам (*б*) запоминающих микросхем

Таблица 13.1

Организация МП, столбцы ЗМ×разряды	4×8	4×16	8×8	8×16
Разрядность секции	4	4	2	2
Доля формирователей, подключенных к ЗМ секции	0,9	0,95	0,88	0,93

ИС равно 6. При полных отказах ИС могут стать неработоспособными все формирователи одного корпуса микросхемы. Для уменьшения разрядности ошибок в МП при полных отказах ИС до значения $n_ф$ необходимо применять формирователи одной ИС по различным функциональным назначениям в пределах каждой из секций[1]. Формирователи одной ИС используются в качестве усилителей считывания, формирователей разрядных, адресных, режима и выбора столбца ЗЭ (для ЗМ с мультиплексированием адреса) одной секции матрицы ЗМ из $n_ф$ строк (рис. 13.2). Одновременно с минимизацией разрядности ошибок этот способ обеспечивает регулярную разводку проводников на печатной плате. Оставшиеся неиспользованными формирователи при необходимости могут быть подключены к ЗМ соседних секций.

При использовании данного способа большинство полных отказов ИС приводит к ошибкам с разрядностью, не превышающей $n_ф$. Кроме этого, можно осуществить подключение формирователей одной ИС таким образом, чтобы число секций, связанных с формирователями одной ИС, не превышало $2n_ф$, т. е.

$$b_{max} = 2n_ф. \qquad (13.3)$$

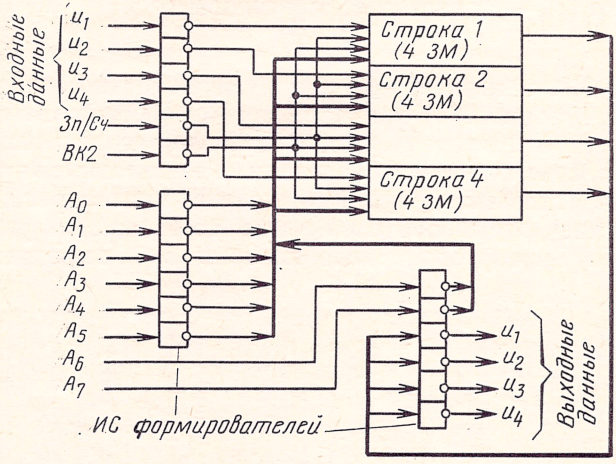


Рис. 13.2. Схема подключения формирователей ИС к группе ЗМ

[1] **Огнев И. В., Сарычев К. Ф., Гарбузов Н. И.** Исследование системы обнаружения и коррекции ошибок в полупроводниковом оперативном запоминающем устройстве//Тр. МЭИ. — 1979. — Вып. 419. — С. 98—101.

Таблица 13.2

Организация МП, столбцы ЗМ×разряды	4×8	4×16	8×8	8×16
Разрядность секции	4	4	2	2
Доля ИС формирователей, подключенных к ЗМ секции	1,0	1,0	0,8	0,84

Покажем истинность данного утверждения. Суммарное число входов ЗМ адресных, режима, данных вычисляется по формулам

$$q_{вх} = \begin{cases} 2n_{ЗМ} + 2 + \dfrac{\log N_{ЗМ}}{2} & \text{для ЗМ с мультиплексированием адреса.} \\ 2n_{ЗМ} + 1 + \log N_{ЗМ} & \text{для ЗМ без мультиплексирования адреса.} \end{cases}$$

Для $N_{ЗМ} \geqslant 64$ и $n_{ЗМ} \geqslant 1$ величина $q_{вх}$ всегда больше числа формирователей q в одной ИС (как правило $q=6$), и равенство (13.3) выполняется. Доля ИС формирователей, подключаемых к ЗМ одной секции матрицы, от общего числа ИС формирователей для различной организации МП показана в табл. 13.2 ($K_{ф}=16$, $q=6$, ЗМ содержат 8 мультиплексированных адресных входов).

Рассмотренные способы подключения формирователей ИС к матрице ЗМ обеспечивают существенное уменьшение разрядности пакетных ошибок при отказах элементов электроники обрамления (за исключением формирователей выбора кристалла). При $b=2$ ошибки могут быть обнаружены кодами Хэмминга с минимальным кодовым расстоянием $d=4$, при $b=4$ — кодами, исправляющими одноразрядные и обнаруживающими двухразрядные и пакетные ошибки и рассмотренными в гл. 8.

13.3. РАЗДЕЛЕНИЕ ПРИЗНАКОВ ОТКАЗОВ ЭЛЕМЕНТОВ МОДУЛЕЙ ПАМЯТИ

Распределения ошибок, возникающих вследствие отказов ряда элементов электроники обрамления (таких, как формирователей адреса, режима, выбора столбца, разрядных, а также усилителей считывания), при полных отказах ИС могут совпадать (см. рис. 4.2). Для диагностирования отказов с точностью до микросхемы необходимо, чтобы отказы различных микросхем проводили к различным распределениям ошибок. Эта цель достигается путем использования схемно-тестового метода повышения надежности ЗУ.

1. Разделение признаков отказов АФ и признаков отказов РФ, УС, ФР, ФВК2 производится с помощью специального теста диагностирования. При проверке работоспособности РФ, УС, ФР, ФВК2 фиксируются значения сигналов на входах АФ, вследствие чего отказы адресных формирователей не проявляются. При ис-

правной работе РФ, УС, ФР, ФВК2 после их проверки изменяются значения сигналов на входах АФ и проверяются адресные формирователи.

2. Для определения номера отказавшей ИС, содержащей РФ, УС, ФР, ФВК2, необходимо подключать формирователи ИС к строкам матрицы ЗМ таким образом, чтобы распределения ошибок при отказах различных ИС отличались номерами или количеством строк матрицы ЗМ. Формирователи, отказы которых приводит к одинаковым распределениям ошибок, должны располагаться в одной ИС. Это позволяет, не устанавливая отказавший формирователь, указать номер отказавшей ИС [1].

Данное условие выполняется при такой последовательности подключения формирователей одной ИС к строкам одной секции матрицы ЗМ, содержащей $n_ф$ строк:

два формирователя ИС подключаются в качестве РФ и УС к одной строке секции;

два последующих формирователя ИС используются в качестве ФР и ФВК2 (для ЗМ с мультиплексированием адреса) секции;

оставшиеся формирователи ИС попарно подключаются в качестве РФ и УС к другим строкам секции;

при необходимости в качестве РФ и ФР остальных строк секции используются формирователи следующей ИС;

неиспользованные формирователи ИС подключаются к адресным входам ЗМ данной секции;

подключаются формирователи следующих ИС к оставшимся адресным входам ЗМ секции. Неиспользованные формирователи этих ИС подключаются к адресным входам ЗМ следующей секции.

Распределение формирователей для секции матрицы, содержащей 4 строки ЗМ емкостью 64К×1 бит с мультиплексированием кода адреса, приведено, в табл. 13.3. Число формирователей в микросхеме равно 6. Распределение ошибок при отказах РФ, УС, ФР, ФВК2 при подключении формирователей к ЗМ в соответст-

Таблица 13.3

Номер ИС	Тип формирователей и их число в ИС											
	АФ секции	ФР секции	ФВК2 секции	РФ				УС				
				Строки ЗМ								
				1	2	3	4	1	2	3	4	
1		1	1	1	1			1	1			
2	2					1	1			1	1	
3	6											

[1] **Исследование** системы диагностики полупроводникового оперативного запоминающего устройства/И. В. Огнев, Ю. А. Розанов, К. Ф. Сарычев, О. В. Исаев//Тр. МЭИ. — 1979. — Вып. 419. — С. 94—97.

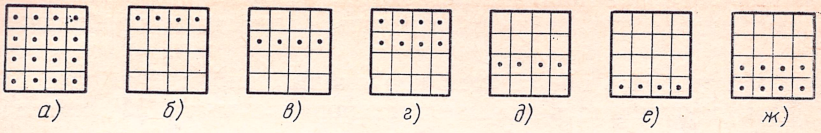


Рис. 13.3. Распределения ошибок при отказах формирователей первой (*а—г*) и второй (*д—ж*) интегральных микросхем при подключении ИС к ЗМ в соответствии с табл. 13.3

вии с табл. 13.3 показано на рис. 13.3. По виду распределения ошибок очевидно, что отказы различных ИС различимы.

Рассмотренный способ подключения формирователей является модификацией способа минимизации разрядности ошибок, рассмотренного в § 13.1. Он удовлетворяет двум требованиям — минимизации разрядности пакетных ошибок при отказах элементов электроники обрамления и возможности определения номера отказавшей ИС обрамления.

13.4. СПОСОБЫ ПОВЫШЕНИЯ КОНТРОЛЕПРИГОДНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С КОРРЕКЦИЕЙ ОШИБОК

Диагностирование ЗУ с коррекцией ошибок имеет свои особенности по сравнению с диагностированием ЗУ без коррекции ошибок. В ЗУ без коррекции ошибок по адресам и разрядам отказа можно определить отказавшую микросхему. В ЗУ с коррекцией ошибок средства обнаружения и коррекции ошибок маскируют место дефекта, вследствие чего затрудняется их диагностирование. Другой особенностью является отсутствие доступа к той части, в которой хранятся контрольные разряды. Это затрудняет контроль и поиск дефекта в этой части ЗУ. Для диагностирования ЗУ с коррекцией ошибок необходимо вывести для контроля сигналы характерных точек схемы (на рис. 13.4 точки *A*, *B*, *C*, *D*, *E*).

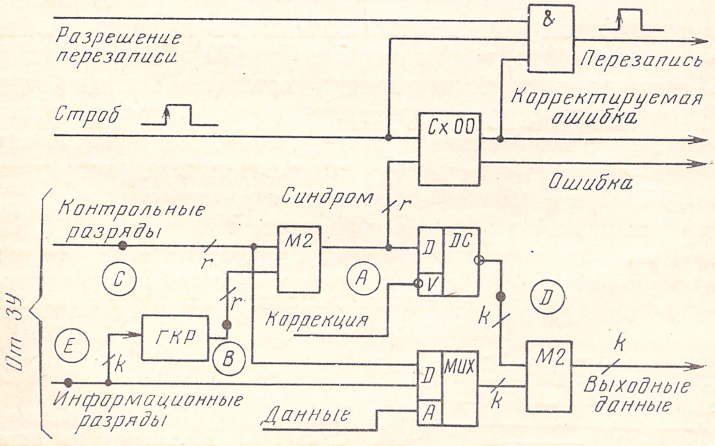


Рис. 13.4. Схема обнаружения и коррекции ошибок в ЗУ

Любая модификация схемы, направленная на повышение ее контролепригодности, должна отвечать следующим требованиям [53]:

предусматривать обход схем коррекции ошибок. Это дает возможность осуществлять прямое тестирование части ЗУ, предназначенной для хранения информационных разрядов;

обеспечить возможность независимой записи информации как в ЗУ информационных, так и в ЗУ контрольных разрядов. Это позволяет тестировать ЗУ контрольных разрядов и формировать коды с ошибками для тестирования узлов обнаружения и коррекции ошибок;

обеспечивать вывод информации об ошибках. Это могут быть разряды синдрома, информация о корректируемой и некорректируемой ошибке.

Рассмотренная в § 8.2 схема обнаружения и коррекции ошибок (см. рис. 8.1), имеет следующие недостатки:

не предусмотрено размыкание петли обратной связи, образованной логикой перезаписи исправленной информации;

не предусмотрена выдача сигналов в ключевых точках схемы.

Известны четыре способа повышения контролепригодности ЗУ с коррекцией ошибок, устраняющие указанные недостатки [53].

1. Запрет коррекции ошибок. На рис. 13.4 приведена контролепригодная схема обнаружения и коррекции ошибок ЗУ. На вход дешифратора синдрома DC подается сигнал разрешения коррекции «Коррекция». Если уровень этого сигнала низкий, то дешифрация синдрома разрешена и схема работает аналогично схеме на рис. 8.1. Если уровень сигнала «Коррекция» высокий, то дешифратор не выбран, коррекция считанных из ЗУ данных не производится и возможно диагностирование информационных разрядов ЗУ обычным способом.

2. Обеспечение прямого доступа к ЗУ контрольных разрядов. Этот способ иллюстрируем с помощью рис. 13.5. Низкий уровень сигнала «Данные» обеспечивает занесение входных данных в ЗУ контрольных разрядов. Одновременно мультиплексор обеспечивает считывание контрольных разрядов из ЗУ и выдачу их на выходную шину данных. Если уровень сигнала «Данные» высокий, то в ЗУ контрольных разрядов записываются биты, сформированные генератором контрольных разрядов. При считывании на выходную шину данных выдаются информационные разряды хранящегося в ЗУ слова. Способ обеспечивает независимое тестирование информационной и контрольной части ЗУ.

3. Запрет перезаписи исправленной информации. Сигнал «Разрешение перезаписи» разрешает автоматический запуск цикла перезаписи исправленной информации при возникновении в запоми-

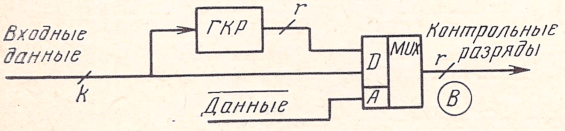


Рис. 13.5. Схема формирования контрольных разрядов в ЗУ

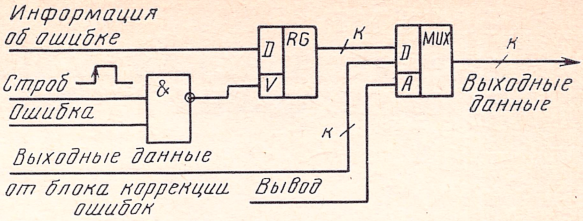


Рис. 13.6. Схема выдачи информации об ошибке — синдром, некорректируемая ошибка, корректируемая ошибка

нающем устройстве корректируемой ошибки. При низком уровне сигнала «Разрешение перезаписи» перезапись информации не производится и ошибка сохраняется.

4. Запоминание информации об ошибках. Сведения об ошибках (значение синдрома, сигналы некорректируемой и корректируемой ошибки) заносятся в специальный регистр (рис. 13.6), из которого по сигналу «Вывод» выдаются на шину данных. Способ делает доступным для анализа содержимое разрядов синдрома ошибки.

Рассмотренные способы повышения контролепригодности ЗУ обеспечивают возможность раздельного диагностирования схем обнаружения и коррекции ошибок и блоков ЗУ, предназначенных для хранения информационных и контрольных разрядов.

ЧАСТЬ 5
ПАРАМЕТРИЧЕСКАЯ НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

ГЛАВА 14. МЕТОДЫ РАСЧЕТА ПАРАМЕТРИЧЕСКОЙ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА ФЕРРИТОВЫХ СЕРДЕЧНИКАХ

14.1. ОБЩИЕ СВЕДЕНИЯ О ПАРАМЕТРИЧЕСКОЙ НАДЕЖНОСТИ

Основная доля всех отказов в работе ЗУ приходится на самоустраняющиеся отказы — сбои. Появление сбоев обусловлено взаимовлиянием элементов ЗУ, дрейфом рабочих параметров элементов ЗУ из-за колебаний температуры, влажности, питающих напряжений, а также наличием внутренних и внешних помех.

Параметрический метод расчета и анализа надежности базируется на анализе взаимосвязей выходных характеристик устройства и параметров составляющих его элементов, с учетом технологического разброса, температурного и временно́го дрейфа этих параметров [2]. Обобщенной характеристикой параметрической надежности является область устойчивой работы (ОУР), построенная в координатах параметров, наиболее сильно влияющих на его работоспособность. Совокупность параметров, влияющих на работоспособность ЗУ в данный момент времени, может быть представлена изображающей точкой в n-мерном пространстве этих параметров. Для обеспечения устойчивой работы эта точка должна находиться внутри области и по возможности ближе к ее центру, так как расстояние от этой точки до границы области определяет запас параметрической надежности устройства. На практике построение многомерных областей вызывает серьезные трудности. Поэтому при анализе надежности ЗУ строят плоские области устойчивой работы, чаще всего в координатах возбуждающих токов или питающих напряжений.

При построении области устойчивой работы ЗУ имеется ряд трудностей, обусловленных, в частности, большим количеством и функциональным разнообразием используемых элементов. Однако известно, что работоспособность ЗУ решающим образом зависит от работоспособности накопителя. Анализируя параметрическую надежность накопителя, можно с большой степенью достоверности судить о надежности ЗУ в целом.

Области устойчивой работы строят для оценки запаса по основным параметрам ЗУ. Эти области позволяют оценить качество используемой схемотехники и топологии кристалла, выявить

«тяжелую» тестовую последовательность, определить оптимальные значения временны́х и других параметров ЗМ.

На этапе проектирования ЗУ область устойчивой работы позволяет оценить качество топологии ТЭЗ памяти, степень влияния создаваемых при работе устройства помех по цепям питания на работоспособность устройства. Для ЗУ на ферритовых сердечниках ОУР обеспечивает правильный выбор значений возбуждающих токов, оптимальные значения временны́х параметров, таких, как сдвиг между фронтами возбуждающих токов и их длительность, положение строба, а также уровень амплитудной селекции считанного сигнала и т. д. В настоящее время широко используются теоретические методы построения областей устойчивой работы ЗУ на ферритовых сердечниках. Для полупроводниковых и ЦМД ЗУ эти методы еще недостаточно исследованы.

14.2. РАСЧЕТ ОБЛАСТЕЙ УСТОЙЧИВОЙ РАБОТЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА ФЕРРИТОВЫХ СЕРДЕЧНИКАХ МЕТОДОМ НА НАИХУДШИЙ СЛУЧАЙ

Метод расчета ОУР на наихудший случай рассмотрим на примере ЗУ типа 2,5 Д. Запись и считывание информации в таком ЗУ осуществляются при совпадении адресного $I_а$ и адресно-разрядного $I_р$ токов. Условия работоспособности ЗУ имеют вид системы неравенств

$$I_а \leqslant I_п,\ I_р \leqslant I_п,\ I_а + I_р \geqslant I_м, \qquad (14.1)$$

где $I_п$ — пороговое значение тока, при котором не происходит необратимых процессов перемагничивания в ферритовом сердечнике; $I_м$ — минимальный ток полного перемагничивания сердечника [2].

Первое и второе неравенства характеризуют условия надежного хранения в полувыбранных сердечниках на адресной и разрядной шинах соответственно и надежной записи кода 0, третье неравенство — условие надежного считывания информации и надежной записи кода 1.

Графическое решение системы (14.1) представлено на рис. 14.1. Как видно из рисунка ОУР имеет вид прямоугольного треугольника, площадь которого существенным образом зависит от токов $I_м$, $I_п$, характеризующих качество используемых сердечников. Количественно область устойчивой работы ЗУ оценивается допустимым относительным отклонением возбуждающих токов от их номинальных значений при различных режимах работы ЗУ:

$$\varepsilon_а = \frac{I_{а\,max} - I_а}{I_а}\ ;\ \varepsilon_р = \frac{I_{р\,max} - I_р}{I_р}\ . \qquad (14.2)$$

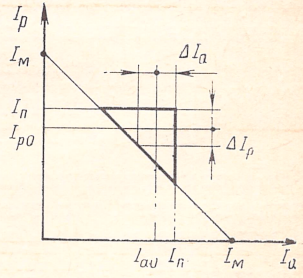


Рис. 14.1. Область устойчивой работы ЗУ типа 2,5Д

Условия работоспособности ЗУ 2,5Д при наихудших сочетаниях допусков на разброс амплитуд возбуждающих токов запишутся следующим образом [2]:

$$(1+\varepsilon_a)\,I_a = I_п,\ (1+\varepsilon_p)\,I_p = I_п,\ (1-\varepsilon_a)\,I_a + (1-\varepsilon_p)\,I_p = I_м. \quad (14.3)$$

Совместное решение уравнений системы (14.3) позволяет вывести зависимость между допусками на возбуждающие токи и качеством ферритовых сердечников:

$$\frac{1-\varepsilon_a}{1+\varepsilon_a} + \frac{1-\varepsilon_p}{1+\varepsilon_p} = \frac{1}{\gamma_c}, \quad (14.4)$$

где $\gamma_c = I_п/I_м$ — параметр, характеризующий качество ферритовых сердечников.

Оценим значения предельных допусков возбуждающих токов. При $\gamma_c = 0{,}625$ и равенстве адресных и разрядных токов получим $\varepsilon_a = \varepsilon_p = 11\%$.

Расчет области устойчивой работы методом на наихудший случай широко используется при анализе надежности ЗУ на ферритовых сердечниках. Метод прост и не требует сложных вычислений. Однако ему присущи некоторые недостатки. При расчетах ОУР не учитывается информационная емкость ЗУ. В результате теоретические ОУР двух или нескольких различных по объему ЗУ совершенно одинаковы, что противоречит экспериментальным данным. Это обстоятельство исключает сравнительный анализ надежности однотипных ЗУ различных объемов, что является одной из распространенных задач, решаемых при проектировании.

Получаемые четкие границы ОУР не позволяют прогнозировать поведение ЗУ при выходе одного или нескольких параметров, в координатах которых построена область устойчивой работы, за пределы, ограниченные этой областью. На самом деле нет резкого перехода от работоспособного состояния к полностью неработоспособному и вблизи границ ОУР можно говорить лишь о вероятной работоспособности ЗУ с определенной достоверностью. Ориентация на наихудший случай часто приводит к недоиспользованию возможностей ЗУ, необоснованно жестким требованиям на допуски параметров элементов.

Перечисленные недостатки в значительной степени снижают информативность получаемых ОУР и достоверность результатов оценки надежности анализируемых вариантов ЗУ.

14.3. ВЕРОЯТНОСТНЫЙ МЕТОД РАСЧЕТА ПАРАМЕТРИЧЕСКОЙ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА ФЕРРИТОВЫХ СЕРДЕЧНИКАХ

Параметрическая надежность устройства определяется вероятностью того, что некий обобщенный параметр $\Pi(x)$, связанный с параметрами $п_i$ функциональной зависимостью $\Pi(x) = F(п_1, п_2, ..., п_i)$ и характеризующий работоспособность устройства, находится в допустимой области

$$P = P\{\delta\Pi(x) \leqslant \delta\Pi_{доп}\}, \quad (14.5)$$

где $\delta\Pi(x)=\{\Pi(x)-\Pi_{ном}\}/\Pi_{ном}$ — относительное отклонение параметра $\Pi(x)$ от номинального значения, обусловленное воздействием дестабилизирующих факторов; $\delta\Pi_{доп}$ — допустимое отклонение параметра $\Pi(x)$, при котором не происходит отказа устройства.

Работоспособность накопителя, состоящего из однотипных взаимозаменяемых нерезервированных матриц,

$$P_{раб\ н}=\prod_{i=1}^{n_м} P_{раб\ м\ i}, \qquad (14.6)$$

где $P_{раб\ н}$ — вероятность работоспособности накопителя; $P_{раб\ м\ i}$ — вероятность работоспособности i-й матрицы; $n_м$ — количество матриц.

Параметры π_i являются случайными величинами, зависящими от технологии производства ЗЭ, особенностей конструкции матрицы и накопителя запоминающего устройства, характера воздействия внешних факторов. Основными факторами, влияющими на работоспособность накопителя, являются параметры ферритовых сердечников.

Магнитные и геометрические параметры сердечников зависят от многих факторов: геометрических размеров и износа пресс-форм, давления пресса, химического состава порошка, температуры и технологии обжига. Причем каждый из перечисленных факторов не является решающим. При этом согласно центральной предельной теореме можно предположить, что параметры сердечников распределены по нормальному закону. Достаточно большой статистический материал подтверждает это предположение.

Уравнение работоспособности запоминающего устройства. Методику построения области устойчивой работы рассмотрим на примере ЗУ типа 2,5Д. Рассмотрим матрицу емкостью $N_м$ бит, имеющую единую несекционированную выходную обмотку. Данная матрица будет отвечать принятым условиям работоспособности в случае, если в процессе работы ЗУ для каждого сердечника будут выполняться условия (14.1). Вероятность работоспособности сердечника

$$P_{раб\ с}=P\,(I_а\leqslant I_п,\ I_р\leqslant I_п,\ I_а+I_р\geqslant I_м). \qquad (14.7)$$

В целом для матрицы емкостью $N_м$ бит вероятность работоспособности

$$P_{раб\ м}=\{P\,(I_а\leqslant I_п,\ I_р\leqslant I_п,\ I_а+I_р\geqslant I_м)\}^{N_м}. \qquad (14.8)$$

В каждом цикле обращения к ЗУ в выбранные координатные шины матрицы поступает определенная комбинация адресных и разрядных токов. Вследствие разброса параметров формирователей тока, активного, индуктивного и емкостного сопротивлений выбранных шин значения возбуждающих токов в общем случае не одинаковы. При этом если условия надежного хранения выполняются для большего из токов, то для меньшего они выполняются

автоматически. Сумма же токов должна быть больше $I_м$. Тогда

$$P_{раб\ м} = \{P\,[\max(I_а, I_р) \leqslant I_п, \max(I_а, I_р) + \min(I_а, I_р) \geqslant I_м]\}^{N_м} \tag{14.9}$$

Пороговые токи $I_п$ и $I_м$ характеризуют качество сердечника и, следовательно, могут быть выражены через его параметры. Предположим, что материал сердечника имеет идеальную петлю гистерезиса и что перемагничивание сердечника происходит по слоям. Тогда на основании закона полного тока

$$I_п = \pi H_c d,\ I_м = \pi H_c D, \tag{14.10}$$

где d, D — значения внутреннего и наружного диаметров сердечника; H_c — коэрцитивная сила.

Так как параметры сердечников H_c, d, D зависят от многих факторов и являются случайными величинами, то токи $I_п$ и $I_м$, являясь функциями перечисленных параметров, также случайные величины, и о их значениях можно говорить лишь с определенной вероятностью. Подставив в (14.9) вместо $I_п$ и $I_м$ их значения из (14.10), получим

$$P_{раб\ м} = \{P\,[\max(I_а, I_р) \leqslant \pi H_c d,$$

$$\max(I_а, I_р) + \min(I_а, I_р) \geqslant \pi H_c D\,]\}^{N_м}. \tag{14.11}$$

Степень влияния разброса параметров сердечников на вероятность работоспособности матрицы можно оценить с помощью сравнения средних квадратических отклонений или дисперсий этих параметров. В табл. 14.1 приведены значения дисперсий параметров H_c, d, D для наиболее распространенных термостабильных быстродействующих сердечников памяти. Из таблицы видно, что $\sigma^2(H_c) \gg \sigma^2(d)$, $\sigma^2(D)$. На этом основании геометрические параметры сердечников в уравнении работоспособности могут быть учтены не как случайные, а как детерминированные, и (14.11) примет вид

$$P_{раб\ м} = \left\{P\left[\frac{\max(I_а, I_р)}{\pi d} < H_c < \frac{\max(I_а, I_р) + \min(I_а, I_р)}{\pi D}\right]\right\}^{N_м}. \tag{14.12}$$

Уравнение (14.12) является базовым для вычисления работоспособности ЗУ в вероятностной форме, с помощью которого можно исследовать параметрическую надежность ЗУ.

Расчет вероятности работоспособности запоминающего устройства. Определение вероятности работоспособности ЗУ на основе уравнения (14.12) сводится к вычислению вероятности попадания нормально распределенной случайной величины H_c с известными параметрами $M(H_c)$ и $\sigma(H_c)$ на заданный участок от $a_{гр} = \max(I_а, I_р)/\pi d$ до $b_{гр} = [\max(I_а, I_р) + \min(I_а, I_р)]/\pi D$. Задаваясь значениями адресных и разрядных токов, можно определить пределы в уравнении работоспособности и вычислить вероятность работоспособности ЗУ.

Таблица 14.1

Тип сердечника	Параметр, x	$M(x)$	Допуск Δx	Дисперсия $\sigma^2(x)$	$\frac{\delta^2(H_c)}{\delta^2(d, D)}$	Токи, мА
3ВТ	H_c, э	3,0	±10%	$0{,}640 \cdot 10^{-4}$		$I_п = 414$,
	d, мм	0,55	±0,03	$0{,}999 \cdot 10^{-6}$	65	$I_м = 603$,
	D, мм	0,80	±0,04	$0{,}177 \cdot 10^{-5}$	36	$I_о = 349$
5ВТ	H_c	5,0	±10%	$0{,}177 \cdot 10^{-3}$		$I_п = 502$,
	d	0,40	±0,02	$0{,}444 \cdot 10^{-6}$	400	$I_м = 753$,
	D	0,60	±0,025	$0{,}694 \cdot 10^{-6}$	256	$I_о = 430$
7ВТ	H_c	7,0	±10%	$0{,}348 \cdot 10^{-3}$		$I_п = 615$,
	d	0,35	±0,02	$0{,}694 \cdot 10^{-6}$	500	$I_м = 879$,
	D	0,5	±0,025	$0{,}999 \cdot 10^{-6}$	350	$I_о = 513$
101П-6	H_c	5,0	±10%	$0{,}177 \cdot 10^{-3}$		$I_п = 502$,
	d	0,40	±0,02	$0{,}444 \cdot 10^{-6}$	400	$I_м = 753$,
	D	0,60	±0,025	$0{,}694 \cdot 10^{-6}$	256	$I_о = 430$
100П-2	H_c	2,4	±10%	$0{,}409 \cdot 10^{-4}$		$I_п = 422$,
	d	0,70	±0,02	$0{,}444 \cdot 10^{-6}$	93	$I_м = 603$,
	D	1,0	±0,03	$0{,}999 \cdot 10^{-6}$	41	$I_о = 351$
102П-5	H_c	1,3	±10%	$0{,}111 \cdot 10^{-4}$		$I_п = 125$,
	d	0,40	±0,05	$0{,}444 \cdot 10^{-6}$	25	$I_м = 188$,
	D	0,60	±0,03	$0{,}999 \cdot 10^{-6}$	11,2	$I_о = 107$
100П-Э	H_c	10,0	±10%	$0{,}711 \cdot 10^{-3}$		$I_п = 452$,
	d	0,18	±0,01	$0{,}111 \cdot 10^{-6}$	7000	$I_м = 754$,
	D	0,30	±0,02	$0{,}444 \cdot 10^{-6}$	1600	$I_о = 411$
100П-9	H_c	6,5	±10%	$0{,}300 \cdot 10^{-3}$		$I_п = 555$,
	d	0,11	±0,02	$0{,}444 \cdot 10^{-6}$	680	$I_м = 865$,
	D	0,53	±0,03	$0{,}999 \cdot 10^{-6}$	320	$I_о = 485$

Функция распределения коэрцитивной силы вычисляется по формуле

$$F(H_c) = \frac{1}{\sigma(H_c)\sqrt{2\pi}} \int_{-\infty}^{H_c} e^{-[H_c - M(H_c)]^2/2\sigma^2(H_c)}\, dH_c. \qquad (14.13)$$

Интеграл (14.13) вычисляют через нормальную функцию распределения $F(H_c) = \Phi_0(z)$, для которой составлены табличные значения:

$$\Phi_0(z) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{z} e^{-z^2/2}\, dz, \qquad (14.14)$$

где $z = [H_c - M(H_c)]/\sigma(H_c)$.

Нетрудно убедиться, что функция $\Phi_0(z)$ соответствует простейшему нормальному распределению с параметрами $M(H_c)=0$ и $\sigma(H_c)=1$. С учетом (14.14) определяем

$$P_{\text{раб м}} = \Phi_0\left[\frac{b_{\text{гр}} - M(H_c)}{\sigma(H_c)}\right] - \Phi_0\left[\frac{a_{\text{гр}} - M(H_c)}{\sigma(H_c)}\right]. \qquad (14.15)$$

При анализе работоспособности ЗУ, когда известны все параметры сердечников, значения $\Phi(z)$ можно определить по таблицам [1] или с помощью аналитической функции

$$F(H_c) = \begin{cases} 0{,}5\exp[0{,}8z(1-0{,}4z)] & \text{при } z \leqslant 0, \\ 1-0{,}5\exp[-0{,}8z(1+0{,}4z)] & \text{при } z > 0. \end{cases} \qquad (14.16)$$

Расхождение результатов, полученных с помощью табличных значений и (14.16), не превышает 0,0065 при любых z.

Расчет оптимальных значений возбуждающих токов запоминающего устройства. Правильно выбранные значения возбуждающих токов позволяют обеспечить максимальную работоспособность ЗУ во всех режимах его работы. Выбор оптимальных значений возбуждающих токов I_0 сводится к нахождению значений адресных I_a и разрядных I_p токов, при которых обеспечивается максимальная вероятность работоспособности ЗУ.

Так как значение $P_{\text{раб м}}$ в (14.12) симметрично относительно адресного и разрядного токов, т. е. не изменяется при замене I_a на I_p и наоборот, то максимум вероятности работоспособности будет при $I_a = I_p = I_0$:

$$P_{\text{раб м max}} = \{P(I_0/\pi d < H_c < 2I_0/\pi D)\}^{N_м}. \qquad (14.17)$$

При нормальном распределении случайной величины H_c и постоянном значении $(H_{c\,\max} - H_{c\,\min})$ максимум функции (14.17) будет в случае, когда ее левый и правый пределы расположены симметрично относительно $M(H_c)$ (рис. 14.2). Исходя из этого условия, можно записать

$$(I_0/\pi d + 2I_0/\pi D)/2 = M(H_c). \qquad (14.18)$$

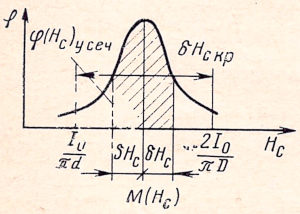


Рис. 14.2. График, иллюстрирующий метод вычисления вероятности работоспособности ЗУ и оптимальных возбуждающих токов

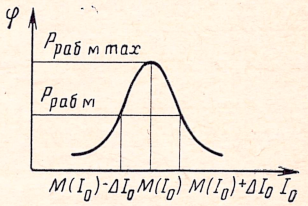


Рис. 14.3. Определение границ области устойчивой работы ЗУ

[1] **Сегал Б. И., Семендяев К. А.** Пятизначные математические таблицы. — М.: Физматгиз, 1962. — 464 с.

Из (14.18) находим оптимальное значение возбуждающего тока

$$I_0 = 2\,M(H_c)\,\pi\,d\,D/(2\,d + D). \tag{14.19}$$

Значения оптимальных токов для распространенных сердечников памяти, вычисленные по (14.19), приведены в табл. 14.1.

Зная оптимальное значение возбуждающих токов, вычислим максимальную вероятность работоспособности ЗУ:

$$P_{\text{раб м max}} = \{P(i_0 < H_c < i_0')\}^{N_м} = \left\{2\,\Phi_0\left[\frac{i_0' - i_0}{\sigma(H_c)}\right] - 1\right\}^{N_м}, \tag{14.20}$$

где $i_0 = I_0/\pi d$, $i'_0 = 2I_0/\pi D$.

Обозначив $\gamma_c = d/D$ и подставив в (14.20) вместо $\sigma(H_c)$ его значение, вычисленное по формуле

$$\sigma(H_c) = M(H_c)\,\Delta H_c/300, \tag{14.21}$$

получим

$$P_{\text{раб м max}} = \left\{2\,\Phi_0\left[\frac{300\,(2\,\gamma_c - 1)}{\Delta H_c\,(2\,\gamma_c + 1)}\right] - 1\right\}^{N_м}, \tag{14.22}$$

где ΔH_c — разброс коэрцитивной силы в партии неразбракованных сердечников.

Анализ уравнения работоспособности (14.22) позволяет сделать следующие выводы:

запоминающее устройство будет абсолютно неработоспособно в случае, когда $d = 0{,}5D$, $\gamma_c = 0{,}5$. При этом

$$P_{\text{раб м max}} = \{2\,\Phi_0\,[0] - 1\}^{N_м} = 0;$$

максимум вероятности и работоспособности будет в случае, когда накопитель собран из абсолютно идентичных сердечников, т. е. при $\Delta H_c = 0$. При этом

$$P_{\text{раб м max}} = \{2\,\Phi_0\,[\infty] - 1\}^{N_м} = 1.$$

При увеличении разброса коэрцитивной силы сердечников в матрице вероятность работоспособности ЗУ уменьшается.

Построение области устойчивой работы запоминающего устройства. Коэрцитивная сила в партии сердечников распределена по нормальному закону. На основании (14.19) можно утверждать, что значение оптимального возбуждающего тока также распределено по нормальному закону. При этом каждому значению вероятности работоспособности, лежащему в диапазоне $0 \leqslant P_{\text{раб м}} \leqslant P_{\text{раб м max}}$, соответствует некоторое множество значений возбуждающих токов, в частности от $M(I_0) - \Delta I_0$ до $M(I_0) + \Delta I_0$ (рис. 14.3). Иными словами, для каждого значения вероятности работоспособности, лежащего в указанном диапазоне, может быть построена ОУР в координатах возбуждающих токов, в пределах которой $P_{\text{раб м}} \geqslant P_{\text{раб м зад}}$, где $P_{\text{раб м зад}}$ — заданное значение $P_{\text{раб м}}$.

При построении ОУР с заданной вероятностью работоспособности воспользуемся методикой, применяемой при экспериментальном определении областей устойчивой работы ЗУ, когда изменяются адресные и разрядные токи и фиксируются те их значения, при которых пропадает считанная единица или появляется ложная единица.

При построении ОУР будем задаваться изменением возбуждающих токов от их оптимальных значений, фиксируя при этом приращение ΔI_0, при котором в данном режиме вероятность работоспособности станет равной заданной. Отложив полученные значения приращений ΔI_0 от I_0 в координатах адресного и разрядного токов, получим точки, соединив которые построим ОУР, соответствующую заданной вероятности работоспособности.

В качестве примера запишем уравнения работоспособности для следующих режимов.

1. Режим отрицательного симметричного смещения (точка *1* на рис. 14.4). В этом режиме одновременно и на одинаковое значение уменьшаются адресные $I_а$ и разрядные $I_р$ токи от их оптимальных значений:

$$P_{\text{раб м1}} = \left\{P\left[\frac{I_0 - \Delta I_1}{\pi d} < H_c < \frac{2(I_0 - \Delta I_1)}{\pi D}\right]\right\}^{N_м}. \qquad (14.23)$$

2. Режим несимметричного перекоса (точки *2* и *10*). В этом режиме один из возбуждающих токов остается неизменным, а другой уменьшается на ΔI_2:

$$P_{\text{раб м2}} = \left\{P\left[\frac{I_0}{\pi d} < H_c < \frac{2I_0 - \Delta I_2}{\pi D}\right]\right\}^{N_м}. \qquad (14.24)$$

3. Режим перекоса (точки *3* и *9*). В этом режиме одновременно значение одного из токов увеличивается на ΔI_3, а другого — уменьшается на $2\Delta I_3$:

$$P_{\text{раб м3}} = \left\{P\left[\frac{I_0 + \Delta I_3}{\pi d} < H_c < \frac{2I_0 - \Delta I_3}{\pi D}\right]\right\}^{N_м}. \qquad (14.25)$$

4. Режим симметричного перекоса (точки *4* и *8*), при котором один из возбуждающих токов увеличивается на ΔI_4, а другой уменьшается на ту же величину:

$$P_{\text{раб м4}} = \left\{P\left[\frac{I_0 + \Delta I_4}{\pi d} < H_c < \frac{2I_0}{\pi D}\right]\right\}^{N_м}. \qquad (14.26)$$

5. Режим несимметричного перекоса в сторону увеличения (точки *5* и *7*). Значение одного из токов возбуждения остается равным I_0, при этом значение другого увеличивается на ΔI_5:

$$P_{\text{раб м5}} = \left\{P\left[\frac{I_0 + \Delta I_5}{\pi d} < H_c < \frac{2I_0 + \Delta I_5}{\pi D}\right]\right\}^{N_м}. \qquad (14.27)$$

6. Режим симметричного положительного смещения (точка *6*). В этом режиме одновременно и на одинаковое значение ΔI_6 увеличиваются адресный и разрядный токи:

$$P_{\text{раб м6}} = \left\{P\left[\frac{I_0 + \Delta I_6}{\pi d} < H_c < \frac{2(I_0 + \Delta I_6)}{\pi D}\right]\right\}^{N_м}. \qquad (14.28)$$

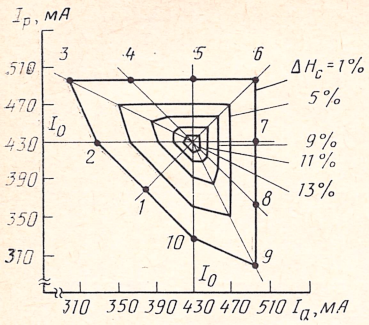


Рис. 14.4. ОУР матриц на сердечниках 5ВТ с вероятностью работоспособности $P_{раб\ м}=1$

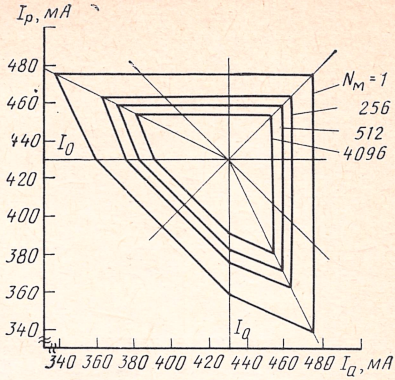


Рис. 14.5. Влияние емкости матрицы на границы ОУР

Нетрудно убедиться, что для каждого режима работы ЗУ уравнение работоспособности имеет свой вид. Координаты точек *1—10* ОУР можно вычислить с помощью табулированных функций согласно (14.15) или с помощью аналитической функции (14.16).

В качестве примера на рис. 14.4 приведено семейство ОУР с $P_{раб\ м}=1$, построенное для матрицы ЗУ на сердечниках 5ВТ с размерами $0{,}6\times0{,}4\times0{,}13$ мм при различных значениях разброса коэрцитивной силы ΔH_c сердечников и температуре, равной 25° С.

Влияние информационной емкости матрицы на границы ОУР можно оценить с помощью рис. 14.5, на котором приведены области устойчивой работы с $P_{раб\ м}=1$ матриц емкостью 1, 256, 512 и 4096 бит на сердечниках 5ВТ. Как видно из рисунка, с увеличением емкости матрицы ОУР уменьшается.

Анализ полученных ОУР позволяет оценить качество ферритовых сердечников, их пригодность для применения в конкретном ЗУ и решить ряд других задач проектирования [2].

ГЛАВА 15. ИССЛЕДОВАНИЕ ПАРАМЕТРИЧЕСКОЙ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С ПОМОЩЬЮ ОБЛАСТЕЙ УСТОЙЧИВОЙ РАБОТЫ

15.1. МЕТОДЫ ПОСТРОЕНИЯ ОБЛАСТЕЙ УСТОЙЧИВОЙ РАБОТЫ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Экспериментальные ОУР используются для оценки параметрической надежности конкретных экземпляров ЗУ, выбора оптимальных рабочих параметров, обеспечивающих максимальную устойчивость ЗУ. Известны следующие методы построения областей

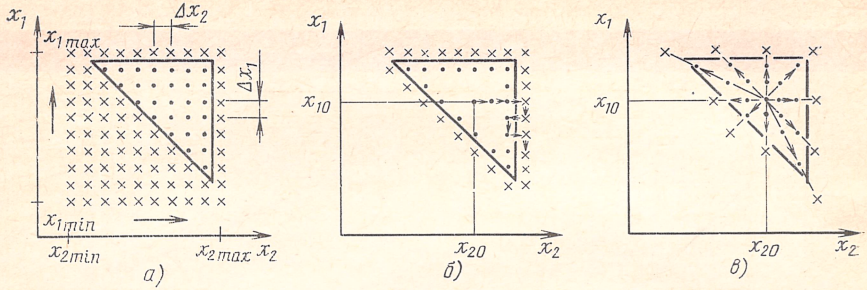


Рис. 15.1. Последовательность операций при построении ОУР методами: *а*) матричных испытаний; *б*) контурного обхода; *в*) секущих

устойчивой работы: матричных испытаний, контурного обхода, секущих.

Метод матричных испытаний заключается в переборе всех возможных сочетаний параметров, в координатах которых строится ОУР[1]. Параметры изменяются с некоторой дискретностью. Для двумерных ОУР пространство параметров ограничено минимальными и максимальными значениями каждого из изменяемых параметров и представляет собой матрицу (рис. 15.1,*а*). Испытания производятся в каждом узле матрицы. Достоинствами метода являются точность определения границ ОУР, обнаружение разрывов внутри области и нахождение всех областей, если их больше одной. Недостатком метода является необходимость перебора большого количества сочетаний изменяемых параметров, что обусловливает низкое быстродействие метода.

Метод контурного обхода заключается в поиске и обходе границы области устойчивой работы[2]. В начале испытаний значения параметров соответствуют их номинальным или близким к ним значениям (x_{10}, x_{20} на рис. 15,1,*б*), чтобы начальная точка заведомо находилась внутри ОУР. Затем один из параметров изменяется с заданной дискретностью до тех пор, пока не будет зафиксировано нарушение работоспособности устройства, что сигнализирует о выходе отображающей точки за пределы ОУР. Далее определяется граница ОУР. Обход границы ОУР происходит по узлам матрицы в последовательности, показанной на рис. 15.1,*б*. Если точка не принадлежит области, то обход совершается по часовой стрелке, если принадлежит, то против часовой стрелки.

При каждом последующем пересечении гарницы ОУР направление обхода изменяется на противоположное. Если искомая границы ОУР лежит вне пределов допустимых изменений параметров, то их крайние значения фиксируются в качестве точек границы.

---

[1] **Васильев Б. В., Козлов Б. А., Ткаченко Л. Г.** Надежность и эффективность радиоэлектронных устройств. — М.: Сов. радио, 1964. — 368 с.

[2] **Горелова Г. В., Здор В. В., Свечарник Д. В.** Метод оптимума номинала и его применение. — М.: Энергия, 1970. — 200 с.

Если положение ОУР неизвестно, то поиск границы ОУР начинается с начальной точки методом матричных испытаний. После определения первой точки, находящейся внутри области, находится граница ОУР по описанному выше алгоритму. По сравнению с методом матричных испытаний метод контурного обхода обладает более высоким быстродействием благодаря целенаправленному поиску граничных значений параметров. Метод обеспечивает точное определение границы ОУР. Недостатком метода контурного обхода является невозможность обнаружения разрывов области устойчивой работы и сложность его реализации.

Метод секущих заключается в одновременном изменении нескольких параметров, что позволяет существенно уменьшить время испытаний.[1] В начале испытаний значения параметров соответствуют номинальному режиму (x_{10}, x_{20} на рис. 15.1,*в*). Затем значение одного из параметров, например x_1, увеличивается до тех пор, пока не произойдет выход отображающей точки за пределы ОУР. Значения параметров, предшествующих выходу из ОУР, фиксируются как координаты точки, принадлежащей границе. Далее процедура повторяется при изменении x_1 и x_2, затем при изменении x_2 и т. д. Таким образом, траектории отображающей точки представляют секущие, соединяющие точку номинального режима с точкой, принадлежащей границе ОУР. Для более детального исследования ОУР возможно построение секущих с шагом одного из параметров, кратным основному (например, $x_1+\Delta x_1$, $x_2-2\Delta x_2$ на рис. 15,1,*в*).

Если положение ОУР заранее не известно, то в качестве исходной точки берется начало координат. При этом траектории движения отображающей точки представляют собой прямые линии, соединяющие начало координат с точками, лежащими на границе ОУР. Достоинствами метода является возможность определения разрывов ОУР и более высокое, по сравнению с методом матричных испытаний, быстродействие. Недостатком является меньшая точность определения границ ОУР по сравнению с методами матричных испытаний и контурного обхода.

Метод матричных испытаний целесообразно применять для построения ОУР, вид которой неизвестен, т. е. при анализе параметрической надежности вновь созданных ЗУ, а также надежности серийных устройств, время тестирования которых невелико.

Методы контурного обхода и секущих целесообразно использовать для анализа ОУР ЗУ, требующих для контроля их работоспособности длительных тестовых последовательностей, например, полупроводниковых оперативных ЗУ большой информационной емкости.

---

[1] **Светликов Ю. А., Краснов И. А.** Методы определения областей работоспособности технических объектов//Тр. IV Всесоюз. школы-семинара по технической диагностике. — Челябинск, 1976. — Вып. 181. — С. 21—25.

15.2. МЕТОДЫ ОПРЕДЕЛЕНИЯ ОПТИМАЛЬНОЙ РАБОЧЕЙ ТОЧКИ ЗАПОМИНАЮЩЕГО УСТРОЙСТВА

Рабочая точка ЗУ (установленные значения параметров, в координатах которых построена ОУР) определяется таким образом, чтобы обеспечить максимальную устойчивость работы. При исследовании параметрической надежности ЗУ используются следующие методы нахождения оптимальной рабочей точки: метод равных полей; вписывание в ОУР окружности максимального диаметра; вписывание в ОУР прямоугольника максимальной площади.

При использовании метода равных полей исходную рабочую точку помещают внутрь ОУР (для ОУР ЗУ на ферритовых сердечниках точка с координатами $I_{рн}$, $I_{ан}$ на рис. 15.2,*а*). Изменяя значение одного из параметров, находят его минимальное и максимальное граничные значения. При значении данного параметра, равном среднеарифметическому от его граничных значений, тем же, способом определяют граничные значения второго параметра. После этого значение второго параметра принимают равным среднеарифметическому от его граничных значений и процедура вновь повторяется. Так, итерационным методом определяется точка с координатами $I_{ро}$, $I_{ао}$, равноудаленная от границ ОУР по каждому из параметров в отдельности (рис. 15.2,*а*). При одновременном отклонении параметров допуски значительно уменьшаются. [1]

На примере ЗУ типа 2,5Д рассчитаем методом равных полей оптимальные значения и допуски на токи возбуждения. Учитывая, что ОУР ЗУ типа 2,5Д представляет собой равносторонний прямоугольный треугольник, а рабочая точка 0 равноудалена от его сторон, можно показать, что допуск на возбуждающие токи $\Delta I = 1/3$ от длины катета треугольника (рис. 15.2,*б*)

$$\Delta I = \Delta I_а = \Delta I_р = DO = OC = AB/3, \tag{15.1}$$

Треугольник $BI_пI_м$ равносторонний и прямоугольный, в котором прилегающая к прямому углу сторона равна $I_м - I_п$. Тогда $AB = 2I_п - I_м$, а допуск на возбуждающие токи равен

$$\Delta I = (2I_п - I_м)/3. \tag{15.2}$$

Значение оптимального тока определяется выражением

$$I_о = I_{ао} = I_{ро} = I_п - \Delta I = (I_п + I_м)/3. \tag{15.3}$$

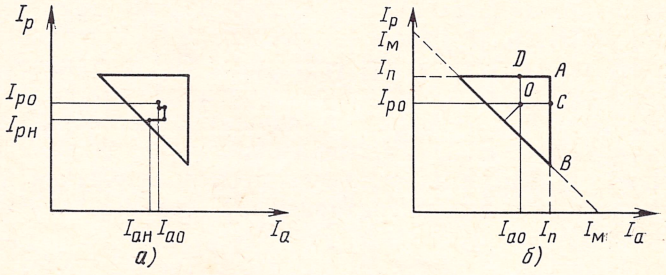


Рис. 15.2. Определение методом равных полей:
а) оптимальной рабочей точки; *б*) допусков на отклонение токов

[1] **Агафонов А. Н., Лесников А. А.** Автомат поиска оптимальной рабочей точки накопителя запоминающего устройства на магнитных сердечниках//Вопросы радиоэлектроники. Сер. ЭВТ. — 1976. — Вып. 6. — С. 85—97.

Относительное отклонение возбуждающих токов от их номинального значения

$$\varepsilon = \varepsilon_a = \varepsilon_p = \frac{\Delta I}{I_o} = \frac{2I_п - I_м}{I_п + I_м} = \frac{2\gamma_c - 1}{\gamma_c + 1}. \qquad (15.4)$$

При одновременном изменении возбуждающих токов допуск уменьшается и составляет

$$\Delta I_o = \Delta I_{ao} = \Delta I_{po} = \Delta I/2. \qquad (15.5)$$

Допустимое относительное отклонение возбуждающих токов ε_o в этом случае

$$\varepsilon_o = \Delta I_o / I_o = \varepsilon/2. \qquad (15.6)$$

Для вогнутых ОУР, а также ОУР с разрывами данный метод дает неверные результаты (рис. 15.3). При использовании метода равных полей достаточно знать лишь вид области: выпуклая, вогнутая, имеет или не имеет разрывы и не требуется строить ОУР, что существенно сокращает время регулировки устройства.

Определение оптимальной рабочей точки путем вписывания в ОУР окружности максимального диаметра на примере ЗУ на ферритовых сердечниках показано на рис. 15.4. Оптимальная рабочая точка с координатами I_{po}, I_{ao} является центром окружности

$$(I_a - I_{ao})^2 + (I_p - I_{po})^2 = \Delta I^2, \qquad (15.7)$$

вписанной в треугольник, а допустимые отклонения каждого из токов — радиус окружности ΔI. Область устойчивой работы имеет вид треугольника, образованного прямыми, которые задаются уравнениями

$$I_a + I_p - I_м = 0, \quad I_a - I_п = 0, \quad I_p - I_п = 0. \qquad (15.8)$$

Совместное решение уравнений (15.7) и (15.8) определяет I_{ao}, I_{po}, ΔI через известные параметры $I_п$ и $I_м$ ферритового сердечника

$$I_o = I_{ao} = I_{po} = (\sqrt{2} I_п + I_м)/(2 + \sqrt{2}), \qquad (15.9)$$

$$\Delta I = \Delta I_a = \Delta I_p = (2 I_п - I_м)/(2 + \sqrt{2}). \qquad (15.10)$$

При одновременном уменьшении адресного и разрядного токов допустимые отклонения токов уменьшаются в $\sqrt{2}$ раз:

$$\Delta I_o = \Delta I_{ao} = \Delta I_{po} = \Delta I/\sqrt{2}. \qquad (15.11)$$

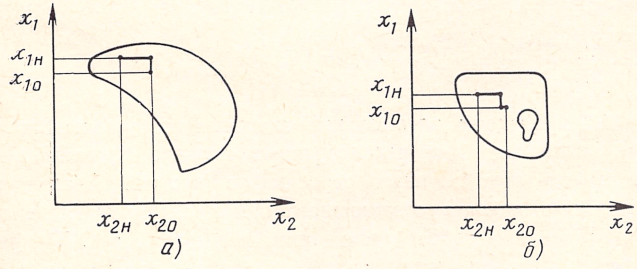


Рис. 15.3. Определение оптимальной рабочей точки ОУР методом равных полей для:
а) выпуклых ОУР; *б*) ОУР с разрывами

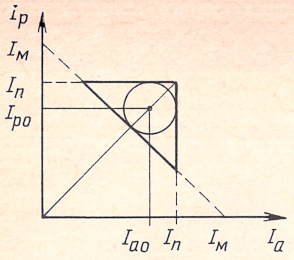


Рис. 15.4. Определение оптимальной рабочей точки ОУР путем вписывания в область окружности максимального диаметра

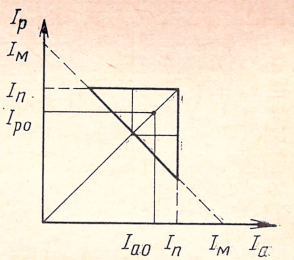


Рис. 15.5. Определение оптимальной рабочей точки ОУР путем вписывания в область прямоугольника максимальной площади

Разделив левую и правую части уравнения (15.10) соответственно на левую и правую части уравнения (15.9), получим значение допустимого относительного отклонения каждого возбуждающего тока:

$$\varepsilon = \frac{2I_п - I_м}{\sqrt{2}I_п + I_м} = \frac{2\gamma_с - 1}{\sqrt{2}\gamma_с + 1}. \qquad (15.12)$$

При одновременном изменении обоих возбуждающих токов их допустимое относительное отклонение

$$\varepsilon_0 = \Delta I_о / I_о = \varepsilon\sqrt{2}. \qquad (15.13)$$

При определении оптимальной рабочей точки путем вписывания в ОУР прямоугольника максимальной площади допускается одновременное максимальное отклонение обоих влияющих параметров. Получение рабочей точки этим методом показано на рис. 15.5. Так как рассматриваемая ОУР представляет собой равносторонний прямоугольный треугольник, вписанный прямоугольник максимальной площади трансформируется в квадрат. Сторона квадрата равна половине катета треугольника. Максимальное отклонение возбуждающих токов равно

$$\Delta I = \Delta I_а = \Delta I_р = (2I_п - I_м)/4, \qquad (15.14)$$

а их номинальное значение

$$I_о = I_{ао} = I_{ро} = I_п - \Delta I = (2I_ц + (I_м)/4. \qquad (15.15)$$

Допустимое относительное отклонение возбуждающих токов вычисляется по формуле

$$\varepsilon = \frac{\Delta I}{I} = \frac{2I_п - I_м}{2I_п + I_м} = \frac{2\gamma_с - 1}{2\gamma_с + 1}. \qquad (15.16)$$

В табл. 15.1 приведены оптимальные значения возбуждающих токов и их относительные отклонения для рассмотренных методов определения оптимальной рабочей точки отечественных сердечников памяти. Анализ результатов табл. 15.1 позволяет сделать следующие выводы. Возбуждающие токи имеют максимальное значение в рабочей точке при вписывании в ОУР прямоугольника максимальной площади, минимальное значение — при использовании метода равных полей. Для рабочей точки, совпадающей с центром вписанной в ОУР окружности максимального диаметра, токи имеют среднее значение. Разница

Таблица 15.1

Тип сердечника	I_0, мА			ε, %			ε_0, %			γ_c	$I_п$, мА	$I_м$, мА
	1	2	3	1	2	3	1	2	3			
3ВТ	339	348	358	22,3	19,1	15,8	11,2	13,5	15,8	0,688	414	603
5ВТ	418	428	439	19,9	17,1	14,2	10,0	12,1	14,2	0,666	502	753
7ВТ	498	512	527	23,5	20,1	16,7	11,8	14,2	16,7	0,700	615	879
101П-6	418	428	439	19,9	17,1	14,2	10,0	12,1	14,2	0,666	502	753
100П-2	342	351	362	23,5	20,1	16,7	11,8	14,2	16,7	0,700	422	603
102П-5	104	107	110	19,9	17,1	14,2	10,0	12,1	14,2	0,666	125	188
100П-Э	402	408	414	12,5	10,8	9,1	6,2	7,6	9,1	0,600	452	754
100П-9	473	483	494	17,3	14,9	12,4	8,6	10,5	12,4	0,642	555	865

Примечание. 1 — метод равных полей; 2 — вписывание в ОУР окружности максимального диаметра; 3 — вписывание в ОУР прямоугольника максимальной площади.

оптимальных возбуждающих токов при различных методах определения рабочей точки лежит в пределах 1,5—6%.

Относительное отклонение возбуждающих токов максимально при методе равных полей и составляет для различных сердечников 12,5—23,5%. Наименьшие допустимые отклонения возбуждающих токов 9,1—16,7% будут в том случае, когда рабочая точка определяется как центр вписанного в ОУР прямоугольника максимальной площади.

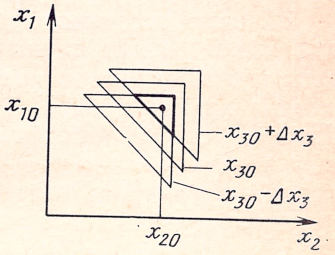


Рис. 15.6. Определение оптимальной рабочей точки трехмерной ОУР методом проекционных сечений

Определение оптимальных рабочих точек многомерных ОУР, зависящих от трех и большего числа параметров, является достаточно сложной задачей. На практике она решается методом проекционных сечений [1]. При использовании этого метода строятся плоские области в координатах двух наиболее влияющих параметров при фиксированных значениях остальных параметров. Затем наложением полученных областей друг на друга определяют их пересечение, для которого и определяется оптимальная рабочая точка (рис. 15.6).

15.3. ОБЛАСТИ УСТОЙЧИВОЙ РАБОТЫ ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ МИКРОСХЕМ

Значительную часть отказов ЗМ составляют параметрические отказы, вызванные помехами, паразитными связями внутри микросхемы, а также изменениями временных задержек в зависимости от характера теста. Уровень помех и временные задержки зависят от схемотехники и конструкции ЗМ, типа теста и значений питающих напряжений. Это определяет зависимость ОУР, построенной в координатах питающих напряжений, от типа теста [79].

[1] **Маслов А. Я., Татарский В. Ю.** Повышение надежности радиоэлектронной аппаратуры. — М.: Сов. радио, 1972. — 264 с.

На практике для обнаружения параметрических отказов используют контроль ЗМ при предельных значениях питающих напряжений. Однако этот метод контроля имеет существенные недостатки. Во-первых, не известен запас работоспособности испытываемых ЗМ на выбранных тестах. В контрольно-проверочной аппаратуре (КПА) микросхемы могут проверяться в более легких режимах, чем при их работе в реальной аппаратуре. Поэтому ЗМ, не имеющие запаса работоспособности при их проверке, могут отказать из-за помех по цепям питания и сигнальным цепям, которые возникают при работе в реальных ЗУ. Во-вторых, если несколько различных тестов могут отбраковывать примерно одинаковое количество неисправных ЗМ, то неясно, какому из них отдать предпочтение.

От этих недостатков свободен параметрический метод анализа надежности, позволяющий оценить запасы работоспособности ЗМ по основным влияющим параметрам и учесть зависимость их ОУР от типа теста.

Области устойчивой работы запоминающих микросхем в координатах питающих напряжений. При построении ОУР в координатах питающих напряжений в зависимости от типа теста устанавливаются предельные параметры временно́й диаграммы ЗМ. Если ЗМ имеет несколько питающих напряжений, то два из них выбираются в качестве координат ОУР, а для остальных устанавливаются предельные значения. С помощью методов, рассмотренных в § 15.1, определяются границы ОУР ЗМ при различных тестах.

Область устойчивой работы динамической ЗМ К565РУ1А емкостью 4К×1 бит, построенная в координатах напряжения $U_{пит1}$(+12 В) и $U_{пит2}$(+5 В), приведена на рис. 15.7[1]. Режимы проверки ЗМ: напряжение смещения подложки —5,5 В, амплитуда сигнала «Выбор кристалла» 12 В, фронт 10 нс, температура окружающей среды 25° С. Для данной ЗМ тяжелыми являются тесты типа N^2: «Попарное считывание» и «Бегущая 1 (0)». Тесты обеспечивают достаточно полную проверку обрывов и коротких замыканий, вызывающих нарушение записи и считывания информации (см. табл. 6.1). Наименьшая ОУР ЗМ получается при тестовом слове 0 на фоне 1 и напряжении смещения подложки —5,5 В[2].

Для ЗМ с одним источником питания построение ОУР сводится к определению граничных значений питающего напряжения, при которых нарушается работоспособность ЗМ. Достоинством данного метода построения ОУР является простота реализации. Изменение уровня питающих напряжений по программе осущест-

---

[1] **Запоминающее** устройство емкостью 4096 бит на однотранзисторных ячейках памяти/П. М. Гафаров, Ю. В. Минков, В. И. Соломоненко, В. И. Уросов// Электронная промышленность. — 1978. — Вып. 8. — С. 5—11.

[2] **Огнев И. В., Сарычев К. Ф., Щеглов Е. А.** Результаты исследования запоминающих микросхем К565РУ1А//Помехи в цифровой технике-78. — Вильнюс, 1978. — С. 104—107.

вляется с помощью программно-управляемых источников питания. Метод не требует программного изменения временны́х параметров для построения ОУР.

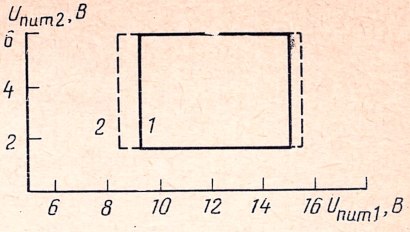


Рис. 15.7. Области устойчивой работы ЗМ К565РУА1:

1 — тесты «Попарное считывание», «Бегущая 1 (0)»; *2* — тесты «Попарная запись-считывание», «Шахматный код»; «Последовательная запись и считывание»

Области устойчивой работы ЗМ в координатах напряжение питания ЗМ — напряжение питания элементов электроники обрамления. Для ЗМ с одним питающим напряжением ОУР может быть построена в координатах напряжение питания ЗМ — напряжение питания элементов электроники обрамления (ЭО). Параметры временно́й диаграммы ЗУ устанавливаются предельно допустимыми.

Такой способ построения ОУР позволяет учесть влияние параметров сопряжения ЗМ и ИС (входные и выходные напряжения и токи, допустимая емкость нагрузки и т. д.), используемых в качестве элементов электроники обрамления. Поскольку входные параметры элементов электроники обрамления имеют разброс, то рассматриваемые ОУР целесообразно строить для МП и ЗУ в целом. Однако и для ЗМ такие ОУР позволяют оценить зависимость области устойчивой работы от типа теста.

В табл. 15.2 приведены минимальные значения границ ОУР запоминающей микросхемы К565РУ2 статического типа емкостью 1024×1 бит, полученные при различных значениях частоты обращения.[1] ОУР имеет прямоугольную форму. При быстродействии, близком к предельному ($T_ц$=350 нс), наиболее тяжелыми являются тесты «Попарное считывание» и «Попарная запись-считывание». Изменение минимального граничного напряжения питания элементов электроники обрамления от типа теста объясняется

Таблица 15.2

Длительность цикла, мкс	Граничные значения напряжений питания при прохождении тестов, В									
	«Шахматный код»		«Последовательное заполнение со считыванием»		«Бегущая 1 (0)»		«Попарная запись-считывание»		«Попарное считывание»	
	ЭО	ЗМ	ЭО	ЗМ	ЭО	ЗМ	ЭО	ЗМ	ЭО	ЗМ
0,35	4,45	2,93	4,67	2,93	4,67	2,93	5,60	2,93	5,36	3,39
0,45	2,93	2,59	2,93	2,85	2,93	2,85	2,93	2,85	2,93	2,85
1,00	2,93	2,59	2,93	2,85	2,93	2,85	2,93	2,59	2,93	2,85
1,50	2,94	2,60	2,94	2,60	2,94	2,86	2,94	2,86	2,94	2,86

[1] **Иванова В. В., Кудряшов Г. А., Савостьянов Э. П.** Статическое МДП ОЗУ емкостью 1024 бит//Электронная промышленность. — 1978. — Вып. 6. — С. 47—49.

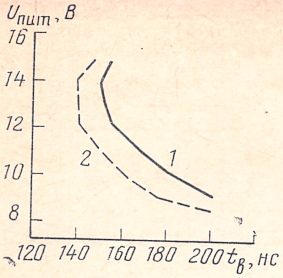


Рис. 15.8. Области устойчивой работы ЗМ К565РУ1А в координатах питающее напряжение — время выборки:

1 — тесты «Попарное считывание», «Попарная запись-считывание»; *2* — тесты «Бегущая 1 (0)», «Шахматный код»

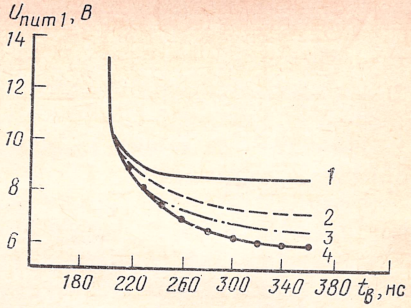


Рис. 15.9. Области устойчивой работы ЗМ К565РУ3А:

1 — тест «Дождь»; *2* — «Последовательное заполнение со считыванием», «Попарное считывание»; *3* — «Бегущая 1 (0)»; *4* — «Попарная запись-считывание»

изменениями времени выборки и выходного напряжения ЗМ в момент стробирования.

Области устойчивой работы ЗМ в координатах напряжение питания — время выборки. Недостатком ОУР, построенных в координатах питающих напряжений, является невозможность определения причины отказа ЗМ на границе работоспособности — разрушение информации в ЗЭ или увеличение времени выборки. Эту информацию позволяют получить ОУР, построенные в координатах напряжение питания ЗМ — время выборки. Области устойчивой работы этого типа приведены на рис. 15.8—15.10. Для статических ЗМ К565РУ2 на вход «Выбор кристалла» подается уровень, стандартный для ТТЛ интегральных микросхем.

Для динамических *n*-МОП ЗМ К565РУ1А емкостью 4К×1 бит на однотранзисторных ЗЭ наименьшая ОУР получается на тестах «Попарное считывание». «Попарная запись-считывание» (рис. 15.8).

Для динамических *n*-МОП ЗМ типа К565РУ3А емкостью 16К×1 бит наиболее тяжелым является тест «Дождь» (рис. 15.9) [80]. Далее следуют тесты «Последовательное заполнение со считыванием», «Попарное считывание».

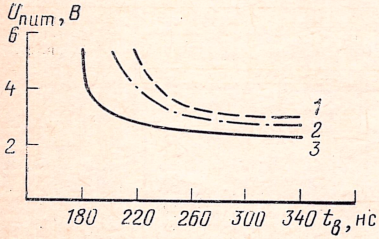


Рис. 15.10. Области устойчивой работы ЗМ К565РУ2:

1 — тест «Попарное считывание»; *2* — «Последовательное заполнение со считыванием», «Бегущая 1 (0)», «Попарная запись-считывание»; *3* — «Шахматный код»

Для *n*-МОП ЗМ К565РУ2 статического типа емкостью 1024×1 бит с точки зрения времени выборки наиболее тяжелым является тест «Попарное считывание» (рис. 15.10).

Недостатком ОУР такого типа является большая сложность их получения. Параметры временно́й

диаграммы могут быть неизменны лишь для значений времени выборки, меньших установленных техническими условиями. Для больших значений времени выборки часто бывает необходимо увеличивать длительность сигнала «Выбор кристалла» и цикла обращения, что усложняет процесс получения ОУР.

Сравнительный анализ различных ОУР и их зависимостей от типа теста. Сравнительные показатели различных типов ОУР ЗМ приведены в табл. 15.3. В табл. 15.4 приведены наиболее тяжелые тестовые последовательности для ряда ЗМ [80, 81]. Для большинства исследованных ЗМ наиболее тяжелыми являются тесты попарного обращения, в частности тест «Попарная запись-считы-

Таблица 15.3

Координаты ОУР	Достоинства ОУР	Недостатки ОУР
Напряжение питания ЗМ	Простота построения	Невозможность разделения ошибок вследствие разрушения информации в ЗЭ от сбоев из-за увеличения $t_в$
Напряжение питания ЗМ — напряжение питания ЭО	Простота построения. Возможность учета параметров сопряжения ЗМ и ЭО	То же
Напряжение питания ЗМ — время выборки	Возможность разделения ошибок вследствие разрушения информации в ЗЭ от сбоев из-за увеличения $t_в$	Сложность построения при значениях $t_в$, бо́льших минимального по ТУ

Таблица 15.4

Тип ЗМ	Емкость, бит	Тяжелые тесты	Рекомендуемые тесты
Биполярные на тиристорных ЗЭ	256	«Попарная запись-считывание с полным перебором» и его модификации	«Обращение к соседним адресам» «Попарная запись-считывание по строке и столбцу с полным перебором»
Биполярные на ЗЭ с инжекционным питанием	1024	То же	То же
КМОП ЗМ К537РУ1А	1024	«Попарное считывание»	«Попарное считывание»
n-МОП ЗМ К565РУ2	1024	То же	То же
n-МОП ЗМ К565РУ1А на однотранзисторных ЗЭ	4096	»	«Попарное считывание» и его модификация типа $N^{3/2}$ циклов, тесты регенерации динамические
n-МОП ЗМ К565РУ3А	16384	«Дождь», «Последовательное заполнение со считыванием», «Попарное считывание»	«Последовательное заполнение со считыванием», тесты регенерации динамические

вание с полным перебором», его укороченные модификации и тест «Попарное считывание». Эти тесты обеспечивают наиболее полную проверку работоспособности ЗМ.

Для некоторых ЗМ, в частности К565РУ3А, более тяжелым с точки зрения времени выборки являются тесты «Дождь» и «Последовательное заполнение со считыванием». Это можно объяснить влиянием на время выборки не только адресной последовательности, но и распределения информации в матрице ЗЭ, которое для данных тестов существенно отличается от распределения информации для тестов попарного обращения и для данной ЗМ может быть определяющим (см. рис. 6.2, 6.3).

Поэтому эти тесты необходимо наряду с тестами попарного обращения использовать при исследовании ОУР ЗМ.

ГЛАВА 16. РЕКОМЕНДАЦИИ ПО ПРИМЕНЕНИЮ МЕТОДОВ АНАЛИЗА И ПОВЫШЕНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

В табл. 16.1—16.3 приведены данные по методам анализа и повышения надежности ЗУ, касающиеся их назначения, характеристик и областей преимущественного использования.

В табл. 16.1 дана информация по методам анализа надежности ЗУ, в табл. 16.2 — по методам повышения безотказности, а в табл. 16.3 — по методам повышения ремонтопригодности ЗУ. Подробные сведения по различным методам содержатся в разделах книги, указанных в таблицах.

Приведенные в табл. 16.1—16.3 методы могут использоваться в ЗУ как в отдельности, так и в совокупности. Последнее особенно целесообразно для методов анализа и повышения таких свойств надежности, как безотказность и ремонтопригодность, поскольку разработчику ЗУ приходится в рамках одной разработки решать задачи как обеспечения требуемых значений, так и подтверждения полученных показателей надежности, а также обеспечения удобства эксплуатации устройства.

Рассмотренные в табл. 16.1 методы расчета надежности позволяют оценить надежность ЗУ как по отношению к отказам — по λ-характеристикам, так и параметрическую надежность — устойчивость устройств к сбоям.

В настоящее время наиболее широко используется анализ надежности ЗУ по λ-характеристикам. Основные показатели надежности — среднее время наработки на отказ $t_{o\,ср}$ и вероятность безотказной работы ЗУ $P_{ЗУ}(t)$. Аналитические способы расчета этих показателей целесообразны при оценке надежности нерезервированных ЗУ или для приближенных расчетов надежности резервированных ЗУ.

Для более точной оценки надежности резервированных ЗУ необходимо учитывать сложные виды отказов ЗУ, а также большое количество сочетаний различных отказов. Для ЗУ с коррекцией ошибок с кратностью 2 и более аналитические выражения для

Таблица 16.1

Метод анализа надежности	Метод расчета показателей надежности	Показатели надежности	Типы ЗУ	Области целесообразного использования	Раздел книги
По λ-характеристикам	Аналитический	$t_{0\,ср}$, $P(t)$	Все типы ЗУ	Нерезервированные ЗУ Резервированные ЗУ (приближенные расчеты)	Гл. 3
	Статистическое моделирование	$t_{0\,ср}$, $P(t)$, $\varphi(t)$	То же	Резервированные ЗУ	Гл. 4
	Экспериментальный	λ, $t_{0\,ср}$	»	Нерезервированные и резервированные ЗУ	—
Параметрический	Расчетный на наихудший случай	ε	ЗУ на ФС	Приближенные расчеты	14.2
	вероятностный	ε	То же	Более точные расчеты	14.3
	Экспериментальный матричных испытаний	Границы ОУР	ЗУ на ФС, ЦМД ЗУ, полупроводниковые ЗУ	Испытания опытных образцов Испытания серийных образцов при малой длительности тестов	15.1
	контурного обхода	То же	То же	Испытания серийных образцов при большой длительности теста	15.1
	секущих	»	»	То же	15.1

расчета показателей надежности весьма громоздки. В этом случае целесообразно использовать статистическое моделирование надежности ЗУ на ЭВМ. Моделирование позволяет получить более точную оценку надежности ЗУ и определить ряд показателей, которые аналитическими методами получить практически невозможно. К таким показателям относятся плотность распределения наработки ЗУ до отказа, математическое ожидание и среднее квадратическое отклонение наработки ЗУ до отказа, среднее число накопленных отказов и ряд других. Кроме этого, при статистическом моделировании надежности ЗУ можно оценить влияние различных стратегий обслуживания ЗУ на показатели надежности. Статистическое моделирование позволяет оценить надежность ЗУ и в тех случаях, когда распределение наработки элементов ЗУ до отказа отличается от экспоненциального. Так, для механических узлов внешних ЗУ на магнитных носителях правильнее использовать нормальный закон распределения наработки до отказа.

Методы расчета параметрической надежности позволяют исследовать влияние на надежность ЗУ сбоев, возникающих из-за взаимовлияния элементов ЗУ, влияния внешних факторов, помех

Таблица 16.2

Методы повышения безотказности	Кратность резерва	Контролируемые узлы	Область целесообразного использования	Раздел книги
Резервирование				
дублирование нагруженное	1	РА, РЧ, накопитель	ОЗУ малой емкости	11.2
дублирование ненагруженное	1	То же	ПЗУ, ППЗУ, РПЗУ малой емкости	11.3
мажоритарное	2	»	ОЗУ, ПЗУ, ППЗУ, РПЗУ малой емкости очень высокой надежности	11.4
скользящее	$l_р/k_о$	Элементы МП	ОЗУ	11.5
Корректирующие коды				
исправляющие одноразрядные и обнаруживающие двухразрядные ошибки	$\frac{\log(k+r)}{k}$	РЧ, накопитель	ОЗУ большой емкости на одноразрядных ЗМ и ФС	8.2
исправляющие одноразрядные и обнаруживающие двухразрядные и пакетные ошибки	Примерно то же	То же	ОЗУ большой емкости на одноразрядных и многоразрядных ЗМ	8.3
исправляющие двухразрядные и обнаруживающие трехразрядные независимые ошибки	$\frac{2\log(k+r)}{k}$	»	ОЗУ большой емкости высокой надежности на одноразрядных ЗМ	8.5
Рида — Соломона, исправляющие одиночные и обнаруживающие двойные пакеты ошибок	$\frac{3b}{k}$	»	ОЗУ большой емкости на многоразрядных ЗМ, ЗУ на магнитных носителях	8.6
Файра, обнаруживающие и исправляющие одиночные пакеты ошибок	$\frac{3b-1}{k}$	Тракт записи-считывания	ЦМД ЗУ, ЗУ на магнитных носителях	8.7

по цепям питания и сигнальным цепям. Изменение области устойчивой работы в зависимости от адресной последовательности и хранимой информации, характерное для многих типов ЗУ, рассмотрено в данной книге. Область устойчивой работы ЗУ уменьшается также из-за помех по цепям питания, возникающих при переключении элементов ЗУ. Особенно чувствительны к таким помехам полупроводниковые динамические ЗМ с мультиплексированием адреса. В данных ЗМ при подаче сигнала «Выбор строки ЗЭ» наблюдается всплеск тока потребления. Если цепи питания динамических ЗМ выполнены некачественно, то в момент

Таблица 16.3

Метод повышения ремонтопригодности	Длительность диагностирования	Глубина диагностирования	Область целесообразного использования	Раздел книги
Контроль по модулю 2	В реальном времени работы ЗУ	До адреса слова	ОЗУ, ПЗУ, ППЗУ, РПЗУ	5.2
Контрольное суммирование	Пропорциональна N	До массива данных	ПЗУ, ППЗУ, РПЗУ	5.3
Контроль во время регенерации информации	В реальном времени работы ЗУ. Периодичность контроля $t_к = t_{рег} \times (N_{ЗУ}/N_{ст})$	До адреса слова или ЗЭ	ОЗУ на динамических ЗМ	5.4
Контроль кода адреса по четности	В реальном времени работы ЗУ	РА (одноразрядные ошибки)	ОЗУ, ПЗУ, ППЗУ, РПЗУ	5.5
Обратная передача кода адреса	То же	РА (ошибки произвольной кратности)	То же	5.5
Контроль дешифратора адреса	»	РА, ДША	»	5.5
Запись в накопитель контрольного кода адреса	»	РА (одноразрядные ошибки), ДША	ОЗУ, ПЗУ, ППЗУ, РПЗУ с корректирующим кодом	5.5
Функциональный контроль				
Тесты типа N	Пропорциональна N	До адреса ЗЭ	ОЗУ (контроль отказов)	6.1
Тесты типа N^2	Пропорциональна N^2	То же	ОЗУ (контроль отказов и сбоев из-за взаимовлияния ЗЭ)	6.1
Тесты типа N^3	Пропорциональна N^3	»	То же	6.1
Тесты типа $N^{3/2}$	Пропорциональна $N^{3/2}$	»	ОЗУ большой емкости (контроль отказов и сбоев из-за взаимовлияния ЗЭ)	6.1
Специальные тесты	Пропорциональна N	До адреса ЦМД ЗМ или контролируемого накопителя	ЦМД ЗУ, ЗУ на магнитных носителях	6.2
Диагностирование по распределению ошибок	В зависимости от используемого теста	До ЗМ и микросхемы электроники обрамления, либо до разрядной и адресной цепи	ОЗУ	7.2
методом сигнатурного анализа	То же	До микросхемы	ОЗУ, ПЗУ, ППЗУ, РПЗУ	7.3

записи кода адреса строки ЗЭ в буфер наблюдаются провалы питающего напряжения, которые могут привести к искажению записанного кода адреса.

По виду ОУР при наихудшей тестовой последовательности

можно судить о запасах работоспособности ЗУ. Если рабочая точка ЗУ находится вблизи границы ОУР, то необходимы меры, направленные на увеличение запасов работоспособности устройства и уменьшение вероятности сбоев.

При исследовании надежности вновь разработанных ЗМ целесообразно применять метод матричных испытаний для построения ОУР. Метод позволяет с высокой точностью определить границы ОУР, выявить имеющиеся разрывы ОУР. Для определения ОУР ЗУ большой емкости с помощью тестов, выявляющих взаимовлияние элементов ЗМ и характеризующихся большой длительностью, эффективен метод секущих. По сравнению с методом матричных испытаний он позволяет существенно сократить время получения ОУР.

Для увеличения времени безотказной работы ЗУ в настоящее время используются методы, различающиеся эффективностью, объемом дополнительного оборудования и другими показателями. Характеристики этих методов приведены в табл. 16.2. Их можно разделить на 2 группы: структурного и информационного резервирования.

Основные методы структурного резервирования, дублирование и мажоритарное резервирование, требуют для реализации значительного увеличения оборудования ЗУ. Поэтому они применяются для повышения надежности ЗУ малой емкости и разрядности, в которых использование корректирующих кодов нецелесообразно из-за больших аппаратных затрат.

В управляющих ЭВМ, основным требованием к которым является высокая надежность и непрерывность функционирования, широко применяется помодульное мажоритарное резервирование.

Для ЭВМ, в которых допускается повторное обращение к памяти при возникновении отказа или сбоя или имеется возможность для реконфигурации памяти, целесообразно помодульное дублирование. В постоянных ЗУ, не требующих обновления информации в процессе работы, наиболее эффективно ненагруженное дублирование, которое обеспечивает большую наработку ЗУ до отказа. В оперативных ЗУ происходит постоянное обновление информации в процессе работы. Кроме того, в полупроводниковых ОЗУ информация при отключении питания разрушается. Поэтому для таких ОЗУ следует использовать нагруженное дублирование. Если режим работы ЭВМ предоставляет возможность для реконфигурации памяти, то иногда целесообразно применять дополнительные модули памяти, находящиеся в выключенном состоянии. В этом случае при отказе основного модуля ОЗУ выполняется реконфигурация системы и подключается дополнительный модуль. При этом необходимо восстанавливать информацию во вновь включенном ОЗУ.

Скользящее резервирование используется в ОЗУ большой емкости, если допускается восстановление информации или перезапуск программы работы после реконфигурации ЗУ.

Наиболее эффективным средством повышения надежности ЗУ средней и большой емкости являются корректирующие коды. Основные факторы, обусловливающие выбор корректирующего кода: характер возникающих в ЗУ ошибок и емкость ЗУ.

Для ЗУ с произвольной выборкой, построенных на одноразрядных запоминающих микросхемах, наиболее эффективны коды, исправляющие независимые ошибки. В ЗУ средней емкости достаточно применять коды Хэмминга, исправляющие одноразрядные и обнаруживающие двухразрядные ошибки. Для обеспечения надежности ЗУ большой емкости, содержащих десятки тысяч ЗМ, требуются более мощные коды, например, коды БЧХ, исправляющие двухразрядные и обнаруживающие трехразрядные ошибки. При использовании таких кодов необходимо обращать особое внимание на проектирование схем электроники обрамления модулей памяти. Интенсивность отказов схем электроники обрамления при коррекции двухразрядных ошибок в накопителе резко снижает эффективность корректирующего кода. Поэтому в таких ЗУ необходимо применять МП большой емкости, в которых наиболее полно используются нагрузочные способности формирователей. Разрядность ошибок при отказах формирователей в этом случае может быть уменьшена до двух, а сами ошибки допускают их исправление кодами БЧХ.

При построении ЗУ на многоразрядных ЗМ целесообразно использовать коды, обнаруживающие и исправляющие пакетные ошибки. Тип требуемого кода определяется соотношением одноразрядных и пакетных ошибок в ЗМ. Если имеются статистические данные, свидетельствующие о преобладании в ЗМ одноразрядных ошибок, то следует применять коды, исправляющие одноразрядные и обнаруживающие двухразрядные и пакетные ошибки. Если преобладают пакетные ошибки, то необходимы коды Рида—Соломона, исправляющие одиночные и обнаруживающие двойные пакеты ошибок. Коды Рида—Соломона используются также для повышения надежности внешних ЗУ на магнитных носителях.

Коды Файра, исправляющие произвольно расположенные пакеты ошибок, применяются для повышения безотказности ЦМД ЗУ и электромеханических ЗУ на магнитных носителях.

На практике широко распространены различные методы повышения ремонтопригодности ЗУ. Приведенные в табл. 16.3 методы обеспечивают контроль работоспособности ЗУ, позволяют по результатам контроля локализовать место дефекта, т. е. повышают ремонтопригодность ЗУ. Особое место среди них занимают методы неразрушающего контроля, позволяющие контролировать работоспособность ЗУ и определять место отказа, не разрушая при этом хранимую в ЗУ информацию. К таким методам относятся контроль по модулю, контрольное суммирование, контроль динамических ЗУ во время регенерации информации, а также контроль адресных цепей. Все эти методы за исключением контрольного суммирования позволяют без дополнительных временны́х

затрат за счет относительно небольшого объема дополнительного оборудования проводить контроль ЗУ и определять отказавшие элементы.

Контрольное суммирование предназначено для контроля хранящейся в ЗУ постоянной или редко изменяемой информации и обеспечивает указание массива данных с ошибками. Контрольное суммирование требует дополнительных временных затрат, однако необходимое для контроля время может выделяться квантами, что в большинстве случаев не препятствует нормальному функционированию ЗУ. Методы неразрушаемого контроля используются в штатном режиме работы памяти, обнаружение отказов и указание места отказавшего узла производится без прекращения работы ЗУ.

Более высокое качество контроля надежности ЗУ обеспечивают тестовые методы контроля, которые основаны на записи в ЗУ и считывании из ЗУ тестовых последовательностей и ориентированы на выявление характерных для данного типа ЗУ видов отказов. Поскольку при тестовом контроле хранимая в ЗУ информация разрушается, а сам контроль требует значительных затрат времени, его применяют для контроля ЗУ во время его изготовления, испытаний и профилактических или ремонтных работ при эксплуатации.

Наиболее сложные тесты используются для контроля полупроводниковых ЗУ. Наиболее широкое применение для контроля ЗУ средней и большой емкости нашли тесты типа N и $N^{3/2}$ циклов. Тесты типа N^2 и N^3 циклов малоэффективны из-за их чрезмерно большой длины.

Тесты типа N и $N^{3/2}$ циклов для контроля ЗУ целесообразно выбирать по ОУР ЗМ. Поскольку тесты типа $N^{3/2}$ циклов и тест N циклов «Последовательное заполнение со считыванием» выявляют все функциональные отказы элементов ЗУ, то наиболее тяжелый режим ЗМ будет создавать тест, имеющий меньшую ОУР. Этот тест и следует применять при контроле ЗУ.

Наибольшую глубину поиска дефекта при контроле ЗУ обеспечивают методы тестового контроля. Наибольшее быстродействие контроля ЗУ обеспечивает диагностирование по распределению ошибок.

Метод сигнатурного анализа накладывает следующие требования на диагностируемое устройство: разрыв цепей обратной связи, синхронизация асинхронных узлов. Достоинство этого метода — низкие требования к квалификации обслуживающего персонала, недостатки — дополнительные требования к эксплуатационной документации, в которой должны быть указаны сигнатуры для входов и выходов всех входящих в состав ЗУ элементов, большое время поиска дефектов.

Из сказанного следует, что в качестве основного средства диагностирования целесообразно применять диагностирование по распределению ошибок, а для уточнения места дефекта — метод сигнатурного анализа.

СПИСОК ЛИТЕРАТУРЫ

1. **Козлова Н. Д., Раев В. К.** Состояние и перспективы развития разработок ЗУ на ЦМД//Радиоэлектроника (состояние и тенденции развития): Обзор по материалам иностранной печати. — М.: НИИЭИР, 1984. — Вып. 2. — С. 14—17.
2. **Огнев И. В., Шамаев Ю. М.** Проектирование запоминающих устройств. — М.: Высшая школа, 1979. — 320 с.
3. **Соколова Г. Н.** Элементная база и устройства памяти высокопроизводительных ЭВМ//Вычислительная техника за рубежом в 1983 г. — 1984. — Вып. 2. — С. 180—213.
4. **Новое** СППЗУ емкостью 1 Мбит теснит накопители на магнитных дисках// Электроника. — 1985. — № 9. — С. 35—40.
5. **Маркаров Г. И., Раев В. К., Козлова Н. Д.** ЗУ на ЦМД — уровень промышленного освоения//Радиоэлектроника в 1981 г.: Обзор по материалам иностранной печати/НИИЭИР. — М., 1982. — С. 66—88.
6. **ПЗУ** емкостью 1 Мбит с временем выборки 150 нс//Электроника. — 1985. — № 11. — С. 92.
7. **Адасько В. И., Каган Б. М., Пац В. Б.** Основы проектирования запоминающих устройств большой емкости. — М.: Энергоатомиздат, 1984. — 288 с.
8. **Перспективы** развития технологии производства РЭА/Н. М. Голуб, М. Ю. Дремач, И. Б. Емельянов и др.//Радиоэлектроника (состояние и тенденции развития): Обзор по материалам иностранной печати/НИИЭИР. — М., 1984. — Вып. 2. — С. 1—9.
9. **Селигей А. М., Семка В. И., Коваль В. К.** Программирование микросхем ППЗУ. — Киев: Знание, 1982. — 24 с.
10. **Моисеева Н. К., Фастов С. А., Щетинин Ю. И.** Методы технологических отбраковочных испытаний БИС ППЗУ//Электронная промышленность. — 1984. — Вып. 6. — С. 48—54.
11. **Китович В. В.** Магнитные и магнитооптические запоминающие устройства. — М.: Энергия, 1975. — 432 с.
12. **Раев В. К., Ходенков Г. Е.** Цилиндрические магнитные домены в элементах вычислительной техники. — М.: Энергоиздат, 1981. — 216 с.
13. **Андреева И. Н.** Использование корректирующих кодов для повышения достоверности хранения и передачи информации в системах внешней памяти// Тр. МЭИ. — 1982. — Вып. 590. — С. 145—151.
14. **Полупроводниковые** запоминающие устройства и их применение/В. П. Андреев, В. В. Баранов, Н. В. Бекин и др.; Под ред. А. Ю. Гордонова. — М.: Радио и связь, 1981. — 344 с.
15. **Валиев К. А., Орликовский А. А.** Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах. — М.: Сов. радио, 1979. — 296 с.
16. **Бродски М.** Уменьшение частоты случайных сбоев, вызываемых в динамических ЗУПВ действием альфа-частиц//Электроника. — 1980. — № 10. — С. 25—33.
17. **Bossen D. C., Hsiao M. Y.** A System Solution to the Memory Soft Error

Problem//IBM J. of Research and Development. — 1980. — V. 24, N 3. — P. 390—397.

18. **Lucy D.** Choose the Right Level of Memory-error Protection//Electronic Design. — 1982. — V. 30, N 4. — P. 134—140.
19. **БИС** обнаружения и исправления ошибок для систем памяти/Е. А. Верниковский, В. К. Конопелько, В. В. Лосев, А. И. Сухопаров//Зарубежная электронная техника. — 1983. — Вып. 7. — С. 3—32.
20. **Георгиев Н. В., Орлов Б. Н.** Функциональный контроль полупроводниковых запоминающих устройств//Электронная промышленность. — 1980. — Вып. 6. — С. 3—21.
21. **Юрчишин В. Я.** Способ повышения надежности полупроводниковой постоянной памяти//Приборы и системы управления. — 1981. — № 6. — С. 5—6.
22. **Edwards D. G.** Testing for MOS IS Failure Modes//IEEE Trans. — 1982. — V. R-31, N 1. — P. 9—17.
23. **Linderman P. B., O'Kuma J.** EPROM Erasure in Transient and Total Dose Gamma Environments//IEEE Trans. — 1982. — V. NS-29, N 6. — P. 1674—1675.
24. **Обнаружение** и исправление ошибок в полупроводниковых запоминающих устройствах с помощью корректирующих кодов/В. В. Лосев, Г. А. Бородин, Н. И. Гарбузов и др.//Зарубежная электронная техника. — 1986. — Вып. 3. — С. 57—86.
25. **Варшавский В. Е.** К вопросу о надежности магнитных ОЗУ//Запоминающие устройства: Сб. — Л.: Энергия, Ленингр. отд., 1980. — С. 21—25.
26. **Шамаев Ю. М., Огнев И. В.** Работоспособность запоминающих устройств. — М.: МЭИ, 1976. — 146 с.
27. **Davies J. E.,** Reliability and Environmental Capabilities of the 7110, One-Megabit Bubble Memory//Conf. Record WESCON/80. — Anaheim, 1980. — P. 1—7.
28. **Захарян С. М., Прохоров Н. Л., Раев В. К.** Отказоустойчивость систем памяти на ЦМД//Радиоэлектроника (состояние и тенденции развития): Обзор по материалам иностранной печати/НИИЭИР. — М., 1984. — Вып. 2. — С. 31—37.
29. **Надежность** технических систем: Справочник/Ю. К. Беляев, В. А. Богатырев, В. В. Болотин и др.; Под ред. И. А. Ушакова. — М.: Радио и связь, 1985. — 608 с.
30. **Исследование** принципов создания диагностируемых запоминающих устройств/И. В. Огнев, Ю. А. Розанов, К. Ф. Сарычев, О. В. Исаев//Тр. МЭИ. — 1980. — Вып. 489. — С. 3—8.
31. **Огнев И. В., Смелова С. М.** Оценка эффективности повышения надежности ЗУ для систем обработки информации методом конструктивной избыточности//Вычислительная техника в автоматизированных системах контроля и управления: Межвуз. сб. науч. трудов. — Пенза: ППИ, 1979. — Вып. 9. — С. 81—90.
32. **Огнев И. В., Шарапов А. П.** Алгоритм и программа оценки показателей аппаратурной надежности для системы автоматизированного проектирования полупроводниковых оперативных запоминающих устройств/Госфонд алгоритмов и программ, № П003682. — М.: ВНТИЦ, 1979.
33. **Гарбузов Н. И.** Использование корректирующих кодов для повышения достоверности хранимой информации в полупроводниковых запоминающих устройствах. — М., 1983. — 30 с. — Деп. в ИНФОРМЭЛЕКТРО, № 11.
34. **Питерсон У., Уэлдон Э.** Коды, исправляющие ошибки: Пер. с англ./Под ред. Р. Л. Добрушина и С. И. Самойленко. — М.: Мир, 1976. — 600 с.
35. **Кобринский Я. Н.** Оценка разрешающей способности оперативных методов контроля сохранения информации в постоянной памяти//Автоматика и телемеханика. — 1982. — № 4. — С. 105—118.
36. **Программирование** микропроцессоров: Пер. с нем./В. Фрибель, Х. Ролоф, Х. Шиллер, Х. Фогт. — М.: Энергоиздат, 1982. — 88 с.

37. **Крамфус И. Р., Молчанова Н. К.** Пакет мониторных программ МС УВТ В7//Тр. ВНИИЭМ. — 1980. — Т. 62. — С. 104—107.

38. **А. с.** 760194 СССР. Динамическое запоминающее устройство с самоконтролем/И. В. Огнев, К. Ф. Сарычев, Ю. М. Шамаев. — Опубл. 1980, Бюл. № 32.

39. **Динамическое** ЗУПВ К565РУ5 емкостью 64К/А. С. Лушников, А. Б. Однолько, В. И. Соломоненко, Г. А. Широков/Электронная промышленность. — 1983. — Вып. 4. — С. 37—38.

40. **Динамическое** ЗУПВ К565РУ6 емкостью 16К/В. П. Беспалов, А. С. Ильюшенков, А. И. Макаров и др.//Электронная промышленность. — 1983. — Вып. 4. — С. 38—40.

41. **Огнев И. В., Сарычев К. Ф., Щеглов Е. А.** Система оперативного контроля модульных полупроводниковых оперативных запоминающих устройств//Тр. МЭИ. — 1979. — Вып. 430. — С. 6—9.

42. **Хармон Д.** Методы отыскания неисправностей в ЦМД ЗУ пользователей// Электроника. — 1981. — № 11. — С. 56—61.

43. **Проскурин В. И., Титов Г. В., Выдрин С. И.** Автоматизированные системы испытаний ЦМД ЗУ. — М.: ЦНИИ «Электроника», 1983. — 52 с. — (Обзоры по электронной технике. Сер. 8. Управление качеством, стандартизация, метрология, испытания; Вып. 4).

44. **Вальков В. М.** Автоматизированные системы тестового контроля и испытаний средств микропроцессорной техники. Ч. 1. Методологические вопросы. — М.: ЦНИИ «Электроника», 1981. — 58 с. — (Обзоры по электронной технике. Сер. 8. Управление качеством, стандартизация, метрология, испытания; Вып. 2).

45. **Данилин Н. Н., Попель Л. М.** Установка для функционального контроля БИС ОЗУ «Элекон Ф—ЗУМ»//Электронная промышленность. — 1981. — Вып. 2. — С. 15—18.

46. **Данилин Н. Н., Попель Л. М., Простаков В. И.** Установка «Элекон СФ—ЗУ» для контроля электрических параметров БИС ОЗУ//Электронная промышленность. — 1982. — Вып. 4. — С. 36—40.

47. **Оперативное** запоминающее устройство ЕС-3269/Л. М. Чахоян, К. В. Наджарян, Р. В. Акопов и др.//Вопросы радиоэлектроники. Сер. ЭВТ. — 1983. — Вып. 8. — С. 31—36.

48. **Оперативное** запоминающее устройство ЕС-3267/Л. М. Чахоян, К. В. Наджарян, В. Х. Оганян и др.//Вопросы радиоэлектроники. Сер. ЭВТ. — 1981. — Вып. 9. — С. 22—28.

49. **Кирьянов К. Г., Соловейчик Э. Б.** К проектированию РЭА, ориентированной на диагностику сигнатурным анализом//Техника средств связи. Сер. Радиоизмерительная техника. — 1980. — Вып. 1. — С. 9—84.

50. **Heckmaier J. H., Leisengang D.** Fehlererkennung mit Signaturanalyse//Elektronische Rechenanlagen. — 1983. — B. 25, N 3. — S. 109—116.

51. **Огнев И. В., Сарычев К. Ф., Цурпал А. Н.** Анализ достоверности контроля постоянных запоминающих устройств с помощью сигнатурного анализа//Тр. МЭИ. — 1982. — Вып. 590. — С. 125—131.

52. **Теория** кодирования/Т. Касами, Н. Токура, Е. Ивадари, Я. Инагаки/Пер. с японского. — М.: Мир, 1978. — 576 с.

53. **Quinn M. D., Richter D.** Dynamic Testing of Memory Arrays which Utilise ECC Logic//Electronic Engineering. — 1981. — V. 53, N 650. — P. 33—43.

54. **А. с.** 752500 СССР. Запоминающее устройство с автономным контролем/ И. В. Огнев, Ю. М. Шамаев, К. Ф. Сарычев, Н. И. Гарбузов. — Опубл. 1980, Бюл. № 28.

55. **А. с.** 809403 СССР. Запоминающее устройство с автономным контролем/ И. В. Огнев, Ю. М. Шамаев, К. Ф. Сарычев, Н. И. Гарбузов. — Опубл. 1981, Бюл. № 8.

56. **Эванс М.** Матрица Нельсона, позволяющая исправить две ошибки на слово// Электроника. — 1982. — № 11. — С. 59—66.

57. **Пат.** 4107652 США. Error Correcting and Controling System/Tanahashi J., Kanie T.

58. **Kaneda S., Fujiwara E.** Single Bute Error Correcting-Double Byte Error Detecting Codes for Memory Systems//IEEE Trans. — 1982. — V. C-31, № 7. — P. 596—602.

59. **Гарбузов Н. И., Огнев И. В., Шарапов А. П.** Повышение надежности ЗУ кодами БЧХ и Рида—Соломона//Тез. докл. Всесоюз. науч.-техн. конф. «Развитие теории и техники хранения информации». — Пенза: ППИ, 1983. — С. 149—152.

60. **Пескова С. А., Андреева И. Н.** Обобщенный код для коррекции ошибок в ЦМД ЗУ с последовательной организацией//Тр. ИНЭУМ. — 1982. — Вып. 95. — С. 100—105.

61. **Борисов В. С.** Обнаружение и исправление ошибок в запоминающих устройствах//Зарубежная радиоэлектроника. — 1984. — № 10. — С. 24—44.

62. **Борисов В. С., Горемыкин В. В., Никулин В. С.** Микросхема обнаружения и исправления ошибок в ЗУ//Электронная промышленность. — 1983. — Вып. 4. — С. 21—23.

63. **Применение БИС** обнаружения и исправления ошибок в ЗУ микро- и мини-ЭВМ/М. С. Белоконь, В. С. Борисов, М. М. Головков и др.//Электронная промышленность. — 1984. — Вып. 1. — С. 48—52.

64. **Еремин А. П., Крушевский Л. Я., Плеханов Б. Л.** Оперативное запоминающее устройство ОЗУ—248—001//Электронная промышленность. — 1983. — Вып. 9. — С. 49—50.

65. **Основная** оперативная память ЕС-1036/А. И. Бахир, Ю. Г. Бастанджян, Н. С. Епишев и др.//Вопросы радиоэлектроники. Сер. ЭВТ. — 1983. — Вып. 13. — С. 26—30.

66. **Брайсон Д., Кловер Д., Ли Д.** Набор БИС для совместного использования с ЦМД ЗУ//Электроника. — 1979. — № 9. — С. 23—32.

67. **Кокс Дж.** Серия из трех ЦМД ЗУ с высокой плотностью упаковки с полным комплектом интерфейсных ИС//Электроника. — 1979. — № 23. — С. 41—49.

68. **Шурчков Б. П., Олеринский Е. В., Пресняков А. Н.** Об эффективности дублирования накопителей БИС ППЗУ//Тез. докл. Всесоюз. науч.-техн. конф. «Развитие теории и техники хранения информации». — Пенза: ППИ, 1983. — С. 175—177.

69. **Гнеденко Б. В.** Курс теории вероятностей. — М.: Наука, 1969. — 400 с.

70. **Огнев И. В., Пескова С. А., Аникеев Г. Е.** Создание ЗУ сверхбольшой емкости на приборах ЦМД//Тез. докл. 3-й Всесоюз. школы по доменным и магнитооптическим запоминающим устройствам. — Астрахань, 1980. — С. 54—55.

71. **Тарр М., Будро Д., Мэрфи Р.** Система анализа неисправностей для испытаний и восстановления работоспособности полупроводниковых ЗУ с резервированием//Электроника. — 1984. — № 1. — С. 93—101.

72. **Поса Дж. Г.** Резервирование в полупроводниковых ЗУ большой емкости — путь к резкому повышению выхода годных приборов//Электроника. — 1981. — № 15. — С. 26—31.

73. **Сад Р., Харди К. С.** Получение высокого выхода годных в сочетании с высоким быстродействием в статических ЗУПВ с резервированием//Электроника. — 1981. — № 15. — С. 32—40.

74. **Практическая** реализация резервирования для семейства полупроводниковых ЗУ/Р. Эббот, К. Кокконен, Р. Канг, Р. Смит//Электроника. — 1981. — № 15. — С. 41—46.

75. **Смит Р. Т.** Ремонт СБИС ЗУ с помощью лазера//Электроника. — 1981. — № 15. — С. 46—51.

76. **Дефекты,** выход годных и избыточность в БИС ЗУ/Е. А. Верниковский, В. К. Конопелько, И. П. Лазаренко и др.//Зарубежная электронная техника. — 1985. — Вып. 10. — 64 с.

77. **А. с.** 752503 СССР. Устройство для контроля двухпроводных запоминающих матриц/Н. П. Епихин, К. Ф. Сарычев. — Опубл. 1980, Бюл. № 28.

78. **Kita Y., Yamaguchi N., Sugie M., Yoshizawa S.** The Development of a Bubble Memory Controller for Low-cost File Use//IEEE Trans. — 1980. — V. C-29, N 2. — P. 89—96.

79. **Проблема** входного контроля и некоторые результаты испытаний микросхем динамической памяти/А. Л. Бардин, Г. Н. Игнатьев, В. В. Николаев, Ю. В. Селитков//Вопросы радиоэлектроники. Сер. ЭВТ. — 1981. — Вып. 1. — С. 53—61.

80. **Шарапов А. П., Сычев Ю. В., Щеглов Е. А.** Исследование запоминающей микросхемы К565РУ3А//Тр. МЭИ. — 1982. — Вып. 590. — С. 141—145.

81. **Зависимости** области работоспособности микросхем ОЗУ от характера тестовой последовательности/Н. В. Георгиев, Ю. М. Копылов, В. И. Рыбальченко, В. А. Седлов//Запоминающие устройства. — М.: Энергия, Ленингр. отд., 1980. — Вып. 5. — С. 26—35.

82. **Конопелько В. К., Лосев В. В.** Надежное хранение информации в полупроводниковых запоминающих устройствах. — М.: Радио и связь, 1986. — 240 с.

83. **Элементы** и устройства на цилиндрических магнитных доменах: Справочник/А. М. Балашов, Ф. В. Лисовский, В. К. Раев и др.; Под ред. Н. Н. Евтихеева, Б. Н. Наумова. — М.: Радио и связь, 1987. — 488 с.

84. **Полупроводниковые** БИС запоминающих устройств: Справочник/В. В. Баранов, Н. В. Бекин, А. Ю. Гордонов и др.; Под ред. А. Ю. Гордонова, Ю. Н. Дьякова. — М.: Радио и связь, 1987. — 360 с.

85. **Схемотехника** БИС постоянных запоминающих устройств/О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. Н. Щетинин. — М.: Радио и связь, 1987. — 304 с.

ОГЛАВЛЕНИЕ

Предисловие 3

Часть 1. МЕТОДЫ АНАЛИЗА НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ 4

Глава 1. **Запоминающие устройства и проблемы обеспечения их надежности** 4

1.1. Современные запоминающие устройства 4
1.2. Особенности запоминающих устройств с точки зрения их надежности 6

Глава 2. **Виды и причины отказов запоминающих устройств** 9

2.1. Классификация отказов 9
2.2. Отказы полупроводниковых запоминающих устройств 10
2.3. Отказы запоминающих устройств на ферритовых сердечниках . . 20
2.4. Отказы запоминающих устройств на цилиндрических магнитных доменах 24
2.5. Отказы электромеханических запоминающих устройств на магнитных носителях 27

Глава 3. **Аналитические методы расчета показателей надежности запоминающих устройств** 33

3.1. Основные показатели надежности 33
3.2. Расчет показателей надежности нерезервированных запоминающих устройств 35
3.3. Расчет показателей надежности резервированных запоминающих устройств 36
3.4. Расчет показателей надежности восстанавливаемых резервированных запоминающих устройств 40

Глава 4. **Метод статистического моделирования надежности запоминающих устройств** 41

4.1. Общие сведения 41
4.2. Модели отказов запоминающих устройств 41
4.3. Алгоритм моделирования надежности запоминающих устройств . . 47
4.4. Моделирование случайных величин 49
4.5. Примеры использования программ статистического моделирования надежности запоминающих устройств 52

Часть 2. МЕТОДЫ ОБНАРУЖЕНИЯ ОШИБОК И ОТКАЗАВШИХ ЭЛЕМЕНТОВ В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ . . 57

Глава 5. **Контроль запоминающих устройств без разрушения хранимой информации** 57

5.1. Общие сведения 57
5.2. Контроль по модулю 57
5.3. Контрольное суммирование 60
5.4. Контроль динамических запоминающих устройств во время регенерации информации 65
5.5. Методы контроля адресных цепей запоминающих устройств . . . 68

Глава 6. **Функциональный контроль запоминающих устройств** 70
6.1. Назначение функционального контроля 70
6.2. Тесты для полупроводниковых оперативных запоминающих микросхем 71
6.3. Тесты для оперативных запоминающих устройств 84
6.4. Аппаратура для контроля запоминающих микросхем 88

Глава 7. **Диагностирование запоминающих устройств** 94
7.1. Задачи диагностирования 94
7.2. Поиск дефекта по характеру распределения ошибок в запоминающем устройстве 95
7.3. Диагностирование запоминающих устройств методом сигнатурного анализа 97

Часть 3. МЕТОДЫ КОРРЕКЦИИ ОШИБОК В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ 104

Глава 8. **Корректирующие коды для запоминающих устройств** . . . 104
8.1. Краткие сведения из теории корректирующих кодов 104
8.2. Коды, исправляющие одноразрядные и обнаруживающие двухразрядные ошибки 109
8.3. Коды, исправляющие одноразрядные и обнаруживающие двухразрядные и пакетные ошибки 112
8.4. Исправление двухразрядных ошибок в запоминающих устройствах с кодами Хэмминга методом двойного инвертирования 117
8.5. Коды БЧХ, исправляющие двухразрядные и обнаруживающие трехразрядные ошибки 118
8.6. Коды Рида—Соломона и их модификации, исправляющие пакетные ошибки 122
8.7. Коды Файра, исправляющие одиночные пакеты ошибок, и их модификации 127

Глава 9. **Надежность полупроводниковых запоминающих устройств с коррекцией ошибок** 133
9.1. Большие интегральные микросхемы обнаружения и исправления ошибок 133
9.2. Организация полупроводниковых запоминающих устройств с коррекцией ошибок 137
9.3. Надежность полупроводниковых запоминающих устройств с коррекцией ошибок, возникающих из-за сбоев 139
9.4. Надежность полупроводниковых запоминающих устройств с коррекцией ошибок, возникающих из-за отказов 142

Глава 10. **Надежность внешних запоминающих устройств** 145
10.1. Надежность запоминающих устройств на цилиндрических магнитных доменах с коррекцией пакетных ошибок 145
10.2. Совместное кодирование данных в системе накопителей на магнитных дисках 147

Часть 4. СТРУКТУРНЫЕ МЕТОДЫ ПОВЫШЕНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ 151

Глава 11. **Повышение надежности запоминающих устройств методами резервирования** 151
11.1. Классификация методов резервирования 151
11.2. Дублирование запоминающих устройств с нагруженным резервом 153
11.3. Дублирование запоминающих устройств с ненагруженным резервом 154
11.4. Мажоритарное резервирование запоминающих устройств 155
11.5. Скользящее резервирование запоминающих устройств 156
11.6. Анализ эффективности методов резервирования запоминающих устройств 157

Глава 12. **Резервирование как средство повышения выхода годных запоминающих устройств** 161
12.1. Приближенные методы расчета выхода годных резервированных запоминающих устройств 161
12.2. Свойства функции выхода годных 163
12.3. Организация полупроводниковых запоминающих микросхем с резервированием строк и столбцов запоминающих элементов 167
12.4. Электрическое программирование соединений 169
12.5. Лазерное программирование соединений 171
12.6. Резервирование запоминающих элементов в запоминающих устройствах на ферритовых сердечниках 173
12.7. Резервирование регистров хранения ЦМД запоминающих микросхем 177

Глава 13. **Структурные методы повышения контролепригодности запоминающих устройств** 181
13.1. Повышение контролепригодности модулей памяти полупроводниковых запоминающих устройств 181
13.2. Способы минимизации разрядности ошибок в полупроводниковых запоминающих устройствах 182
13.3. Разделение признаков отказов элементов модулей памяти . . . 185
13.4. Способы повышения контролепригодности запоминающих устройств с коррекцией ошибок 187

Часть 5. ПАРАМЕТРИЧЕСКАЯ НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ 190

Глава 14. **Методы расчета параметрической надежности запоминающих устройств на ферритовых сердечниках** 190
14.1. Общие сведения о параметрической надежности 190
14.2. Расчет областей устойчивой работы запоминающих устройств на ферритовых сердечниках методом на наихудший случай 191
14.3. Вероятностный метод расчета параметрической надежности запоминающих устройств на ферритовых сердечниках 192

Глава 15. **Исследование параметрической надежности запоминающих устройств с помощью областей устойчивой работы** 199
15.1. Методы построения областей устойчивой работы запоминающих устройств 199
15.2. Методы определения оптимальной рабочей точки запоминающего устройства 202
15.3. Области устойчивой работы полупроводниковых запоминающих устройств 205

Глава 16. **Рекомендации по применению методов анализа и повышения надежности запоминающих устройств** 210
Список литературы 214

80 к.

НАДЕЖНОСТЬ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

И. В. ОГНЕВ К. Ф. САРЫЧЕВ

«РАДИО И СВЯЗЬ»